



UNIVERSIDAD DE GUADALAJARA
CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS

Seminario De Problemas De Programación De Sistemas Reconfigurables.

Máquina De Estados Síncrono Con Flip-Flops J-K Y Entradas Asíncronas.

Alumno: Meneses López Arisai Ricardo.
Docente: María Patricia Ventura Núñez.

11 de octubre de 2019

Índice

1. Objetivo Del Proyecto	1
2. Marco Teórico	2
3. Desarrollo	3
3.1. Planteamiento Del Problema	3
3.2. Métodos De Diseño	3
3.3. Obtención De Ecuaciones	5
3.4. Simulación	6
3.5. Protoboard	7
4. Conclusiones	8
5. Bibliografía	8
Apéndices	9
A. Apéndice	9
A.1. Diagrama Eléctrico De Las Salidas	9
A.2. Mapas De Karnaugh	10

Materiales

Componentes.

- Protoboard.
- Cable Para Proto.
- Pinzas De Corte/Agarre.
- Diodos LED
- Fuente De Voltaje (5V).
- Resistencias $1k\Omega$ y 220Ω .

Circuitos Integrados.

- LM555.
- CD4027.

Software.

- Boole-Deusto.
- Proteus Design Suite.

1. Objetivo Del Proyecto

- Diseñar una maquina de estados que tenga como secuencia: (1,2,5,6,7,4,3) con entradas asíncronas que obliguen el comienzo (inicio de la secuencia) en **1**.

2. Marco Teórico

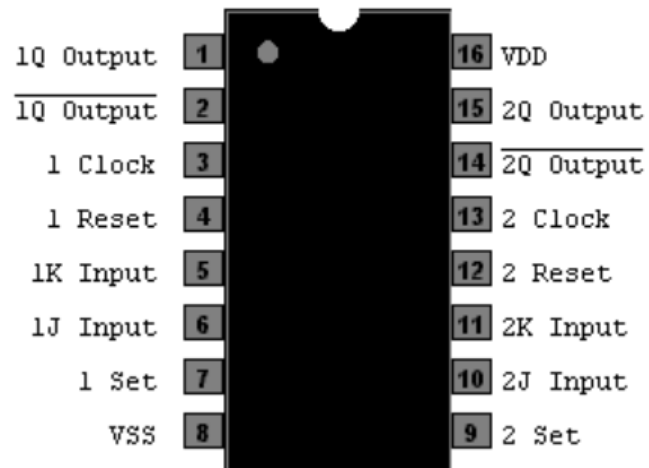


Figura 1: CD4027 - Configuración.

3. Desarrollo

3.1. Planteamiento Del Problema

Se comienza diseñando una tabla o diagrama de estados en el cual señalamos la secuencia que seguirá el sistema, después se pasa a diseñar el J_n - K_n de cada flip-flop, siendo \mathbf{n} : A, B o C.

El sistema se compone de 3 bits, ya que el valor máximo que toma es **7** (en binario) y habrán 6 salidas ($J_A - K_A$, $J_B - K_B$ y $J_C - K_C$): dos por cada flip-flop.

En seguida de lo anterior, se consiguen las ecuaciones para cada salida de los flip-flops.

3.2. Métodos De Diseño

Q^T			Q^{T+1}		
Q_A	Q_B	Q_C	Q_A	Q_B	Q_C
0	0	0	X	X	X
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
1	0	0	0	1	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	1	0	0

Tabla 1: Tabla De Estados Del Sistema.

Valor Actual	Valor Próximo		
Q^t	Q^{t+1}	J	K
0	0	0	X
1	0	X	1
0	1	1	X
1	1	X	0

Tabla 2: Tabla De Estados Del J-K.

Q^T			Q^{T+1}								
Q_A	Q_B	Q_C	Q_A	Q_B	Q_C	J_A	K_A	J_B	K_B	J_C	K_C
0	0	0	x	x	x	x	x	x	x	x	x
0	0	1	0	1	0	0	x	1	x	x	1
0	1	0	1	0	1	1	x	x	1	1	x
0	1	1	0	0	1	0	x	x	1	x	0
1	0	0	0	1	1	x	1	1	x	1	x
1	0	1	1	1	0	x	0	1	x	x	1
1	1	0	1	1	1	x	0	x	0	1	x
1	1	1	1	0	0	x	0	x	1	x	1

Tabla 3: Tabla De Estados De Los Flip-Flops En Base A Q^T y Q^{T+1} .

En base a la tabla 2: **Estados Del J-K** se logró el diseño de la tabla 3.

3.3. Obtención De Ecuaciones

· Para obtener las ecuaciones se dió uso al programa Boole Deusto. Se uso la tabla 3: **Estados de los fli-flops.**

$$J_A = \overline{Q_C} \quad (1)$$

$$K_A = \overline{Q_B} * \overline{Q_C} \quad (2)$$

$$J_B = 1 \quad (3)$$

$$K_B = \overline{Q_A} + Q_C \quad (4)$$

$$J_C = 1 \quad (5)$$

$$K_C = \overline{Q_B} + Q_A \quad (6)$$

3.4. Simulación

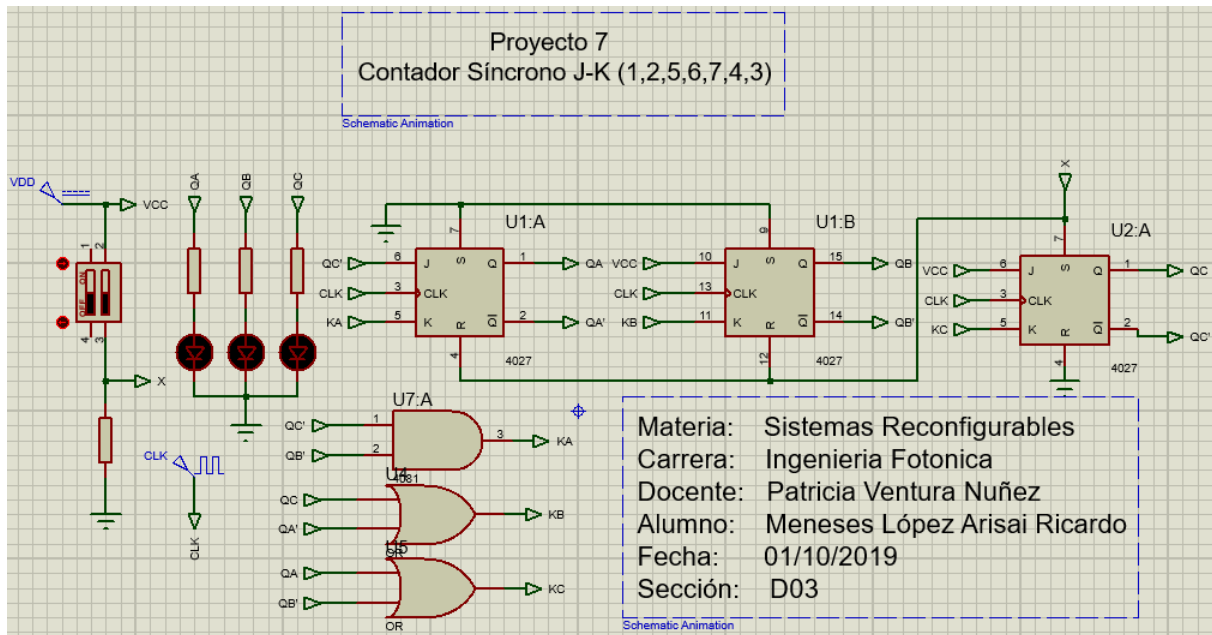


Figura 2: Simulación Flip-Flops - Tipo J-K, D y T.

Cuando se quiere iniciar la secuencia en un determinado estado se debe de tomar en cuenta que los **Set** ponen en High a Q_T y el **Reset** hace que este mismo esté en LOW, así mismo se puede ver al flip-flop **C** como el bit 1 (0001), al **B** como el bit 2 (0010) y al **A** como el bit 3 (0100).

Ejemplo: para iniciar en el estado 2 de la secuencia se tiene que poner un switch en en el **Set** del flip-flop **B** y a su vez en los **Reset** de **A** y **C**, los Set de **A** y **B** van a LOW, así como el Reset de **B** también va a Low. Entonces cuando se activa el switch, se indica que el flip-flop **A** y **C** estarán en **Reset** y Q_B estará en 1 ya que se activa el set del flip-flop **B**.

En este caso en particular el estado 0 no se contempla en la secuencia por lo que una vez que llegue a 3 se debe ir a 1 y por lo tanto se inicia en el estado 1.

3.5. Protoboard

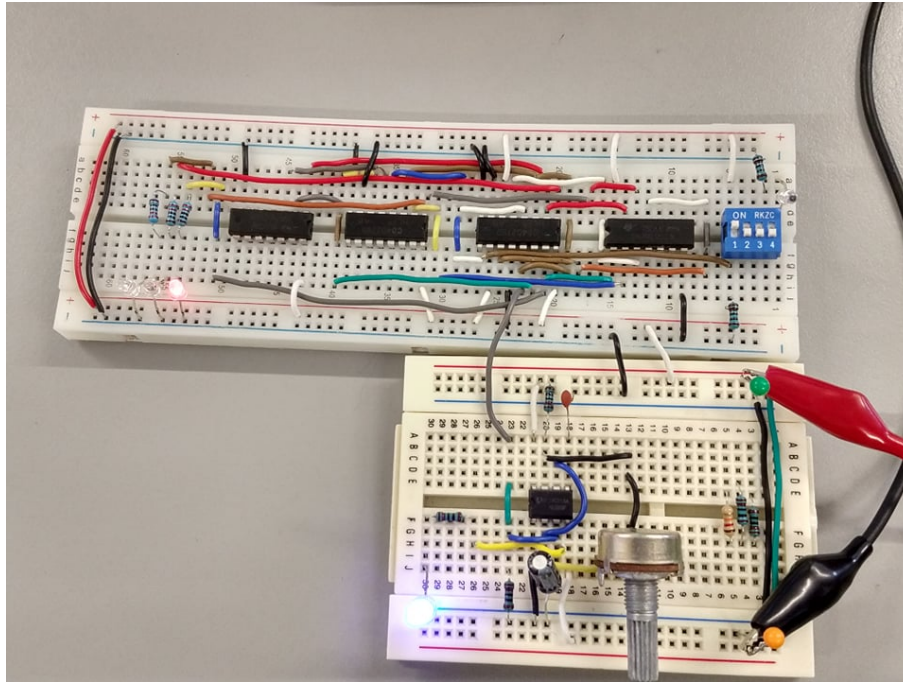


Figura 3: Protoboard - Estado 1 De La Secuencia, Iniciado En 1

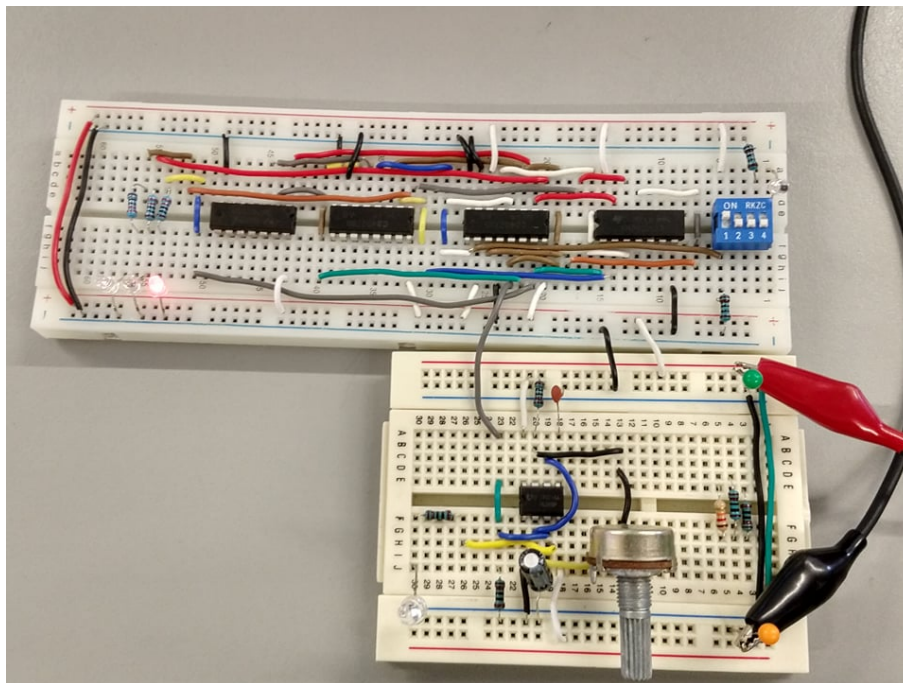


Figura 4: Protoboard - Estado 1 De La Secuencia, Mantenido Con Switch

4. Conclusiones

· El sistema no presentó ningún inconveniente en su prueba inicial. Si se requiere comenzar en otro estado distinto de **1** se debe tomar en cuenta sólo estados previstos en la secuencia, ya que podría no tener algún orden en otro estado ajeno a la secuencia del sistema.

5. Bibliografía

[1] - G. Rubén, B. Márcos, S. José Antonio, [21-07-2008], Electrónica Digital 1 - Contadores, Unican, España, available on: <https://personales.unican.es/manzanom/Planantiguo/EDigitalI/CONTG5.pdf>

A. Apéndice

A.1. Diagrama Eléctrico De Las Salidas

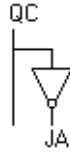


Figura 5: Salida J_A

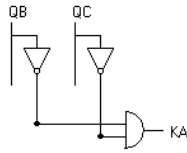


Figura 6: Salida K_A



Figura 7: Salida J_B

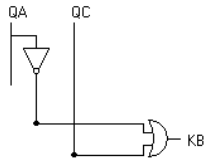


Figura 8: Salida K_B



Figura 9: Salida J_C

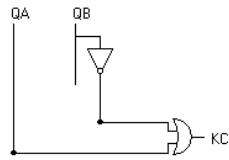


Figura 10: Salida K_C

A.2. Mapas De Karnaugh

QA \ QB	00	01	11	10
	0	1	0	1
0	X	1	X	X
1	0	0	X	X

Figura 11: Salida J_A

QA \ QB	00	01	11	10
	0	1	0	1
0	X	X	0	1
1	X	X	0	0

Figura 12: Salida K_A

QA \ QB	00	01	11	10
	0	1	0	1
0	X	X	X	1
1	1	X	X	1

Figura 13: Salida J_B

		QA QB			
QC		00	01	11	10
	0	X	1	0	X
	1	X	1	1	X

Figura 14: Salida K_B

		QA QB			
QC		00	01	11	10
	0	X	1	1	1
	1	X	X	X	X

Figura 15: Salida J_C

		QA QB			
QC		00	01	11	10
	0	X	X	X	X
	1	1	0	1	1

Figura 16: Salida K_C