



UNIVERSIDAD DE GUADALAJARA
CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS

Seminario De Problemas De Programación De Sistemas Reconfigurables.

Flip-Flops J-K, D y T Con Entradas Asíncronas.

Alumno: Meneses López Arisai Ricardo.
Docente: María Patricia Ventura Núñez.

11 de octubre de 2019

Índice

1. Objetivo Del Proyecto	1
2. Marco Teórico	2
3. Desarrollo	4
3.1. Planteamiento Del Problema	4
3.2. Métodos De Diseño	5
3.3. Obtención De Ecuaciones	7
3.4. Simulación	8
3.5. Protoboard	9
4. Conclusiones	11
5. Bibliografía	11

Materiales

Componentes.

- Protoboard.
- Cable Para Proto.
- Pinzas De Corte/Agarre.
- Diodos LED
- Fuente De Voltaje (5V).
- Resistencias $1k\Omega$ y 220Ω .

Circuitos Integrados.

- LM555.
- CD4027.

Software.

- Boole-Deusto.
- Proteus Design Suite.

1. Objetivo Del Proyecto

- Realizar el sistema correspondiente a cada tipo de flip-flop (J-K, D y T) de entradas asíncronas con el uso de un Clock Astable.

2. Marco Teórico

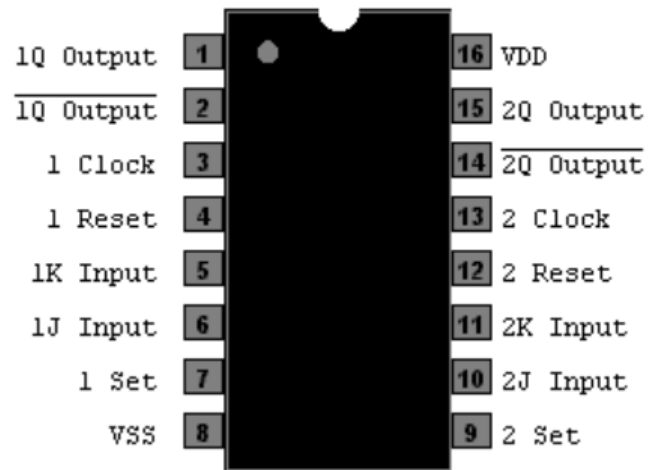


Figura 1: CD4027 - Configuración.

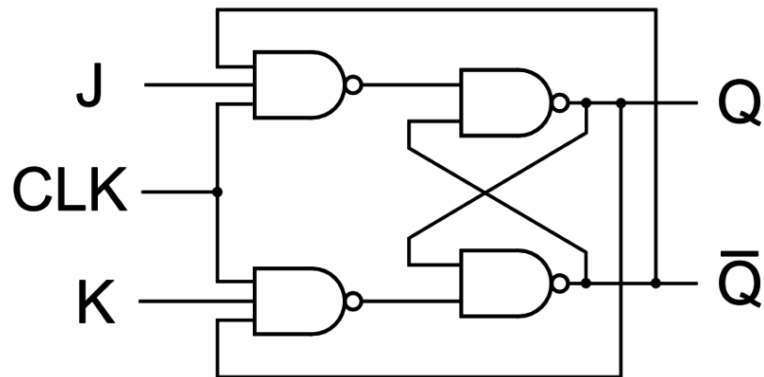


Figura 2: Flip-Flop Tipo J-K - Diagrama.

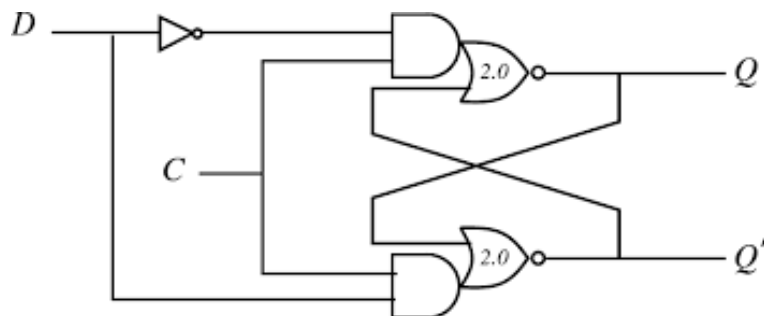


Figura 3: Flip-Flop Tipo D - Diagrama.

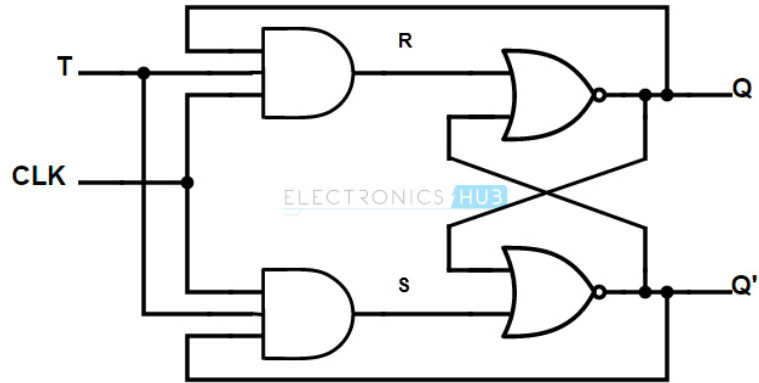


Figura 4: Flip-Flop Tipo T - Diagrama.

3. Desarrollo

3.1. Planteamiento Del Problema

Se tienen sistemas de Flip-Flops síncronos con entradas asíncronas.
Se tiene que comprobar el funcionamiento de cada sistema de acuerdo a su correspondiente tabla de verdad.
 Q^t respresenta el estado actual y Q^{t+1} representa el estado siguiente.
S se conoce como Set y pone en 1 a Q^t , **R** es reset o clear y es inversamente a **S**.
El circuito integrado CD4027 trabaja en nivel alto, cuando el nivel es bajo el valor actual se sostiene.
Cada CD4027 contiene 2 flip-flops tipo J-K.

3.2. Métodos De Diseño

C_k	J	K	Q^t	Q^{t+1}
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Tabla 1: Flip-Flop J-K Activo En Nivel Alto.

D	Q^t	Q^{t+1}
0	0	0
0	1	0
1	0	1
1	1	1

Tabla 2: Flip-Flop tipo D ($Q^{t+1} = D$).

T	Q^t	Q^{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Tabla 3: Flip-Flop tipo T ($Q^{t+1} = T \oplus Q^t$).

Valor Actual	Valor Próximo		
Q^t	Q^{t+1}	J	K
0	0	0	X
1	0	X	1
0	1	1	X
1	1	X	0

Tabla 4: Tabla De Estados Del J-K.

3.3. Obtención De Ecuaciones

En el flip-flop tipo J-K, cuando $J=1$ y $K=1$ entonces se dice que se pasa a complementar Q^t , cuando ambos son cero entonces se mantiene el dato.

Los flip-flop tipo T tiene la habilidad de variar (toggle) o cambiar estado. Independientemente del presente estado del flip-flop, este asume el estado de complemento cuando ocurre el pulso de reloj mientras que la entrada T esté en lógica 1 ($Q^{t+1} = T \oplus Q^t$).

El flip-flop tipo D, sigue a la entrada, haciendo transiciones que coinciden con las de la entrada. Almacena el valor que está en la línea de datos ($Q^{t+1} = D$).

3.4. Simulación

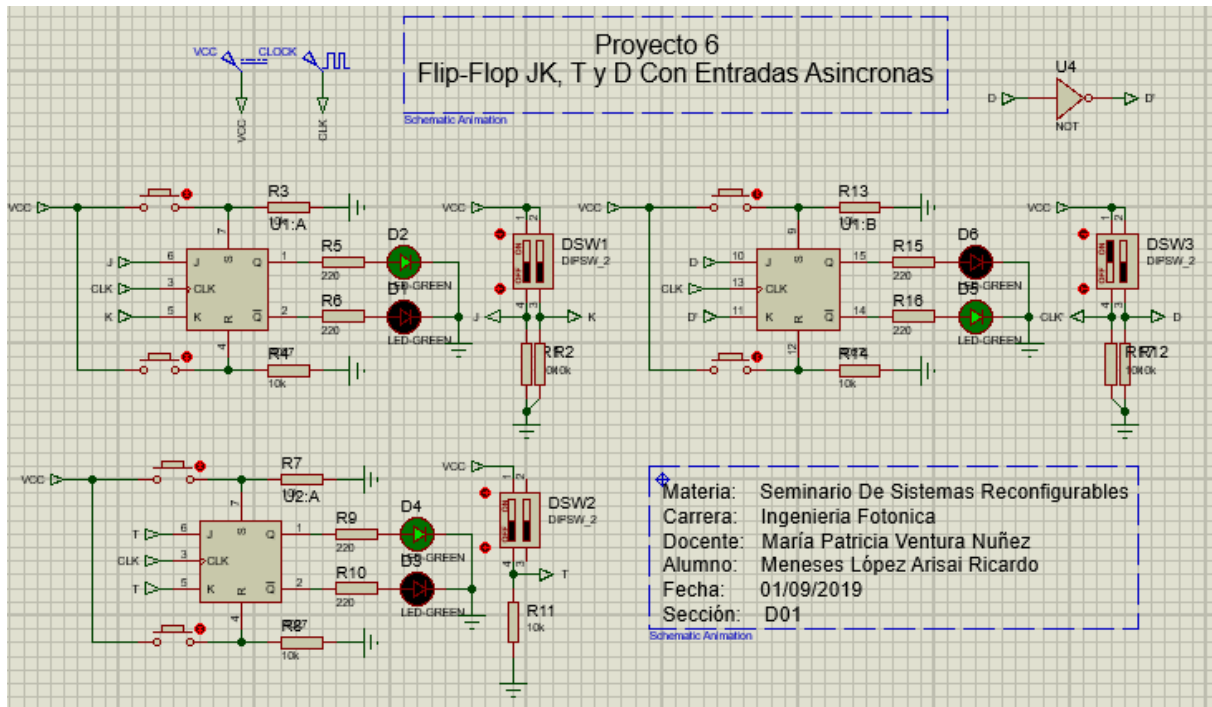


Figura 5: Simulación Flip-Flops - Tipo J-K, D y T.

3.5. Protoboard

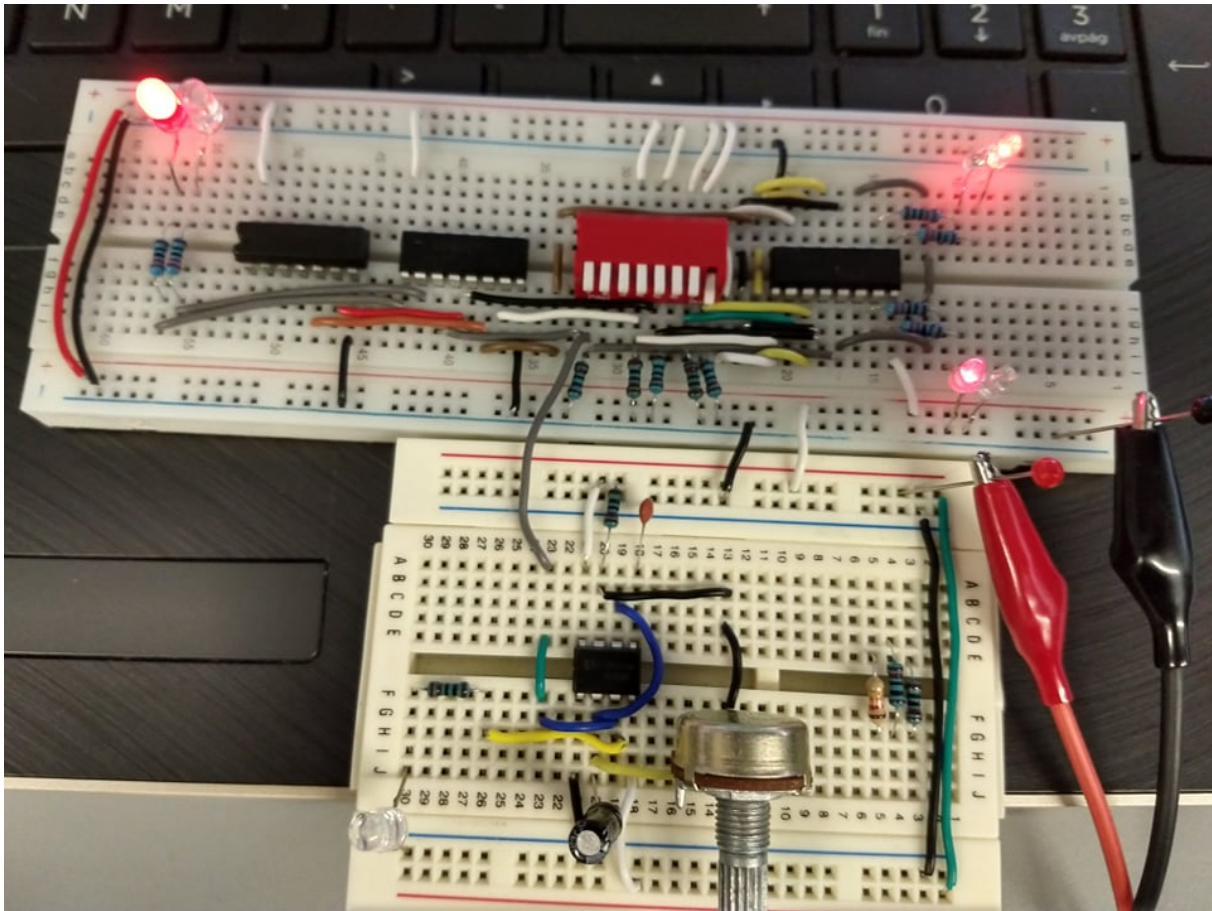


Figura 6: Protoboard - Flip-Flop J-K, D y T

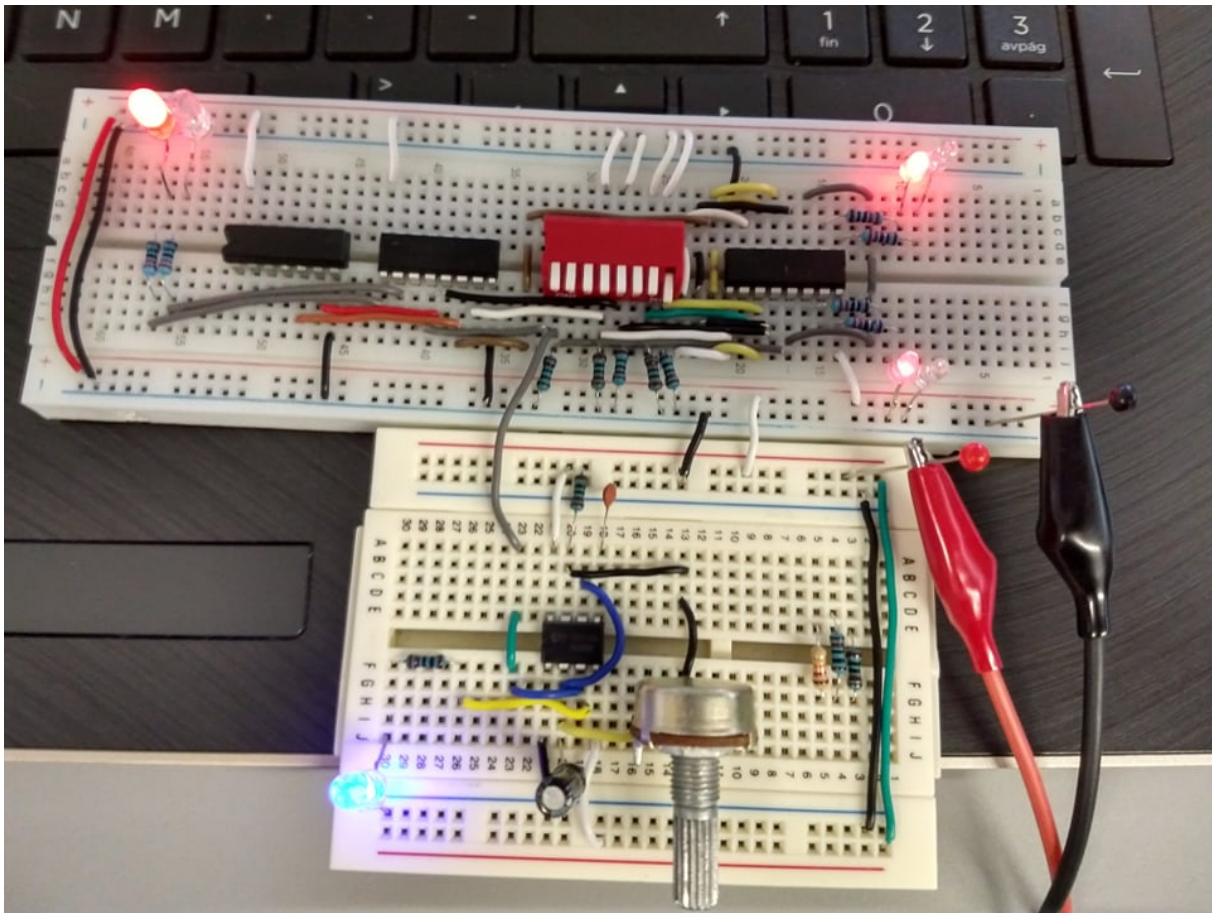


Figura 7: Protoboard - Flip-Flop J-K, D y T

4. Conclusiones

· Se tomo en cuenta el posible ruido en el bus del clock así que se dió uso a una resistencia pull-down para descartar errores. Los flip-flops cambian de estado conforme a la subida (flanco de subida) que reciben.

Los flip-flops tipo D y T en realidad son variantes en configuración del tipo J-K ya que comparten similitudes en su diagrama eléctrico.

5. Bibliografía

[1] - M. Morris Mano, [12-03-1989], Lógica Digital y Diseño de Computadores, Prentice-Hall, México, available on: <http://student.mohammed.mx/tutoriales/circuitoselectricos/t34.html>