



UNIVERSIDAD DE GUADALAJARA  
CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS

Seminario De Problemas De Programación De Sistemas Reconfigurables.

## Restador 3-3 Bits

Alumno: Meneses López Arisai Ricardo.  
Docente: María Patricia Ventura Núñez.

5 de septiembre de 2019

# Índice

<b>1. Objetivo Del Proyecto</b>	<b>1</b>
<b>2. Marco Teórico</b>	<b>2</b>
<b>3. Desarrollo</b>	<b>3</b>
3.1. Planteamiento Del Problema . . . . .	3
3.2. Métodos De Diseño . . . . .	3
3.3. Obtención De Ecuaciones . . . . .	5
3.3.1. Medio Restador . . . . .	5
3.3.2. Restador Completo . . . . .	5
3.4. Simulación . . . . .	6
3.5. Protoboard . . . . .	7
<b>4. Resultados</b>	<b>8</b>
<b>5. Conclusiones</b>	<b>9</b>
<b>6. Bibliografía</b>	<b>9</b>
<b>Apéndices</b>	<b>10</b>

# Materiales

## Componentes.

- Protoboard.
- Cable Para Proto.
- Pinzas De Corte/Agarre.
- Diodos LED
- Fuente De Voltaje (5V).
- Resistencias  $1k\Omega$  y  $220\Omega$ .

## Circuitos Integrados.

- TTL 7408 (AND).
- TTL 7432 (OR).
- TTL 7404 (NOT).
- TTL 7486 (XOR).

## Software.

- Boole-Deusto.
- Proteus Design Suite.

## 1. Objetivo Del Proyecto

- El uso y aplicación de la Compuerta OR exclusiva.

## 2. Marco Teórico

Resta Binaria
$0 - 0 = 0$
$0 - 1 = 1$ y acarreo 1
$1 - 0 = 1$
$1 - 1 = 0$

Tabla 1: Resta Binaria - Propiedades.

A	S
0	1
1	0

Tabla 2: Compuerta NOT - Tabla De Verdad

A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

Tabla 3: Compuerta AND - Tabla De Verdad

A	B	S
0	0	0
0	1	1
1	0	1
1	1	1

Tabla 4: Compuerta OR - Tabla De Verdad

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

Tabla 5: Compuerta XOR - Tabla De Verdad

### 3. Desarrollo

#### 3.1. Planteamiento Del Problema

El diagrama se descompone en dos segmentos: **Restador Medio** y **Restador Completo**. Se comienza realizando el **Restador Medio** y enseguida el **Restador Completo**. Se tienen 6 bits de entrada  $A_x$  ( $A_2, A_1, A_0$ ) y  $B_x$  ( $B_2, B_1, B_0$ ) y 4 bits salida: el cuarto bit de salida señala el número negativo (bit de signo), por lo tanto, nuestro sistema va desde el número 7 al -7 en binario.

#### 3.2. Métodos De Diseño

·  $P_x$  se considera como el prestamo (acarreo) que resulta de la resta binaria de cada segmento ( $P_2, P_1, P_0$ ) y  $R_x$  como el resultado del mismo. ( $R_2, R_1, R_0$ ).

Se considera a  $A_0$  y  $B_0$  como entradas, teniendo así una resta entre dos variables.

$$\begin{array}{r} P_0 \\ A_0 \quad - \\ B_0 \\ \hline P_0 \quad R_0 \end{array}$$

Tabla 6: Medio Restador - Resta Binaria.

De acuerdo a los valores que toman nuestras entradas se consigue valores para el acarreo ( $P_0$ ) y la salida o primer bit ( $R_0$ ).

$A_0$	$B_0$	$P_0$	$R_0$
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

Tabla 7: Medio Restador - Tabla De Verdad.

Bien ahora se toma  $P_0, A_1$  y  $B_1$  como entradas y se consigue una resta de 3 variables.

$$\begin{array}{r} P_1 \quad P_0 \\ A_1 \quad - \\ B_1 \\ \hline P_1 \quad R_1 \end{array}$$

Tabla 8: Restador Completo - Resta Binaria.

Se hace lo mismo que anteriormente y se obtiene el segundo acarreo ( $P_1$ ) y nuestro segundo bit ( $R_1$ )

$P_0$	$A_1$	$B_1$	$P_1$	$R_1$
0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	0	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	1	1

Tabla 9: Restador Completo - Tabla De Verdad.

Finalmente se reutiliza el **Restador Completo** para obtener el tercer bit ( $P_2$  y  $R_2$ ). Ya que existe una similitud entre ambos casos y es que se presenta otra resta de tres variables, por lo tanto, se pasa a reutilizar el segmento.

$P_2$	$P_1$	$P_0$		
	$A_2$	$A_1$	$A_0$	-
	$B_2$	$B_1$	$B_0$	
$P_2$	$R_2$	$R_1$	$R_0$	

Tabla 10: Restador 3 - 3 Bits.

### 3.3. Obtención De Ecuaciones

· Basándose en las tablas de verdad del **Medio Restador** y **Restador Completo** se obtuvieron las ecuaciones correspondientes a cada segmento.

#### 3.3.1. Medio Restador

$$P_0 = \overline{A_0}B_0 \quad (1)$$

$$R_0 = \overline{A_0}B_0 + A_0\overline{B_0} = \underline{A_0 \oplus B_0} \quad (2)$$

#### 3.3.2. Restador Completo

$$P_1 = P_0B_1 + P_0\overline{A_1} + \overline{A_1}B_1 \quad (3)$$

$$P_1 = P_0B_1 + \overline{P_0}A_1B_1 + P_0\overline{A_1}B_1 \quad (4)$$

$$P_1 = \underline{P_0B_1 + \overline{A_1}(P_0 \oplus B_1)} \quad (5)$$

$$R_1 = \overline{P_0}A_1B_1 + \overline{P_0}A_1\overline{B_1} + P_0\overline{A_1}B_1 + P_0A_1B_1 \quad (6)$$

$$R_1 = \overline{P_0}(\overline{A_1}B_1 + A_1\overline{B_1}) + P_0(\overline{A_1}B_1 + A_1B_1) \quad (7)$$

$$R_1 = \overline{P_0}(A_1 \oplus B_1) + P_0\overline{(A_1 \oplus B_1)} \quad (8)$$

$$R_1 = (P_0 \oplus A_1) \oplus B_1 \quad (9)$$

$$R_1 = \underline{(P_0 \oplus B_1) \oplus A_1} \quad (10)$$

Reutilizando  $P_1$  y  $R_1$  se determinan  $P_2$  y  $R_2$ .

$$P_2 = \underline{P_1B_2 + \overline{A_2}(P_1 \oplus B_2)} \quad (11)$$

$$R_2 = \underline{(P_1 \oplus B_2) \oplus A_2} \quad (12)$$

### 3.4. Simulación

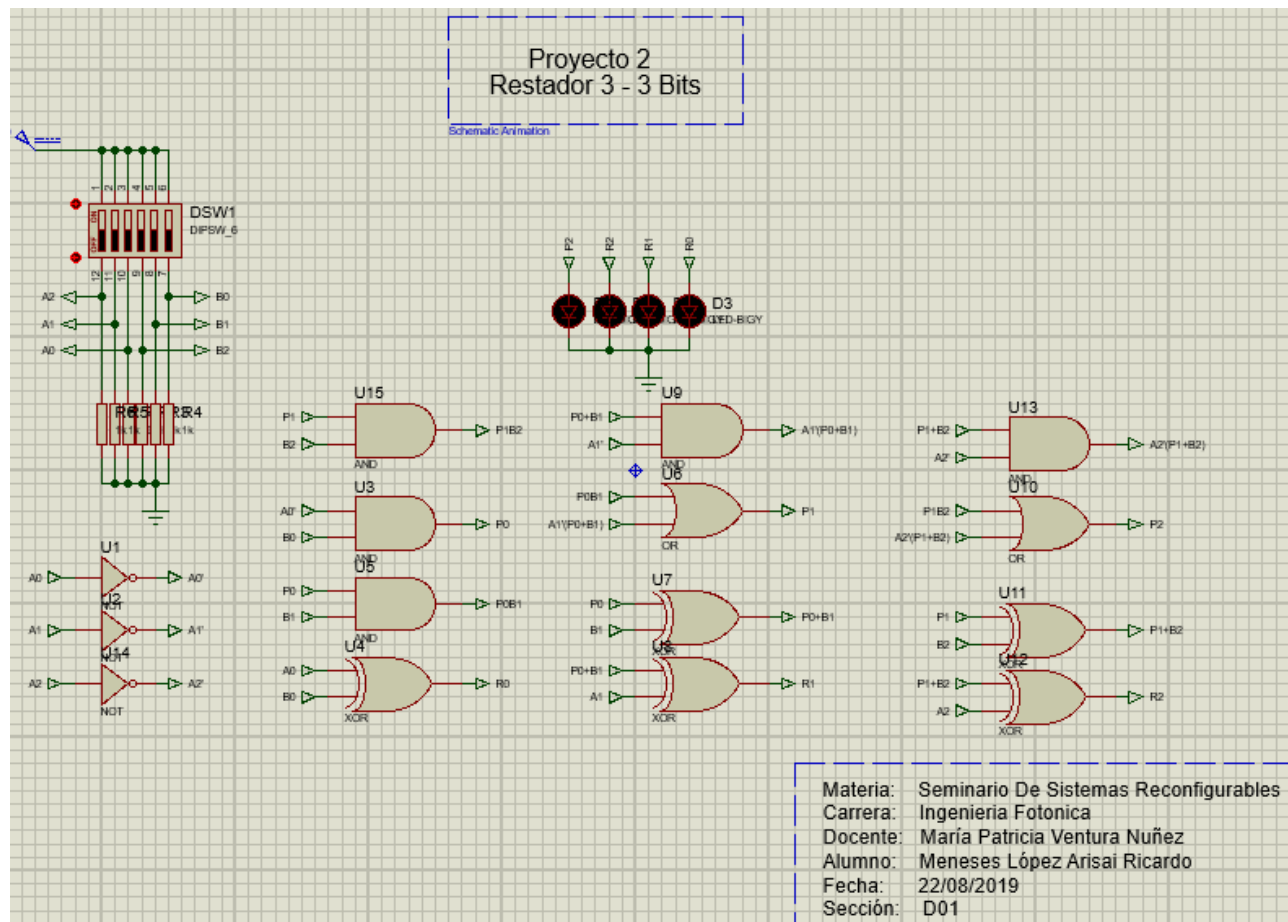


Figura 1: Simulacion Restador 3 - 3 Bits.



### 3.5. Protoboard

El Dip-switch tiene 8 entradas de las cuales sólo 6 se usan; dos de ellas, localizadas en la parte central, siempre están en high (hacia abajo) y no afectan en la función del circuito. Ahora bien, los  $A_x$  se localizan del lado izquierdo del Dip-switch y los  $B_x$  del lado opuesto del mismo (A - B).

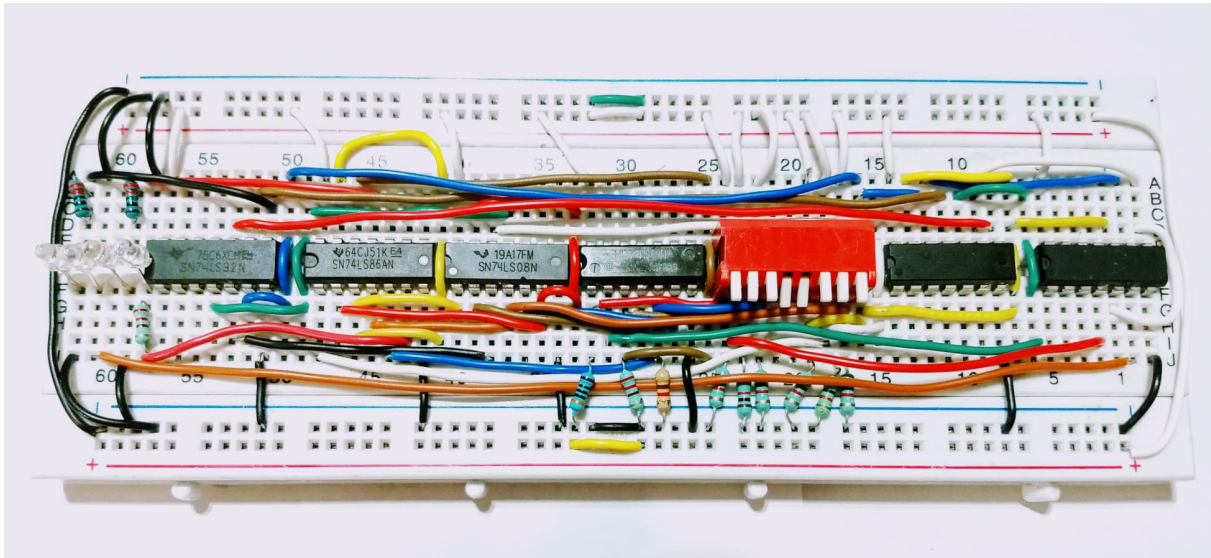


Figura 2: Protoboard Del Restador 3 - 3 Bits

## 4. Resultados

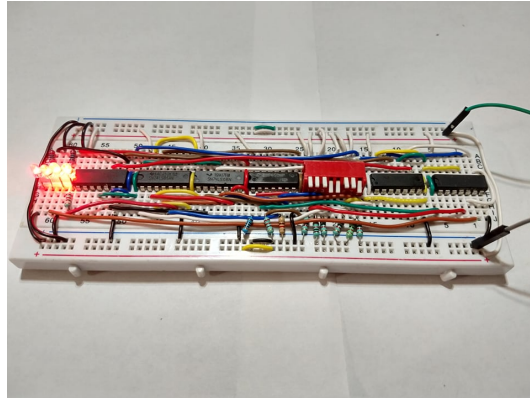


Figura 3: Protoboard - Resta (0 - 1)

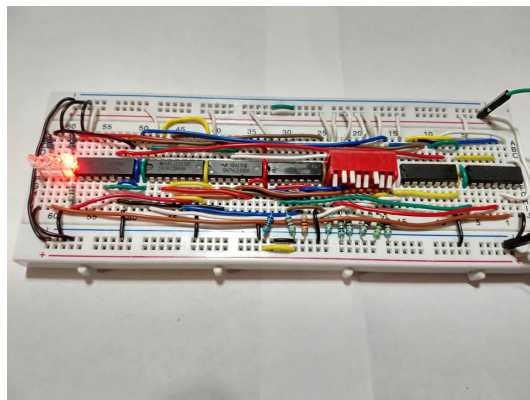


Figura 4: Protoboard - Resta (4 - 3)

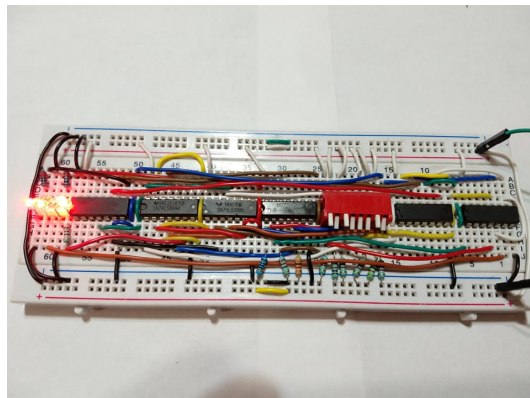


Figura 5: Protoboard - Resta (2 - 5)

## 5. Conclusiones

· Al requerir la utilización de más bits, se deben reutilizar las ecuaciones obtenidas en el **Restador Completo** teniendo en mente el cambiar los subíndices por cada variable.

Anteriormente el protoboard presentó inconvenientes con el voltage de entrada debido a la falta de resistencias pull-down en las entradas de la compuerta 74LS04.

## 6. Bibliografía

- 1 - Electrónica Digital UCN, 2014, Restador, available on: [http : //electroucn.blogspot.com/2014/06/Restador.h](http://electroucn.blogspot.com/2014/06/Restador.html)
- 2 - I. Sanchez, SUMADOR RESTADOR DE 3 BITS EN BINARIO NATURAL, available on: [https : //www.esi.uclm.es/www/isanchez/teco0910/sr.pdf](https://www.esi.uclm.es/www/isanchez/teco0910/sr.pdf)