

UNIVERSIDAD CENTRAL DE VENEZUELA
FACULTAD DE INGENIERÍA
ESCUELA DE INGENIERÍA ELÉCTRICA
DEPARTAMENTO DE ELECTRÓNICA, COMPUTACIÓN Y
CONTROL

Pre-Laboratorio 6 : Polarización del JFET

Estudiante:

Santana Ricardo C.I.:29571461

22 de febrero de 2024

1. Introducción

Existen diversos tipos de transistores con distintas aplicaciones. Entre ellos, cabe destacar el transistor de efecto de campo (FET), el cual controla la corriente que circula por uno de sus pines a través del voltaje aplicado entre sus otros dos terminales.

Comprender el funcionamiento de este dispositivo tanto estática como dinamicamente es de suma importancia, ya que su uso permite obtener ganancias de señal elevadas y una alta impedancia de entrada. Estas características resultan fundamentales en la amplificación de señales débiles y en la reducción de ruido en circuitos electrónicos. Los amplificadores JFET tienen variadas aplicaciones y se utilizan en diferentes áreas. Por ejemplo, son empleados en sistemas de audio de alta calidad, en instrumentos de medición y control de procesos industriales, así como en sistemas de comunicación inalámbrica, entre otros.

En el siguiente prelaboratorio, se investigará el diseño y la implementación de un amplificador que utiliza un JFET, además se analizará los efectos sobre el punto de operación de la variación de su resistencia de drenaje mediante el uso de un potenciómetro.

2. Objetivos

2.1. Objetivo General

- Analizar el funcionamiento de un transistor JFET como amplificador.

2.2. Objetivos Específicos

- Estudiar el comportamiento dinámico de una estructura básica amplificadora JFET canal n.
- Obtener experimentalmente las características más importantes de un amplificador como son: la ganancia de tensión, impedancia de entrada e impedancia de salida.

3. Marco Teórico

3.1. Modelo de pequeña señal para transistores FET [1]

El circuito equivalente de pequeña señal de un transistor FET se puede obtener por métodos análogos a los utilizados en transistores bipolares. Sin embargo, al ser dispositivos controlados por tensión, el modelo bipuerta más adecuado es el de parámetros $\{Y\}$, ya que relacionan las corrientes de salida con tensiones de entrada. La figura 3.1 representa el modelo de pequeña señal de un FET constituido por dos parámetros: g_m , o factor de admitancia, y r_d , o resistencia de salida o resistencia de drenador. Esta notación es la más extendida para describir estos parámetros, aunque algunos fabricantes utilizan la notación en parámetros $\{Y\}$ o $\{G\}$, denominando y_{fs} o g_{fs} a g_m , e y_{os}^{-1} o g_{os}^{-1} o r_{oss} a r_d . Estos parámetros dependen de la corriente de polarización del transistor (I_D), y el fabricante proporciona las curvas que permiten extraer sus valores en diferentes condiciones de polarización. A continuación se describe con más detalle los parámetros g_m y r_d .

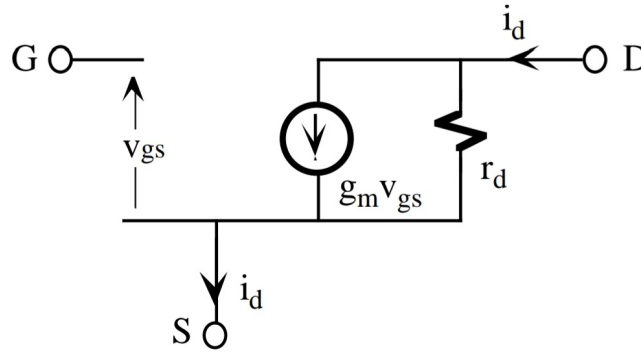


Figura 3.1: Modelo de pequeña señal de un transistor FET.

Factor de admitancia g_m . Se define este parámetro como

$$g_m = \left. \frac{\Delta I_D}{\Delta V_{GS}} \right|_{V_{DSQ}} = \left. \frac{I_{D2} - I_{D1}}{V_{GS2} - V_{GS1}} \right|_{V_{DSQ}} = \left. \frac{\Delta i_d}{\Delta v_{gs}} \right|_{V_{DSQ}} \quad (1)$$

En un JFET, g_m se puede extraer a partir de la ecuación analítica del transistor en la región de saturación que relaciona la I_D con la V_{GS} , definida por

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \quad \text{ó} \quad 1 - \frac{V_{GS}}{V_P} = \sqrt{\frac{I_D}{I_{DSS}}} \quad (2)$$

En la ecuación (1), g_m es un parámetro definido por cociente de incrementos que se pueden

aproximar por derivadas, de forma que aplicando esta definición a la ecuación (2) y resolviendo se obtiene que

$$g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{DSQ}} = -\frac{2I_{DSS}}{V_P} \left(1 - \frac{V_{GS}}{V_P} \right) = -\frac{2}{V_P} \sqrt{I_D I_{DSS}} \quad (3)$$

Resistencia de salida o de drenador r_d . Se define como

$$r_d = \left. \frac{\Delta V_{DS}}{\Delta I_D} \right|_{V_{GSQ}} = \left. \frac{V_{DS2} - V_{DS1}}{I_{D2} - I_{D1}} \right|_{V_{GSQ}} = \left. \frac{\Delta v_{ds}}{\Delta i_d} \right|_{V_{GSQ}} \quad (4)$$

Factor de amplificación μ . Relaciona los parámetros g_m y r_d de la siguiente manera

$$\mu = \frac{\Delta V_{DS}}{\Delta V_{GS}} = \frac{\Delta I_D}{\Delta V_{GS}} \frac{\Delta V_{DS}}{\Delta I_D} = g_m r_d \quad (5)$$

Las definiciones gráficas de g_m y r_d se encuentran en las figuras 3.2 y 3.3.

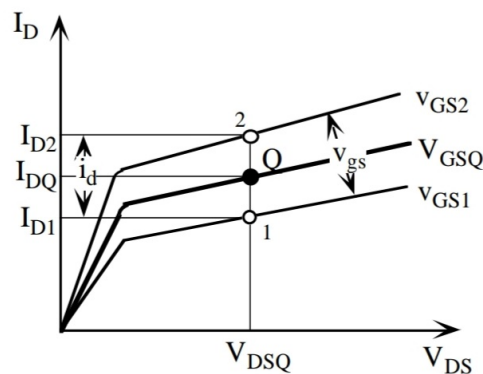


Figura 3.2: Definición gráfica de g_m .

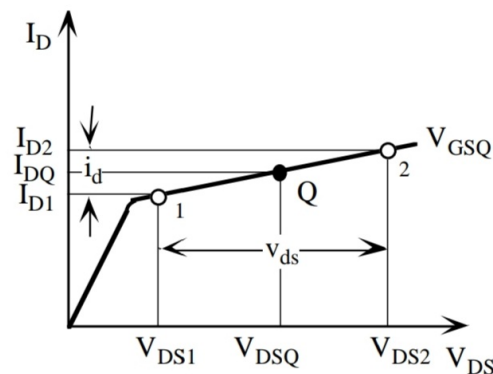
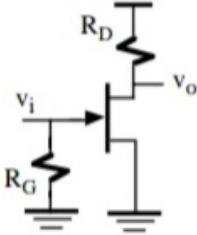
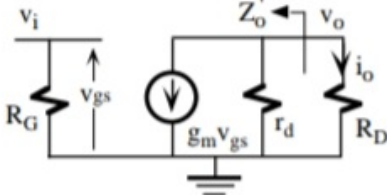
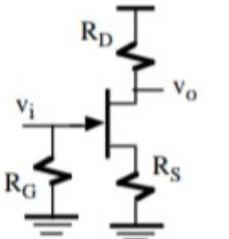
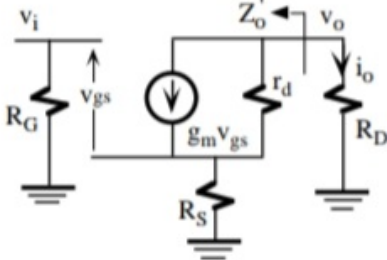
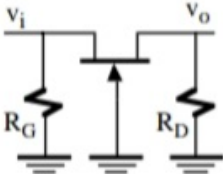
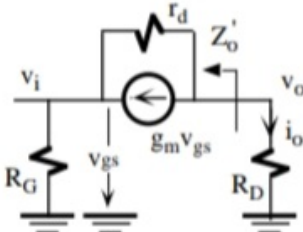
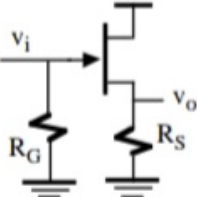
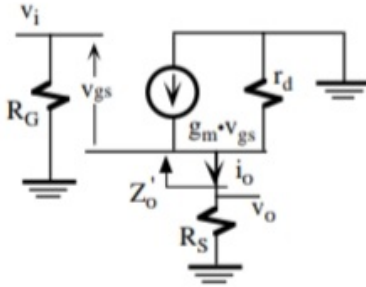


Figura 3.3: Definición gráfica de r_d .

En la 1 se resume los configuraciones más utilizadas de amplificadores básicos basados en transistores FET, bien sea JFET o MOSFET. Estas configuraciones son: fuente común, fuente

común con resistencia de fuente, puerta-común y drenador común. Las ecuaciones indicadas en la derecha permite obtener el modelo equivalente en tensión de los diferentes circuitos. Un FET operando en fuente común presenta la mayor ganancia en tensión aunque ésta sea muy inferior a los valores de E-C en transistores bipolares. La configuración drenador común tiene una ganancia ligeramente inferior a 1, similar al C-C en transistores bipolares.

Tabla 1: Análisis de las configuraciones básicas de los amplificadores JFET y MOSFET.

Configuración del amplificador	Modelo equivalente de pequeña señal	Parámetros del amplificador
 <p>Fuente común</p>		$A_V = -\frac{\mu R_D}{R_D + r_d}$ $A_I = -\frac{\mu R_G}{R_D + r_d}$ $Z_i = R_G$ $Z_o^{\oplus} = r_d; \quad Z_o = Z_o^{\oplus} \parallel R_D$
 <p>Fuente común con resistencia de fuente</p>		$A_V = -\frac{\mu R_D}{R_D + r_d + (1 + \mu) R_S}$ <p>Si $(1 + \mu) R_S \gg R_D + r_d$ y $\mu \gg 1$</p> $A_V \approx -\frac{R_D}{R_S}$ $Z_i = R_G$ $Z_o^{\oplus} = r_d + (1 + \mu) R_S$ $Z_o = Z_o^{\oplus} \parallel R_D$
 <p>Puerta común</p>		$A_V = \frac{(1 + \mu) R_D}{r_d + R_D}$ $Z_i = R_G \parallel \frac{r_d + R_D}{1 + \mu}$ $Z_o^{\oplus} = r_d$ $Z_o = Z_o^{\oplus} \parallel R_D$
 <p>Drenador común</p>		$A_V = \frac{1}{1 + \frac{R_S + r_d}{\mu R_S}}$ $Z_i = R_G$ $Z_o^{\oplus} = \frac{r_d}{1 + \mu}$ $Z_o = Z_o^{\oplus} \parallel R_S$

4. Metodología

4.1. Trabajo Previo al Laboratorio

Para el circuito de la Figura 4.1:

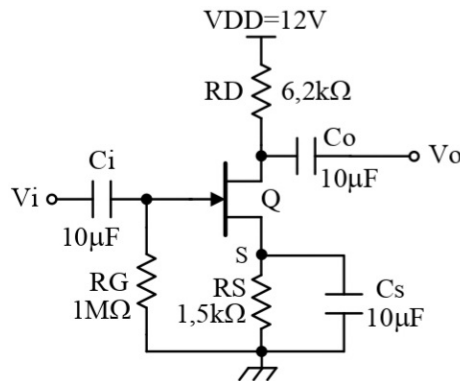


Figura 4.1: Amplificador JFET

Calcular:

1. Punto estático de operación (I_{DQ} , V_{DSQ}). *Lagananciadetensión* A_v , *Impedanciadeentrada* Z_{in} *Impedanciadesalida* Z_{out} .

4.2. Trabajo de Laboratorio

1. Mida el punto estático de operación.
2. Coloque en el generador una señal senoidal de frecuencia 1kHz, promedio nulo y amplitud 1Vp-p.
3. Observe, con el osciloscopio en doble canal, las formas de onda de la entrada V_i y la salida V_o . Dibuje ambas formas de onda para luego en el informe, en el punto del análisis de resultados, las compare en cuanto a su forma, frecuencia y amplitud. Mida la tensión de entrada y de salida pico-pico.
4. Suba la amplitud de la señal de entrada hasta el punto donde comienza a distorsionarse la señal de salida. Mida la amplitud pico-pico de la señal de entrada. Dibuje ambas formas de onda.
5. Suba hasta el máximo la amplitud de la señal de entrada y mida esta amplitud pico-pico. Dibuje las ondas de entrada y salida.

6. Mida experimentalmente los valores de tensiones para luego de terminar en el informe las impedancias de entrada y desalida del amplificador.

5. Cálculos previos

Se trabajará con el transistor FET canal n 2N5555, el cual posee las siguientes especificaciones:

Tabla 2: Características del transistor 2N5555

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Gate–Source Breakdown Voltage ($I_G = 10\ \mu\text{Adc}$, $V_{DS} = 0$)	$V_{(BR)GSS}$	25	—	Vdc
Gate Reverse Current ($V_{GS} = 15\ \text{Vdc}$, $V_{DS} = 0$)	I_{GSS}	—	1.0	nAdc
Drain Cutoff Current ($V_{DS} = 12\ \text{Vdc}$, $V_{GS} = -10\ \text{V}$) ($V_{DS} = 12\ \text{Vdc}$, $V_{GS} = -10\ \text{V}$, $T_A = 100^\circ\text{C}$)	$I_{D(off)}$	—	10 2.0	nAdc μAdc
ON CHARACTERISTICS				
Zero–Gate–Voltage Drain Current ⁽¹⁾ ($V_{DS} = 15\ \text{Vdc}$, $V_{GS} = 0$)	I_{DSS}	15	—	mAdc
Gate–Source Forward Voltage ($I_G(f) = 1.0\ \text{mAdc}$, $V_{DS} = 0$)	$V_{GS(f)}$	—	1.0	Vdc
Drain–Source On–Voltage ($I_D = 7.0\ \text{mAdc}$, $V_{GS} = 0$)	$V_{DS(on)}$	—	1.5	Vdc
Static Drain–Source On Resistance ($I_D = 0.1\ \text{mAdc}$, $V_{GS} = 0$)	$r_{DS(on)}$	—	150	Ohms
SMALL–SIGNAL CHARACTERISTICS				
Small–Signal Drain–Source “ON” Resistance ($V_{GS} = 0$, $I_D = 0$, $f = 1.0\ \text{kHz}$)	$r_{ds(on)}$	—	150	Ohms
Input Capacitance ($V_{DS} = 15\ \text{Vdc}$, $V_{GS} = 0$, $f = 1.0\ \text{MHz}$)	C_{iss}	—	5.0	pF
Reverse Transfer Capacitance ($V_{DS} = 0$, $V_{GS} = 10\ \text{Vdc}$, $f = 1.0\ \text{MHz}$)	C_{rss}	—	1.2	pF

de las cuales se deduce por promediación que:

$$V_P = -1\text{V}$$

$$I_{DSS} = 15\text{mA}$$

Entonces analizando el circuito de la figura ??, para encontrar el punto estático de operación $Q(V_{DSQ}, I_{DQ})$, donde los condensadores se desacoplan por estar trabajando en DC.

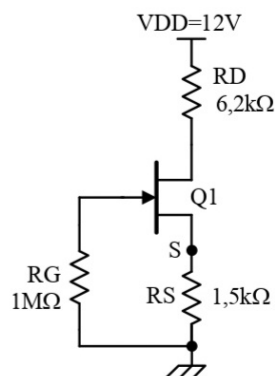


Figura ??. Polarización del JFET canal n.

Se tiene un JFET autopolarizado. Esto es debido a que la corriente circulando por R_G es cero y, por tanto, toda la corriente (I_D) que entra por el drenador D sale por la fuente S.

Analizando la malla relacionada al circuito de la compuerta con $I_G = 0$,

$$V_{GS} = -I_D R_S \rightarrow I_D = -\frac{V_{GS}}{R_S}$$

$$I_D = -\frac{V_{GS}}{R_S} \quad (6)$$

Conociendo la características de transferencia de un JFET que relaciona V_{GS} e I_D por la fórmula (2)

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

Entonces

$$I_{DQ} = I_{DSS} \left(1 - \frac{V_{GSQ}}{V_P} \right)^2 = -\frac{V_{GSQ}}{R_S}$$

buscando V_{GSQ}

$$\begin{aligned} I_{DSS} \left(1 - \frac{V_{GSQ}}{V_P} \right)^2 &= -\frac{V_{GSQ}}{R_S} \\ 1 - 2\frac{V_{GSQ}}{V_P} + \left(\frac{V_{GSQ}}{V_P} \right)^2 &= -\frac{V_{GSQ}}{I_{DSS} R_S} \\ 1 - 2\frac{V_{GSQ}}{V_P} + \frac{V_{GSQ}^2}{V_P^2} + \frac{V_{GSQ}}{I_{DSS} R_S} &= 0 \\ \frac{1}{V_P^2} V_{GSQ}^2 + \left(\frac{1}{I_{DSS} R_S} - \frac{2}{V_P} \right) V_{GSQ} + 1 &= 0 \end{aligned} \quad (7)$$

Reemplazando valores conocidos en (7) y resolviendo ecuación de segundo grado

$$V_{GSQ} = -0,81V$$

Sustituyendo en (6)

$$I_{DQ} = -\frac{V_{GSQ}}{R_S} = -\frac{(-0,8V)}{1,5k\Omega} = 0,533mA$$

Analizando malla relacionada al drenador

$$V_{DD} = I_D R_D + V_{DS} + I_D R_S$$

Particularizando para calcular V_{DSQ}

$$\begin{aligned}
 V_{DD} &= I_{DQ}R_D + V_{DSQ} + I_{DQ}R_S \\
 I_{DQ}R_D + V_{DSQ} + I_{DQ}R_S &= V_{DD} \\
 V_{DSQ} &= V_{DD} - I_{DQ}(R_D + R_S)
 \end{aligned}
 \tag{8}$$

Reemplazando valores en (8)

$$V_{DSQ} = 12V - 0,533mA(6,2 + 1,5)k\Omega = 7,89V$$

Punto de operacion

$$Q : (7,89V, 0,533mA)$$

Entonces el transistor se encuentra en zona de saturación

Para el cálculo de la ganancia de tensión A_v , Impedancia de entrada Z_{in} e Impedancia de salida Z_{out} se implementará el modelo del JFET para para pequeña señal que se observa en la figura 3.1, donde los condensadores a media-alta frecuencia pasan a ser un corto, además para una aproximación se asumirá r_d muy alta, es decir, un abierto.

Quedando como modelo dinámico la Figura 5.1

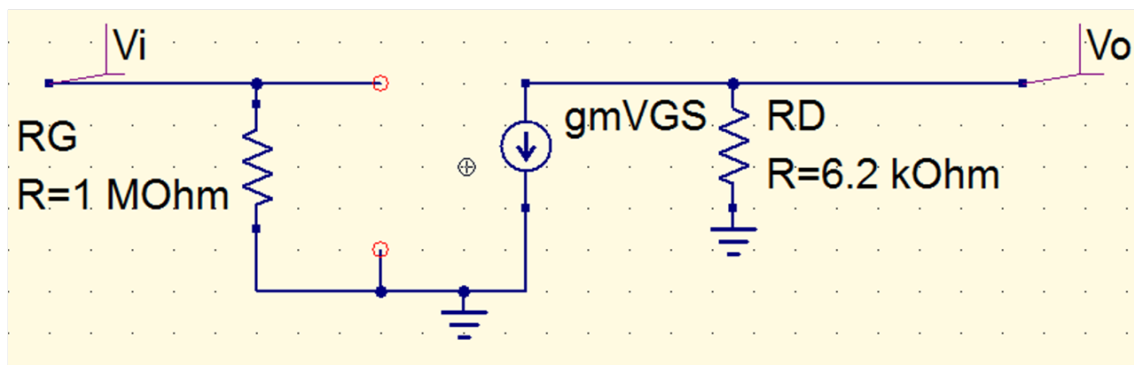


Figura 5.1: Modelo de circuito amplificador 4.1 para pequeña señal con JFET

Sabiendo que la ganancia de tensión es

$$A_v = \frac{V_o}{V_i} \tag{9}$$

donde

$$V_o = -g_m V_{GS} R_D$$

$$V_i = V_{GS}$$

Sustituyendo en (9) se tiene

$$A_V = \frac{-g_m V_{GS} R_D}{V_{GS}} = -g_m R_D \quad (10)$$

Implementando la ecuación (3) deducida en el marco teórico

$$g_m = -\frac{2}{V_P} \sqrt{I_D I_{DSS}}$$

Al trabajar alrededor del punto estático de operacion

$$g_m = -\frac{2}{-1V} \sqrt{(0,533mA)(15mA)} = 5,655m\mathcal{U}$$

Quedando así la ganancia en (10)

$$A_V = -g_m R_D = -(5,655m\mathcal{U})(6,2k\Omega) = 35V/V$$

De la figura 5.1 se establece que

$$A_V = 35V/V$$

$$Z_i = R_G = 1M\Omega$$

$$Z_i = R_D = 6,2k\Omega$$

6. Materiales e Instrumentos

- Transistor FET canal n 2N5555
- Resistencia de carbon de $6,2k\Omega$ serie del 5 % y potencia de 1/4 W.
- Resistencia de carbon de $1,5k\Omega$ serie del 5 % y potencia de 1/4 W.
- Resistencia de carbon de $1M\Omega$ serie del 5 % y potencia de 1/4 W.
- Capacitores electrolíticos de $10\mu F$ y 25V