

# Architettura dei Calcolatori

## Primo Parziale – 20 aprile 2021 – 1h45

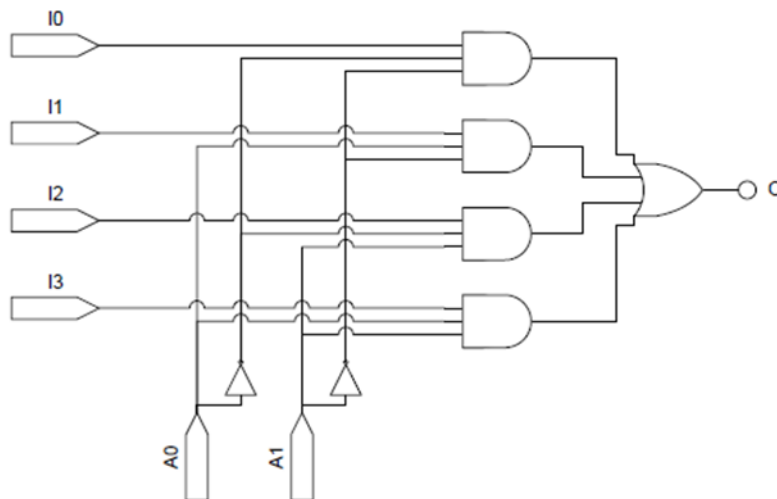
PARTE 1 – RISPOSTA SINGOLA - Ogni domanda ha una sola risposta VERA.

- Una risposta esatta fa acquisire il punteggio positivo riportato a fianco della domanda
  - Una risposta errata fa perdere il punteggio negativo riportato a fianco della domanda
  - Una risposta lasciata in bianco viene valutata 0
- 
1. **(3, -.5)** Si consideri un certo programma con 70% di istruzioni di tipo **aritmetico**, 10% load/store e 20% **branch**. Si assuma che le istruzioni **aritmetiche** abbiano un IPC pari a 2, le **load/store** un IPC pari a L e i **branch** un IPC pari a B. L si può determinare sapendo che il programma ha un hit rate del 95%, che il costo medio di una hit è di 2 cicli e il costo medio di una miss 40 cicli. B si può determinare sapendo che la branch prediction ha una percentuale di successo pari ad 80%: se la predizione è corretta l'istruzione esegue in 1 ciclo, altrimenti in 10. Qual è il CPI medio?
    - a) 0,5
    - b) 1,3
    - c) 2,6
    - d) Nessuna delle precedenti
  
  2. **(2, -.5)** Assumendo interi a 8 bit, la rappresentazione in complemento a due del numero decimale -12 è:
    - a) 10001100
    - b) 11110011
    - c) 11110110
    - d) Nessuna delle precedenti risposte
  
  3. **(2, -.5)** Nel formato IEEE 754, la notazione denormalizzata consente di:
    - a) Decidere arbitrariamente il numero di bit da dedicare alla mantissa e all'esponente
    - b) Ridurre la perdita di precisione in caso di underflow
    - c) Rappresentare il numero infinito
    - d) Nessuna delle precedenti risposte

## PARTE 2 – (POSSIBILI) RISPOSTE MULTIPLE -

Ogni domanda può avere da una a quattro risposte CORRETTE.

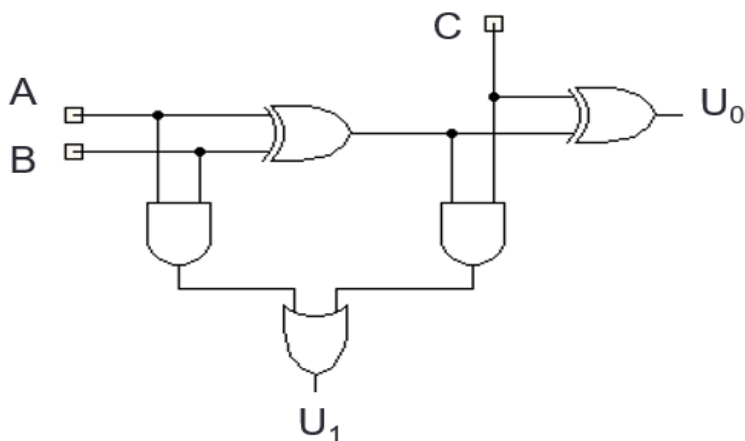
- Ogni risposta esatta viene calcolata: +1
  - Ogni risposta errata viene calcolata: -0.5
  - Una risposta lasciata in bianco viene calcolata: 0
4. Se rappresentato in formato IEEE 754 il numero floating point  $(19,145)_{10}$
- a) Ha esponente pari a 0x83
  - b) Ha primi 20 bit della mantissa pari a 0x3251E
  - c) Non ci sono errori di approssimazione
  - d) Nessuna delle precedenti
5. Qual è il numero massimo rappresentabile in logica complemento a due con 4 byte?
- a) Un numero binario con 32 cifre pari a 1
  - b) Un numero equivalente a  $(17777777777)_8$
  - c) Un numero equivalente a 0x7FFFFFFF
  - d) Nessuna delle precedenti risposte
6. Si consideri la seguente rete logica:



Quali affermazioni sono vere?

- a) Rappresenta un half adder dove non viene riportato in uscita il valore del carry-out
- b) Esegue l'addizione tra i bit I0, I1, I2 e I3, fornendo il valore del carry out in A0 e A1
- c) È un componente combinatorio notevole
- d) Rappresenta un multiplexer 4:1

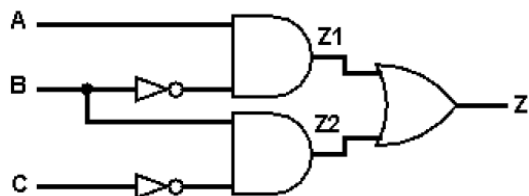
7. Si consideri la seguente rete logica:



Quali affermazioni sono vere?

- a) Rappresenta un half adder dove non viene riportato in uscita il valore del carry-out
- b) Rappresenta un full adder con valore del carry-out sull'uscita in alto
- c) Esegue l'addizione tra i bit A, B e C, fornendo il valore di uscita in U1U0
- d) Non è un componente combinatorio notevole

8. Si consideri la seguente rete logica:



Quali affermazioni sono vere?

- a)  $Z1=Z2$
- b)  $Z=Z1*Z2$
- c)  $Z= AB'+BC'$
- d)  $Z=Z1+Z2$

### PARTE 3 – DOMANDE APERTE

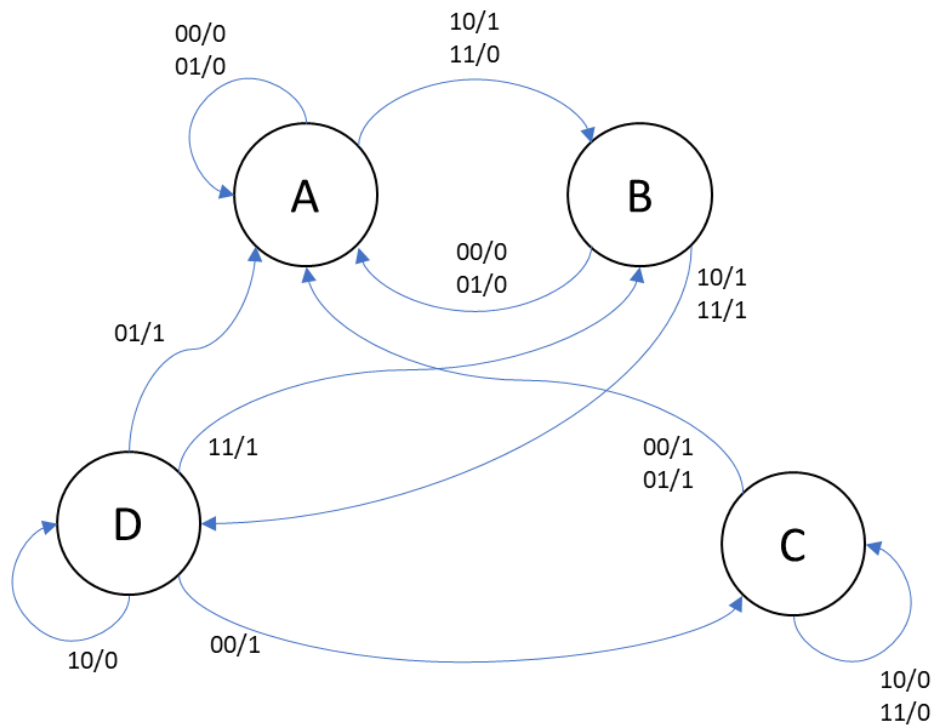
- Una risposta esatta fa acquisire il punteggio positivo riportato a fianco della domanda
- Una risposta errata può causare una penalità che dipende dalla gravità dell'errore
- Una risposta lasciata in bianco viene calcolata: 0

9. **(6 pt)** Si consideri la seguente tabella di verità per un circuito sequenziale (S indica lo stato,  $X=x_1x_2$  il segnale di ingresso):

S	$x_1x_2$	S'	Z
A	00	A	0
	01	A	0
	10	C	1
	11	C	1
B	00	A	0
	01	A	0
	10	D	1
	11	D	1
C	00	A	1
	01	A	1
	10	C	0
	11	C	0
D	00	A	1
	01	A	1
	10	D	0
	11	D	0

- Disegnare il diagramma degli stati. Si tratta di un automa di Mealy o di Moore? **[2 pt]**
  - Assegnare una codifica binaria per gli stati e aggiornare la tabella di verità. **[1 pt]**
  - Minimizzare le reti di stato futuro e delle uscite tramite mappe di Karnaugh. Disegnare il circuito finale. **[3 pt]**
10. **(7 pt)** Progettare una rete sequenziale che comanda l'accensione e lo spegnimento di tre lampadine (LampS, LampC, LampD – sinistra, centro, destra) in sequenza. L'output del circuito sono tre bit S,C,D: quando questi bit sono pari a 1 le lampadine corrispondenti sono accese.
- Il circuito è governato dal periodo di clock. La rete riceve un segnale di ingresso I tale che:
- se  $I = 0$  le lampadine si accendono in sequenza, una alla volta, partendo (la prima volta) da S  
 $100 \rightarrow 010 \rightarrow 001 \rightarrow 100 \rightarrow \dots$
  - se  $I = 1$  le lampadine si accendono in sequenza, due alla volta, partendo (la prima volta) da SC  
 $110 \rightarrow 011 \rightarrow 101 \rightarrow 110 \rightarrow \dots$
- Progettare l'automa a stati di Moore **[3 pt]**
  - Ricavare le tabelle di verità **[2 pt]**
  - Ricavare le forme minime per le reti di stato futuro e delle uscite **[2pt]**

11. (5 pt) Si consideri il diagramma a stati di un circuito sequenziale riportato in figura:



- Dire se si tratta di un diagramma di Mealy o di Moore. Ricavare la tabella di verità. [2 pt]
- Minimizzare le reti di stato futuro e delle uscite tramite mappe di Karnaugh. [3 pt]