



UNIMORE
UNIVERSITÀ DEGLI STUDI DI
MODENA E REGGIO EMILIA

Dipartimento di Scienze Fisiche,
Informatiche e Matematiche

1. Introduzione

Architettura dei calcolatori [MN1-1143]

Corso di Laurea in INFORMATICA
(D.M.270/04) [16-215]
Anno accademico 2022/2023

Prof. Andrea Marongiu
andrea.marongiu@unimore.it
Prof. Alessandro Capotondi
alessandro.capotondi@unimore.it

È vietata la copia e la riproduzione dei contenuti e immagini in qualsiasi forma.

È inoltre vietata la redistribuzione e la pubblicazione dei contenuti e immagini non autorizzata espressamente dall'autore o dall'Università di Modena e Reggio Emilia.

Contatti docenti

- **Prof. Andrea Marongiu** (andrea.marongiu@unimore.it)
- **Prof. Alessandro Capotondi** (alessandro.capotondi@unimore.it)
- **(Tutor) Lorenzo Stigliano** (257544@studenti.unimore.it)
 - *Le lezioni col tutor non sono obbligatorie, ma caldamente consigliate*
- **Ricevimento: su appuntamento (via email)**
 - Ufficio MO-18-02-027 (Prof. Marongiu)
 - Ufficio MO-18-03-009 (Prof. Capotondi)
 - Edificio Matematica (via Campi 213 b) – secondo piano
 - Skype, gmeet, ...

Pagina del corso e materiali

- Il materiale del corso verrà reso disponibile su Moodle
 - Man mano che si procede con le lezioni
 - Caricherò le slides in anticipo rispetto alla lezione
 - <https://moodle.unimore.it/course/view.php?id=5520>
- Gli annunci verranno pubblicati sulla stessa pagina
- Non ci saranno videolezioni

Libri di testo

Le dispense fornite dal docente sono in generale sufficienti se si seguono le lezioni. A complemento (o se non si possono seguire le lezioni), si suggeriscono i seguenti libri di testo:

Per la parte di reti logiche:

M. Morris Mano, Charles Kime, Tom Martin, *"Reti logiche"*, 5/Ed.,
Pearson Editore

ISBN: 9788891905819

https://www.pearson.it/opera/pearson/0-6794-reti_logiche

Per la parte di microarchitettura CPU e assembly RISC-V:

David A Patterson, John L Hennessy, *"Struttura e progetto dei calcolatori - Progettare con RISC-V"* Edizione italiana a cura di Alberto Borghese.

Zanichelli Ed.

ISBN: 9788808820594

<https://www.zanichelli.it/ricerca?q=978.8808.82059.4>

Libri di testo

Testi aggiuntivi:

David A. Patterson, John L. Hennessy, *"Computer Organization and Design - RISC-V Edition : The Hardware Software Interface"*.

Morgan Kaufmann, 2018.

ISBN 9780128122761.



Giacomo Bucci, *"Calcolatori elettronici. Architettura e organizzazione"*, IVed.

Mc. Graw Hill

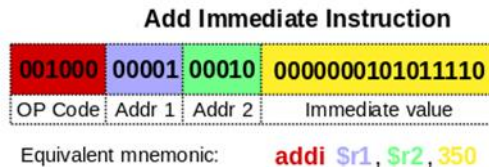
ISBN: 9788838675461

<https://www.mheducation.it/calcolatori-elettronici-architettura-e-organizzazione-4-ed-9788838675461-italy>

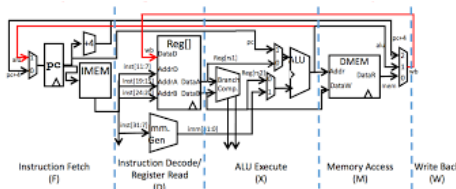
Programma del corso

Programs
(C, C++,...)

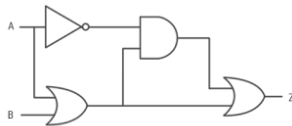
2.ISA



3.CPU (RISC-V)



1.Logic circuits



VLSI design

1. Reti logiche

- RL combinatorie
- RL sequenziali
- Macchine a stati finiti (FSM)

2. Instruction Set Architecture RISC V

- Struttura dell'ISA RISC V
- programmazione assembly RISC V

3. Progettazione di una CPU RISC V

- Datapath e logica di controllo
- Pipeline
- Hazards e forwarding
- Sottosistema di memoria

Modalità di esame

- Prova scritta
 - Domande a risposta aperta
 - Importante motivare tutte le risposte nell'apposite spazio
 - Salto d'appello per chi non si presenta senza preavviso
- Prova orale
 - Su tutto il programma
 - Tipicamente si incentra sui «punti deboli» riscontrati allo scritto
 - Normalmente +3/-3 punti rispetto allo scritto
 - Esistono eccezioni notevoli

Modalità di esame

- Una prova scritta sufficiente rimane valida **fino alla fine della sessione seguente**
 - Es., con uno scritto superato a Giugno (sessione estiva), si ha tempo per effettuare l'orale o registrare il voto fino a Settembre
 - Far correggere una prova scritta successiva (es., per provare ad aumentare il voto) sovrascrive l'esito della prova più vecchia

Modalità di esame

- Prova scritta tipo
 - Domande aperte
 - Esercizi sui tre blocchi principali del corso
 - Il punteggio massimo è indicato nell'intestazione di ogni esercizio
 - Più dettagli del ragionamento si danno, più possibilità ci sono di avvicinarsi al punteggio massimo
 - Se il ragionamento è giusto...

PARTE 3 – DOMANDE APERTE

- Una risposta esatta fa acquisire il punteggio positivo riportato a fianco della domanda
- Una risposta errata può eventualmente causare una penalità che dipende dalla gravità dell'errore
- Una risposta lasciata in bianco viene calcolata: 0
- SI RICORDA CHE L'UNICO FOGLIO DA CONSEGNARE E' IN CALCE AL COMPITO. QUESTO FOGLIO, PUO' SERVIRE ESCLUSIVAMENTE COME "BRUTTA COPIA". EVENTUALI RISPOSTE SCRITTE IN QUESTO FOGLIO NON VERRANNO PRESE IN CONSIDERAZIONE

9. (5 pt) Progettare un circuito sequenziale che opera secondo la tabella di stato seguente, utilizzando flip-flop D.

Present State			Input	Next State		
A	B	C	X	A	B	C
0	0	1	0	0	0	1
0	0	1	1	0	1	0
0	1	0	0	0	1	1
0	1	0	1	1	0	0
0	1	1	0	0	0	1
0	1	1	1	1	0	0
1	0	0	0	1	0	1
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	1	0	0

10. (6 pt) Si consideri il seguente programma assembly RISC-V. Supponendo di eseguire il codice su una versione della pipeline a cinque stadi che non gestisce i data hazards:

```
ld x28, 8(x10)
addi x28, x28, -10
sd x28, 8(x10)
sub x15, x12, x11
ld x13, 4(x15)
or x13, x15, x13
add x2, x6, x7
ld x12, 0(x2)
add x6, x2, x12
```

- si inseriscano delle NOP per garantirne il funzionamento corretto.
- assumendo che la pipeline sia già piena quando si esegue la prima istruzione, si dica quanti cicli impiega a eseguire questo codice.
- si riordini, se possibile, il codice per rimuovere eventuali NOP
- si dica quanti cicli impiega il codice riordinato a eseguire

Modalità di esame

- Prove scritte degli anni passati
 - Le prove degli appelli dell'anno scorso verranno pubblicate su Moodle
 - Normalmente un certo numero di prove vengono visionate a lezione in preparazione dei parziali

Modalità di esame



- **Esami Parziali**

- Nel corso del semestre verranno fissate **tre prove parziali** (una per ognuno dei tre blocchi principali del corso)
- Chi frequenta le lezioni può accedere alle prove parziali.
- Chi supera tutte e tre le prove con un voto sufficiente può:
 1. Accedere all'orale con un voto della prova scritta pari alla media delle tre prove parziali. Il voto ha la durata di una prova scritta normale.
 2. In alcuni casi l'orale può non essere obbligatorio.

Modalità di esame



- Esami Parziali (date indicative)
 - Prima metà aprile 2023 – reti logiche
 - Prima metà maggio 2023 – ISA RISC-V, programmazione assembly
 - Prima metà giugno 2023 – CPU RISC-V, gerarchia di memoria
 - *insieme al primo appello estivo standard*
- Esami (scritto e orale)
 - Sessione estiva: tre appelli tra giugno e luglio 2023
 - Sessione autunnale: un appello a settembre 2023
 - Sessione invernale: due appelli tra gennaio e febbraio 2024