

# Xilinx 7系列SelectIO结构之IO标准和端接匹配（三）

原创 FPGA技术实战 FPGA技术实战 2020-05-20

收录于话题

#SelectIO结构详解

7个

**引言：**SSTL电平标准一般用于DDR SDRAM存储器，在FPGA存储器外设接口中经常使用该电平标准。本文我们介绍伪差分SSTL电平标准相关的端接匹配拓扑结构，具体包括：

- SSTL电平标准概述
- SSTL电平标准可用I/O bank类型
- SSTL端接拓扑结构

## 1.SSTL电平标准概述

1.8V (SSTL18)、1.5V (SSTL15) 和1.35V (SSTL135) I/O 标准用于一般目的存储器总线。本节讨论端接技术举例，通过对PCB拓扑结构的信号完整性分析（包括存储器器件、布局布线和传输线阻抗），确定给定存储接口最佳端接方案。Xilinx为所有I/O标准提供了IBIS模型文件和加密的HSPICE模型文件。7系列FPGA支持单端和差分SSTL标准。差分SSTL使用真差分放大器输入缓冲和互补推拉输出缓冲。三态DCI (T\_DCI) 标准是HP I/O banks存储器接口优选的标准。推荐在HR I/O banks实现接口设计时使用IN\_TERM属性。

7系列FPGA为所有存储器接口相关标准，HSTL、SSTL、HSUL和MOBILE\_DDR，新增slew rate可选功能。尽管默认的设置慢为slow slew rate，对于大部分快速接口频率，fast slew rate是优选的，然而，是否选择fast slew rate，需要通过信号完整性分析决定。

### 1.1 SSTL18标准

SSTL18 I/O标准用于DDR2 SDRAM存储器接口。Class I类型只能用于单向拓扑，不支持双向接口，Class II可以用于单向和双向信号。对于某些拓扑（如短的传输线和点对点接口），Class I类型可以减少反射和更好的信号完整性。

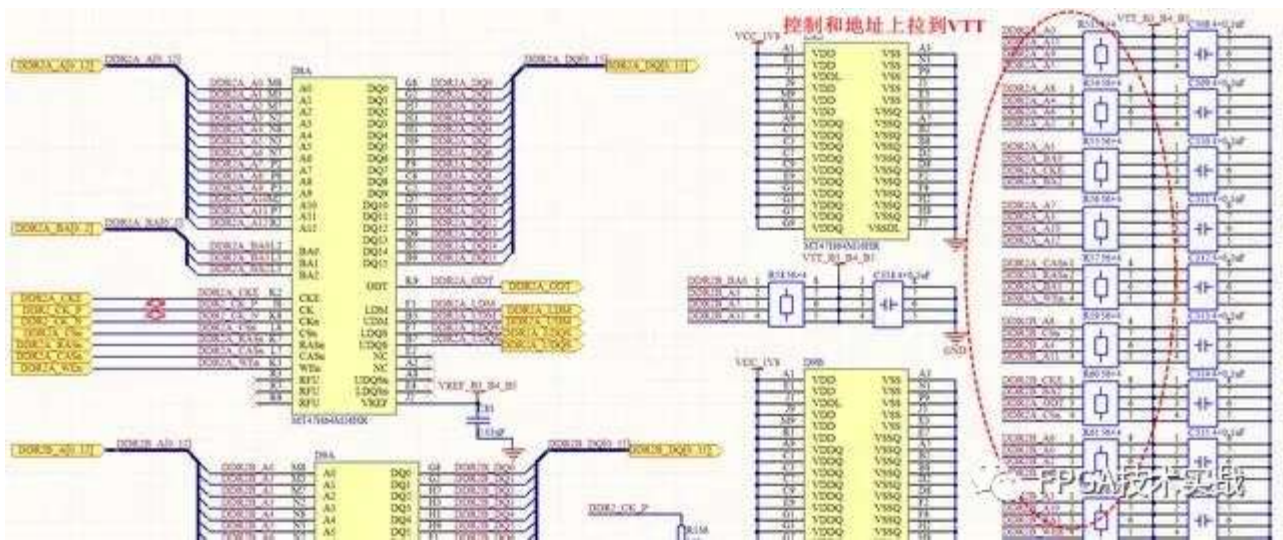


图1、使用SSTL18\_II的DDR2电路图

SSTL18 Class I和Class II在HR和HP banks都是可用的，HP banks提供DCI和T\_DCI端接功能，T\_DCI只能用于双向I/O。HR banks提供IN\_TERM选项用于内部并行分立端接电阻。尽管任何新设计的最佳驱动和端接方案都是通过仔细的信号完整性分析确定的，但最初的考虑应包括：

- **HP I/O banks:** 7系列FPGA双向管脚（DQ和DQS）使用SSTL18\_II\_T\_DCI标准，单向管脚（地址和控制信号）使用SSTL18\_II标准。存储器侧双向信号使用片上ODT技术，单向信号使用外部并行端接电阻接至 $V_{TT} = V_{CCO}/2$ 电压上。
- **HR I/O banks:** 7系列FPGA双向管脚（DQ和DQS）和单向管脚（地址和控制信号）使用SSTL18\_II标准，双向管脚使能IN\_TERM（内部端接）属性。存储器侧双向信号使用片上ODT技术，单向信号使用外部并行端接电阻接至 $V_{TT} = V_{CCO}/2$ 电压上。

## 1.2 SSTL15标准



信号使用片上ODT技术，单向信号使用外部并行端接电阻接至 $V_{TT} = V_{CCO}/2$ 电压上。

## 1.3 SSTL135标准

SSTL135 I/O标准用于DDR3L SDRAM存储器接口。对于该标准，full-strength驱动器（SSTL135）在HR和HP I/O banks上都是可用的。一个reduced-strength驱动器，标记为SSTL135\_R标准，在HR I/O banks上可用。这两种标准都支持双向和单向信号。对于某些拓扑（如短的传输线和点对点接口），SSTL135标准可以减少反射和更好的信号完整性。和SSTL15类似，HP I/O banks提供DCI和T\_DCI端接技术，DCI端接不支持双向信号，T\_DCI只能用于双向信号。HR I/O banks提供内部端接IN\_TERM选项。尽管任何新设计的最佳驱动和端接方案都是通过仔细的信号完整性分析确定的，但最初的考虑应包括：

**HP I/O banks:** 7系列FPGA双向管脚（DQ和DQS）使用SSTL135\_T\_DCI标准，单向管脚（地址和控制信号）使用SSTL135标准。存储器侧双向信号使用片上ODT技术，单向信号使用外部并行端接电阻接至 $V_{TT} = V_{CCO}/2$ 电压上。

- **HR I/O banks:** 7系列FPGA双向管脚（DQ和DQS）和单向管脚（地址和控制信号）使用SSTL135标准，双向管脚使能IN\_TERM（内部端接）属性。存储器侧双向信号使用片上ODT技术，单向信号使用外部并行端接电阻接至 $V_{TT} = V_{CCO}/2$ 电压上。

## 1.4 SSTL12标准

SSTL12支持镁光下一代RLDRAM3存储器。该标准只在HP I/O bank可用。DCI和T\_DCI用于改善信号完整性。DCI端接不支持双向信号，T\_DCI只能用于双向信号。HR I/O banks提供内部端接IN\_TERM选项。尽管任何新设计的最佳驱动和端接方案都是通过仔细的信号完整性分析确定的，但最初的考虑应包括：

- 7系列FPGA双向管脚（DQ和DQS）使用SSTL12\_T\_DCI标准。
- 单向管脚（地址和控制信号）使用SSTL12标准。
- 存储器侧双向信号使用片上ODT技术，单向信号使用外部并行端接电阻接至 $V_{TT} = V_{CCO}/2$ 电压上。

## 2.SSTL电平标准可用I/O bank类型

电平标准	HR	HP
SSTL15_R, SSTL135_R, DIFF_SSTL15_R, DIFF_SSTL135_R	可用	N/A
SSTL18_I, DIFF_SSTL18_I	可用	可用
SSTL18_I_DCI, DIFF_SSTL18_I_DCI	N/A	可用
SSTL18_II, SSTL15, SSTL135, DIFF_SSTL18_II, DIFF_SSTL15, DIFF_SSTL135	可用	可用
SSTL18_II_DC, SSTL_15_DCI, SSTL135_DCI, DIFF_SSTL18_II_DCI, DIFF_SSTL_15_DCI, DIFF_SSTL135_DCI	N/A	可用
SSTL18_II_T_DCI, SSTL15_T_DCI, SSTL135_T_DCI, DIFF_SSTL18_II_T_DCI, DIFF_SSTL15_T_DCI, DIFF_SSTL135_T_DCI	N/A	可用
SSTL12, SSTL12_DCI, SSTL12_T_DCI, DIFF_SSTL12, DIFF_SSTL12_DCI, DIFF_SSTL12_T_DCI	N/A	可用

图3、SSTL电平标准可用I/O bank类型

## 3.SSTL端接拓扑结构

### 3.1 单端SSTL18, SSTL15, SSTL135和SSTL12端接拓扑

图4显示了SSTL18、SSTL15、SSTL135和SSTL12单向端接拓扑结构，在某些情况下，需要驱动器和接收两侧保持相同的电压电平。DCI内部端接只用于HP I/O banks。



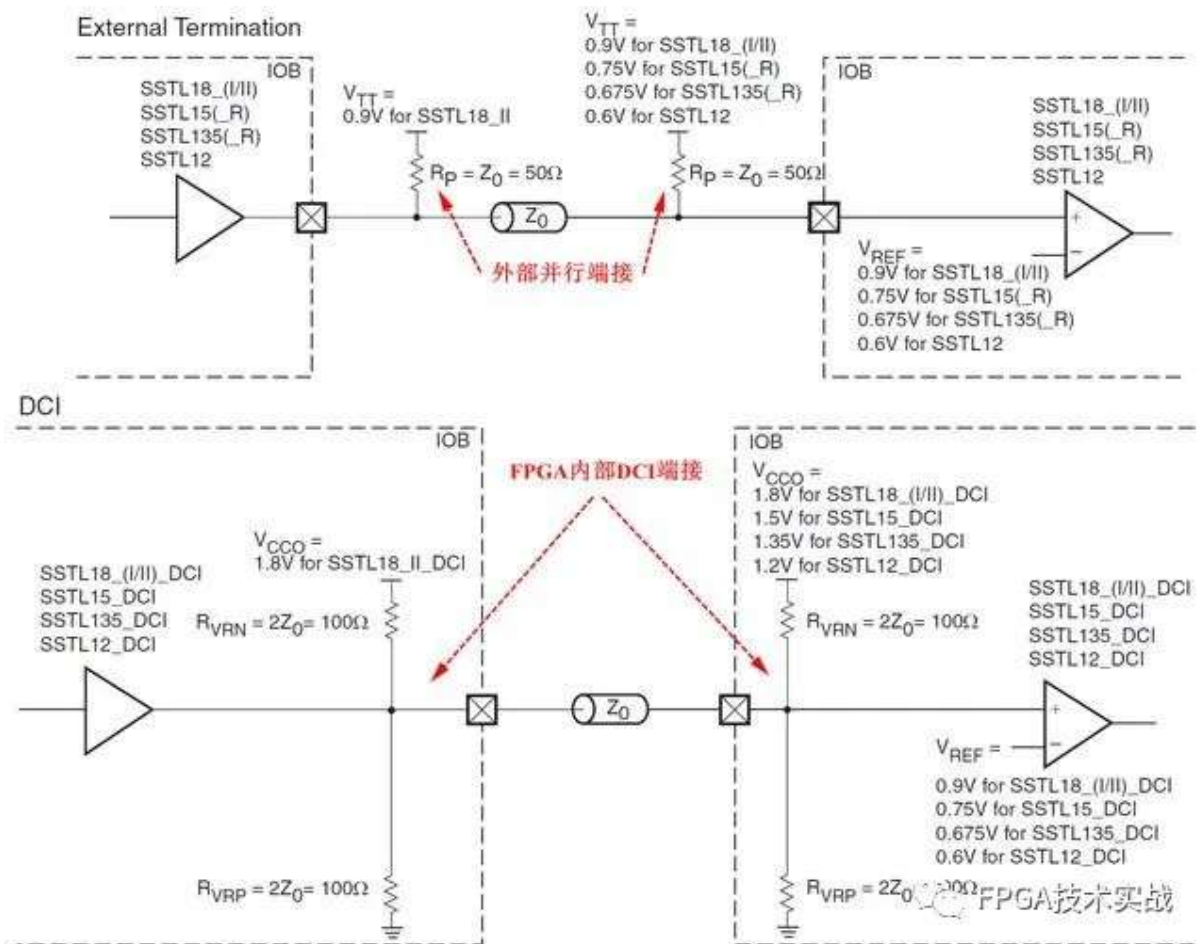


图4、SSTL18、SSTL15、SSTL135和SSTL12单向端接拓扑结构

图5显示了SSTL18、SSTL15、SSTL135和SSTL12双向端接拓扑结构。在某些情况下，需要驱动器和接收两侧保持相同的电压电平。DCI内部端接只用于HP I/O banks。

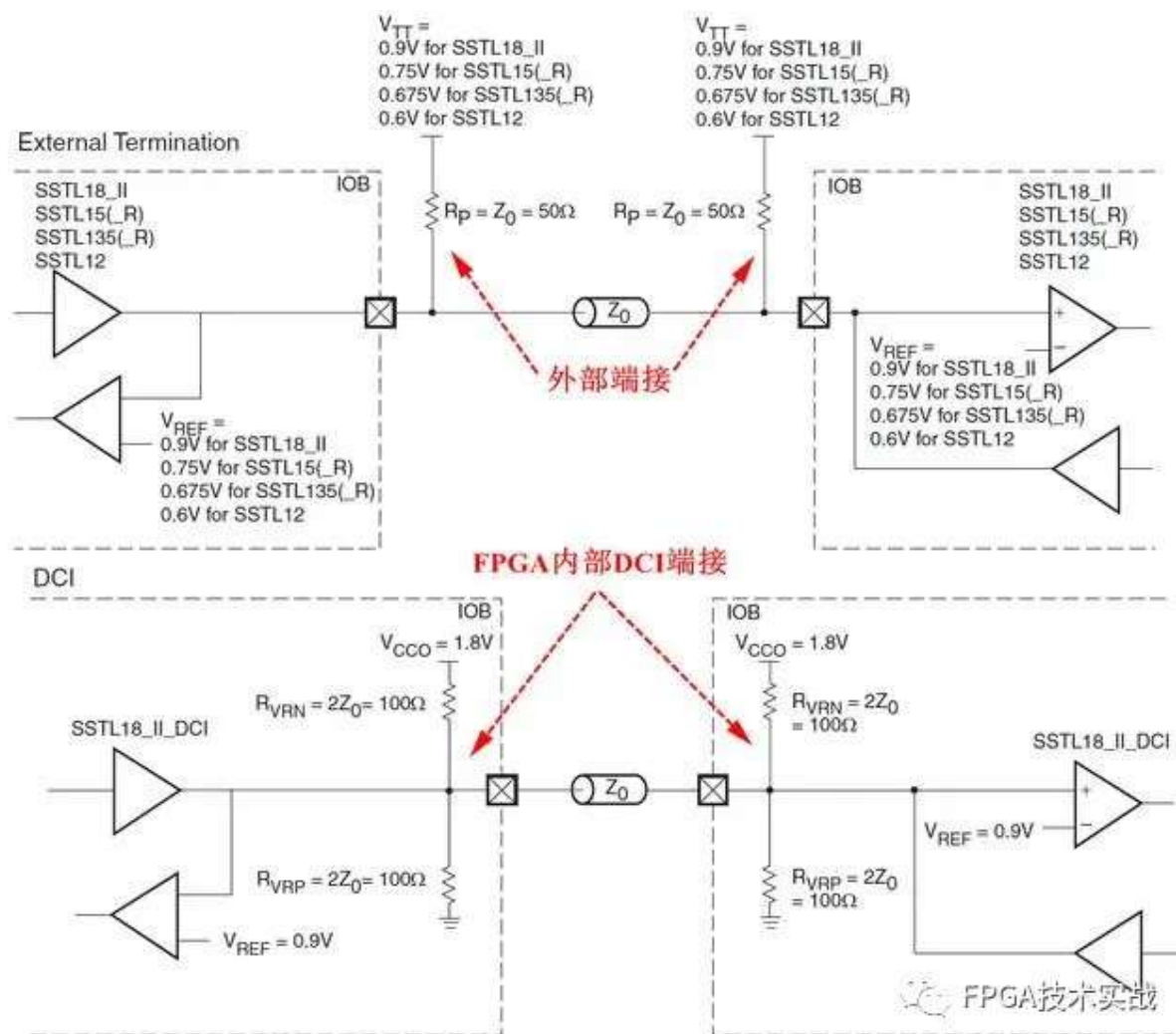


图5、SSTL18、SSTL15、SSTL135和SSTL12双向端接拓扑结构

### 3.2 差分SSTL18，SSTL15，SSTL135和SSTL12端接拓扑

图6显示了差分SSTL18、SSTL15、SSTL135和SSTL12单向外部端接拓扑结构。这某些情况下，需要驱动器和接收两侧保持相同的电压电平。图7显示了差分SSTL18、SSTL15、SSTL135和SSTL12单向内部端接拓扑结构。

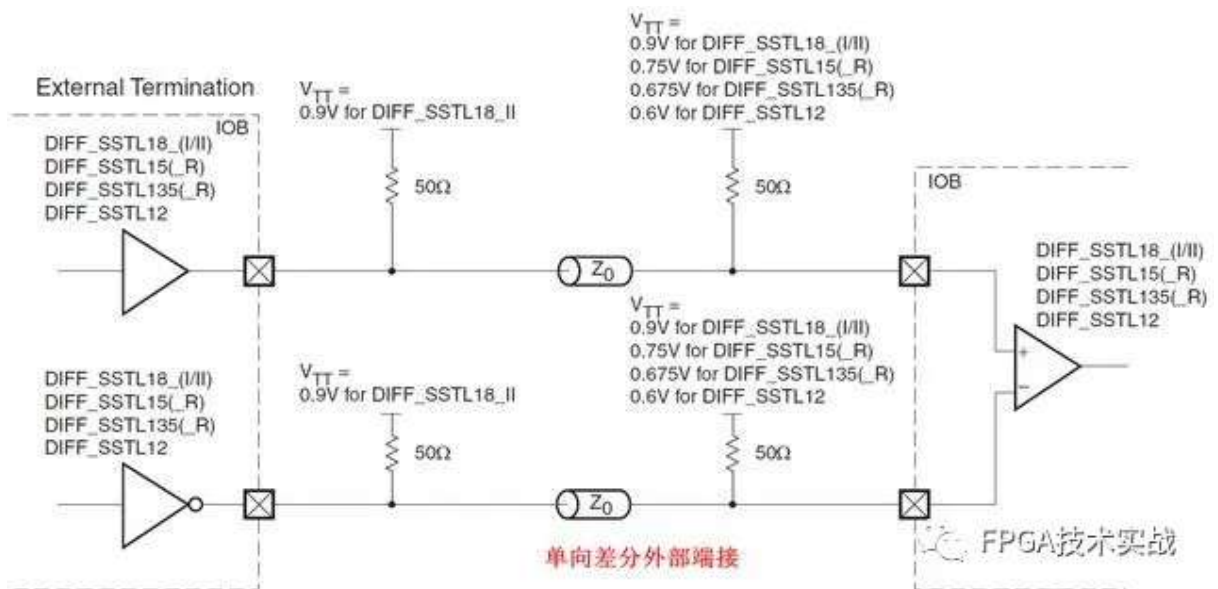


图6、差分SSTL18、SSTL15、SSTL135和SSTL12单向端接拓扑结构

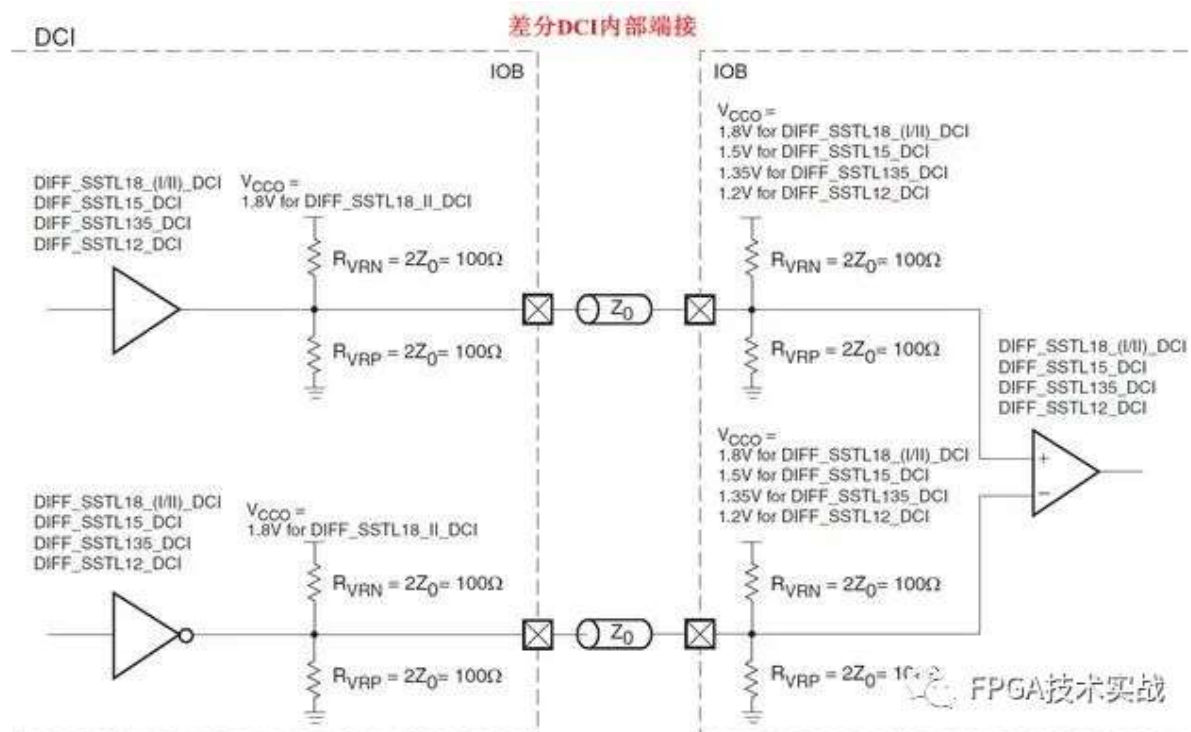


图7、差分SSTL18、SSTL15、SSTL135和SSTL12单向端接拓扑结构。

图8显示了差分SSTL18、SSTL15、SSTL135和SSTL12双向外部端接拓扑结构。在某些情况下，需要驱动器和接收两侧保持相同的电压电平。图9显示了差分SSTL18、SSTL15、SSTL135和SSTL12双向内部端接拓扑结构。



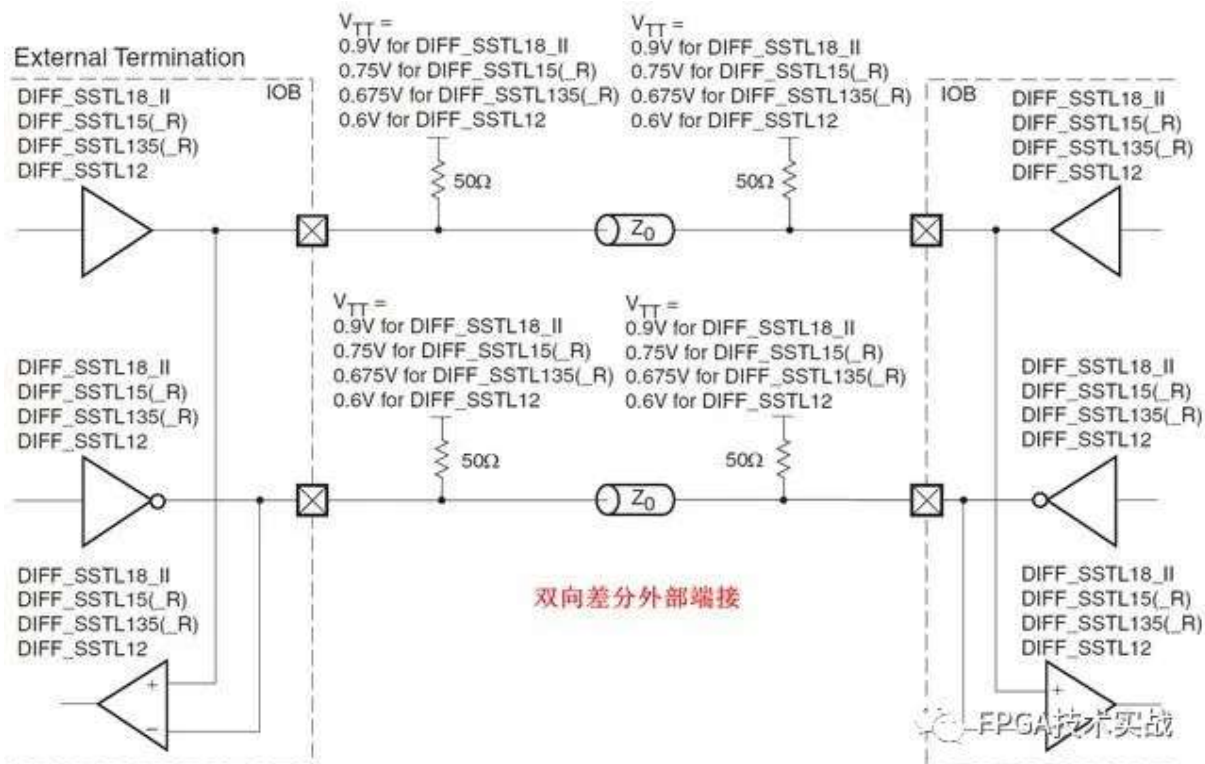


图8、差分SSTL18、SSTL15、SSTL135和SSTL12双向外部端接拓扑结构

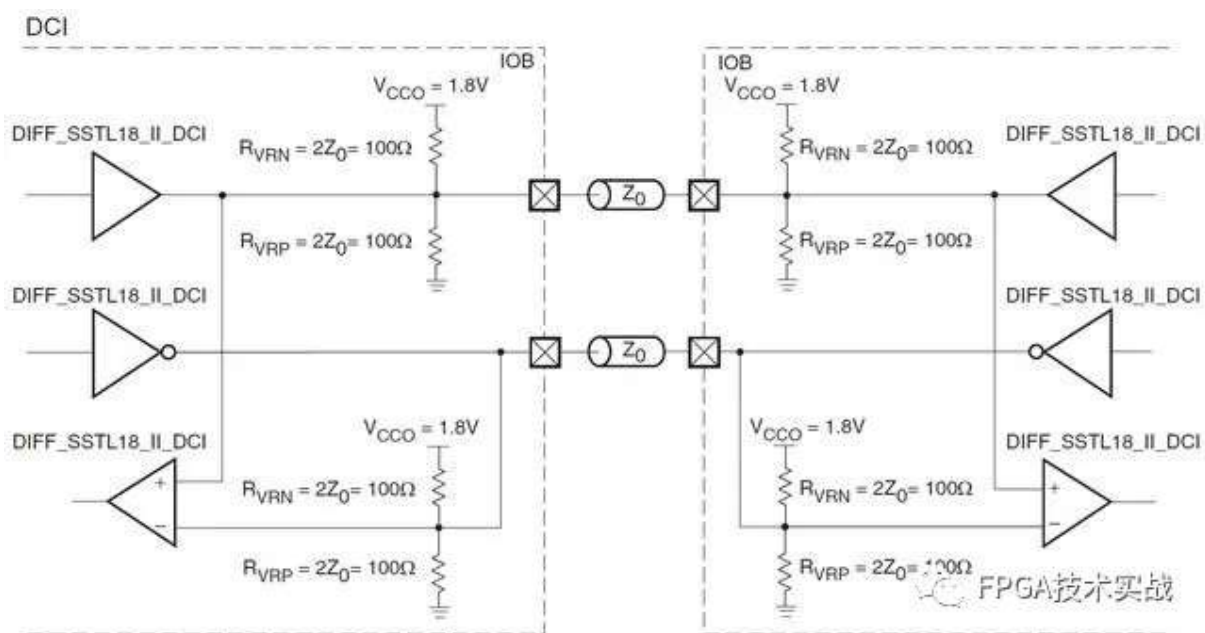


图9、差分SSTL18、SSTL15、SSTL135和SSTL12双向内部端接拓扑结构

### 3.3 SSTL18, SSTL15, SSTL135和SSTL12 T\_DCI端接拓扑

图10显示了差分SSTL18、SSTL15、SSTL135和SSTL12 T\_DCI端接拓扑结构。

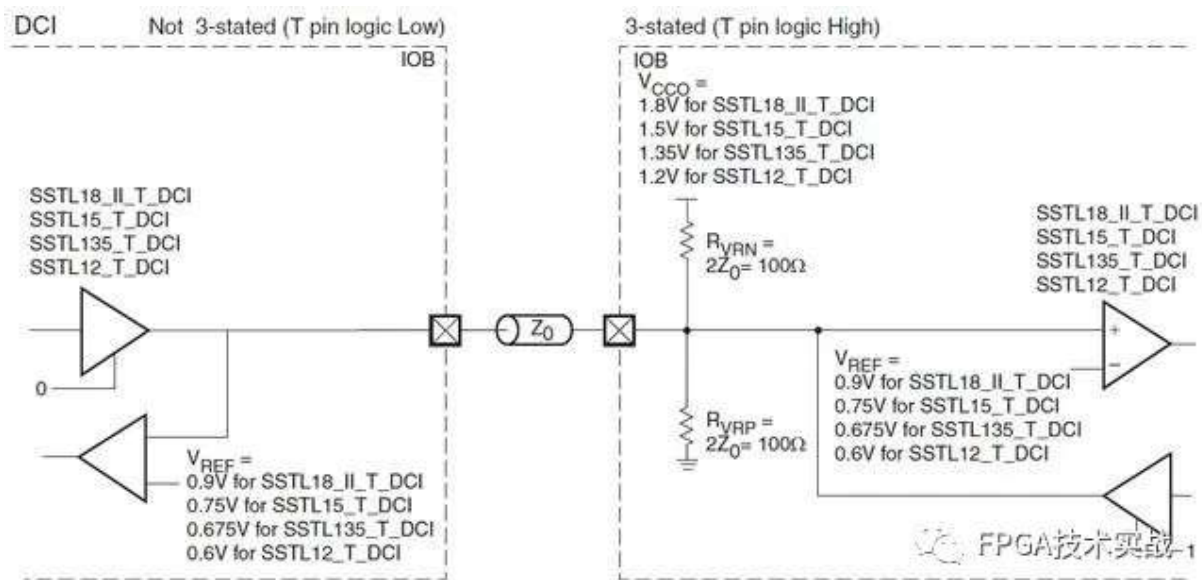


图10、差分SSTL18、SSTL15、SSTL135和SSTL12 T\_DCI端接拓扑结构

## 结论

本文我们介绍了SSTL电平标准相关的基础知识，介绍了在进行存储器接口设计时，需要遵循的原则，并给出了FPGA相关的SSTL端接匹配方案。部分内容较为抽象，需要结合实际FPGA及存储器硬件设计深入理解。



欢迎关注FPGA技术实战公众号，持续更新原创！

收录于话题 #SelectIO结构详解·7个

上一篇

Xilinx 7系列SelectIO结构之SelectIO逻辑资源（一）

下一篇

Xilinx 7系列SelectIO结构之IO标准和端接匹配（二）

阅读 89

分享

收藏

赞

在看