

Xilinx FPGA收发器参考时钟设计应用

原创 FPGA技术实战 FPGA技术实战 2020-04-23

收录于话题

#Xilinx7系列收发器详解

20个

引言：晶振是数字电路设计中非常重要的器件，时钟的相位噪声、频率稳定性等特性对产品性能影响很大。本文基于可编程晶振SI570，就Xilinx FPGA收发器输入参考时钟的硬件设计及FPGA软件设计给出设计案例，供大家参考。通过本文，可以了解到：

- Xilinx FPGA收发器参考时钟设计要点
- 可编程晶振SI570设计方法

1.Xilinx FPGA收发器参考时钟设计要求

1.1 参考时钟接口要求

FPGA收发器GTX/GTH参考时钟接口提供两种连接方式：LVDS（如图1所示）和LVPECL（如图2所示）。我们在选择晶振时，至少要支持其中一种接口输出电平标准。图2所示的电阻值为一般推荐值，实际偏置电阻值需要参考晶振手册。图1和图2中交流AC耦合电容作用：1）阻断外部晶振和GTX/GTH收发器Quad专用时钟输入管脚之间的DC电流，降低功耗；2）AC耦合电容和参考时钟输入端接构成高通滤波器，衰减参考时钟偏移；3）保持耦合电容两侧共模电压独立，互不干扰。

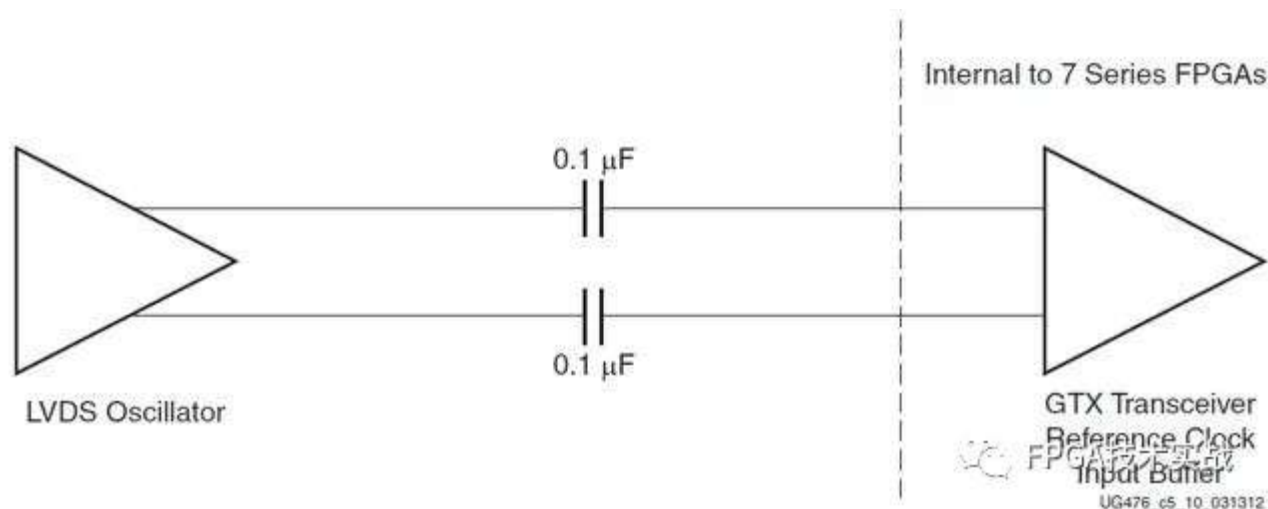


图1、LVDS晶振和7系列FPGA收发器参考时钟输入接口

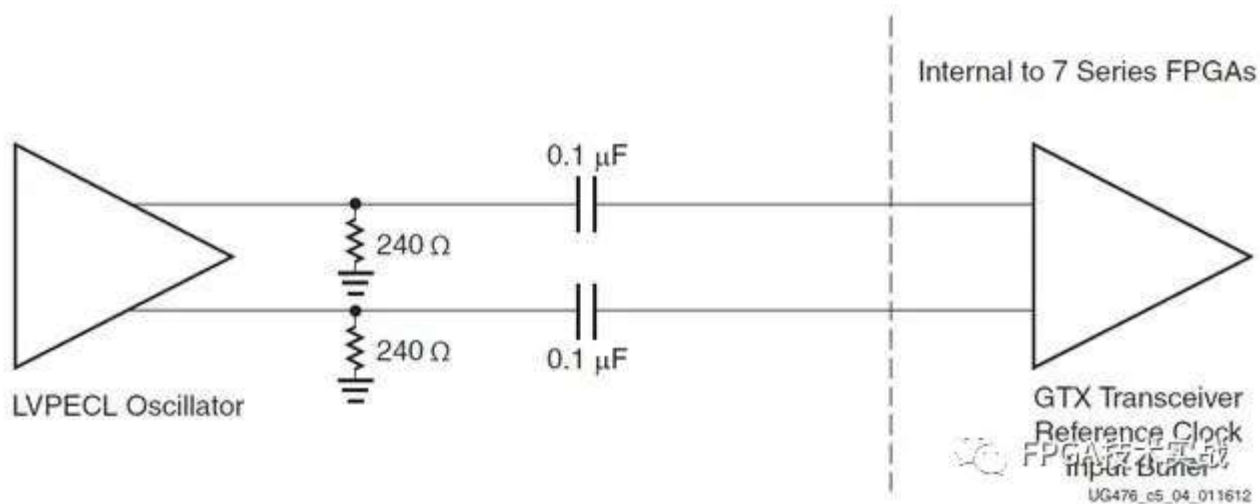


图2、LVPECL晶振和7系列FPGA收发器参考时钟输入接口

1.2参考时钟电气特性要求

FPGA收发器参考时钟开关特性和DC特性要求分别如图3和图4所示。

Symbol	Description	Conditions	All Speed Grades			Units
			Min	Typ	Max	
F _{GCLK}	Reference clock frequency range 参考时钟频率范围	-3 speed grade	60	—	700	MHz
		All other speed grades	60	—	670	MHz
T _{RCLK}	Reference clock rise time 上升时间	20% – 80%	—	200	—	ps
T _{FCLK}	Reference clock fall time 下降时间	80% – 20%	—	200	—	ps
T _{DCREF}	Reference clock duty cycle 占空比要求	Transceiver PLL only	40	50	60	%

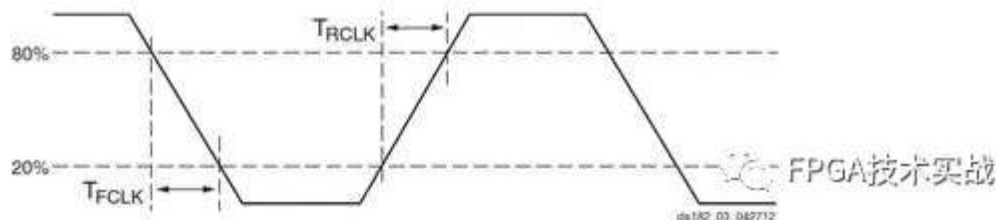


图3、FPGA收发器参考时钟开关特性要求

Symbol	DC Parameter	Min	Typ	Max	Units
V _{IDIFF}	Differential peak-to-peak input voltage 参考时钟V _{pk-pk} 电压	250	—	2000	mV
R _{IN}	Differential input resistance 差分输入阻抗	—	100	—	Ω
C _{EXT}	Required external AC coupling capacitor AC耦合电容值	—	100	—	nF

图4、FPGA收发器参考时钟DC特性要求

2.硬件电路设计

2.1晶振选型

按照章节1中FPGA收发器参考时钟要求，我们选择Silicon labs公司的si570系列可编程晶振，该晶振典型应用SONET/SDH、10G以太网通信、时钟恢复等场合。该晶振输出特性如图6所示。

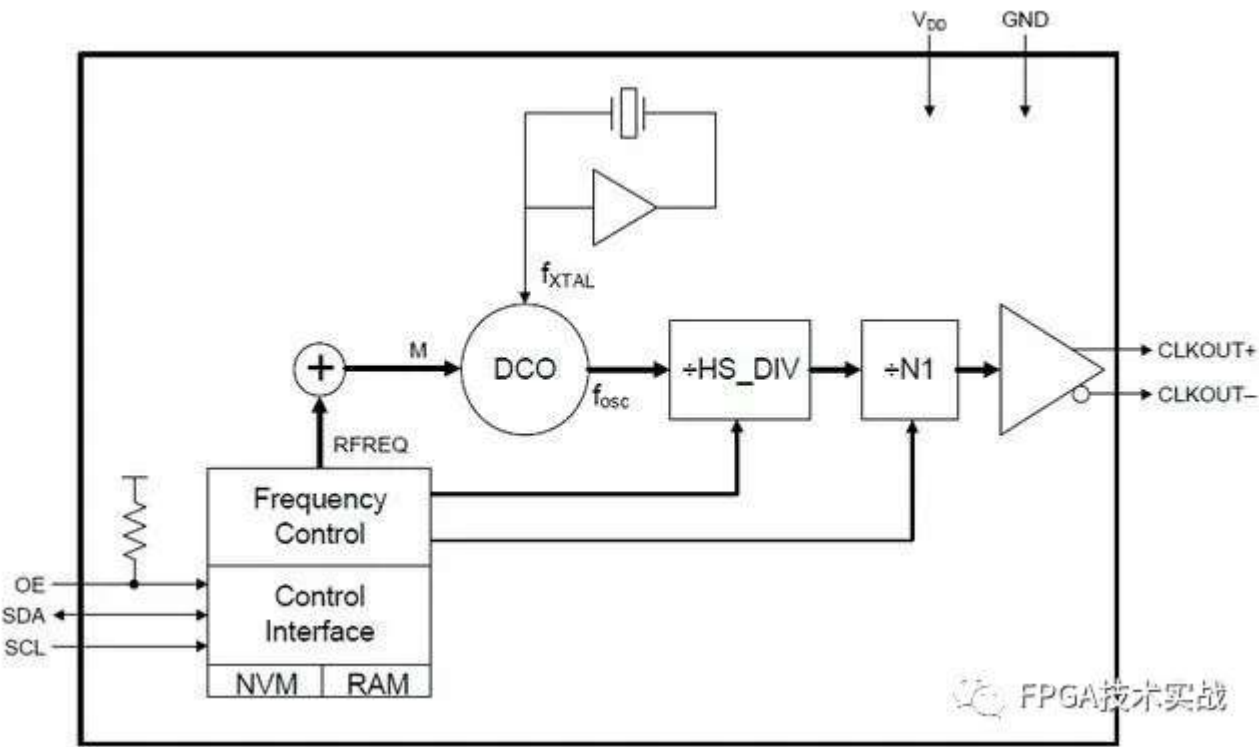


图5、SI570晶振内部功能框图

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
LVPECL Output Option ¹	V _O	mid-level	V _{DD} - 1.42	—	V _{DD} - 1.25	V
	V _{OD}	swing (diff)	1.1	—	1.9	V _{pp}
	V _{SE}	swing (single-ended)	0.55	—	0.95	V _{pp}
LVDS Output Option ²	V _O	mid-level	1.125	1.20	1.275	V
	V _{OD}	swing (diff)	0.5	0.7	0.9	V _{pp}
CML Output Option ²	V _O	2.5/3.3 V option mid-level	—	V _{DD} - 1.30	—	V
		1.8 V option mid-level	—	V _{DD} - 0.36	—	V
	V _{OD}	2.5/3.3 V option swing (diff)	1.10	1.50	1.90	V _{pp}
		1.8 V option swing (diff)	0.35	0.425	0.50	V _{pp}
CMOS Output Option ³	V _{OH}	I _{OH} = 32 mA	0.8 x V _{DD}	—	V _{DD}	V
	V _{OL}	I _{OL} = 32 mA	—	—	0.4	V
Rise/Fall time (20/80%)	t _R , t _F	LVPECL/LVDS/CML	—	—	350	ps
		CMOS with C _L = 15 pF	—	1	—	ns
Symmetry (duty cycle)	SYM	LVPECL: V _{DD} - 1.3 V (diff) LVDS: 1.25 V (diff) CMOS: V _{DD} /2	45	—	55	%

Notes:
1. R_{term} = 50 Ω to V_{DD} - 2.0 V.
2. R_{term} = 100 Ω (differential).
3. C_L = 15 pF

SI570晶振输出特性

图6、SI570晶振输出特性

2.2原理图设计

FPGA收发器参考时钟晶振SI570原理图设计如图7所示。

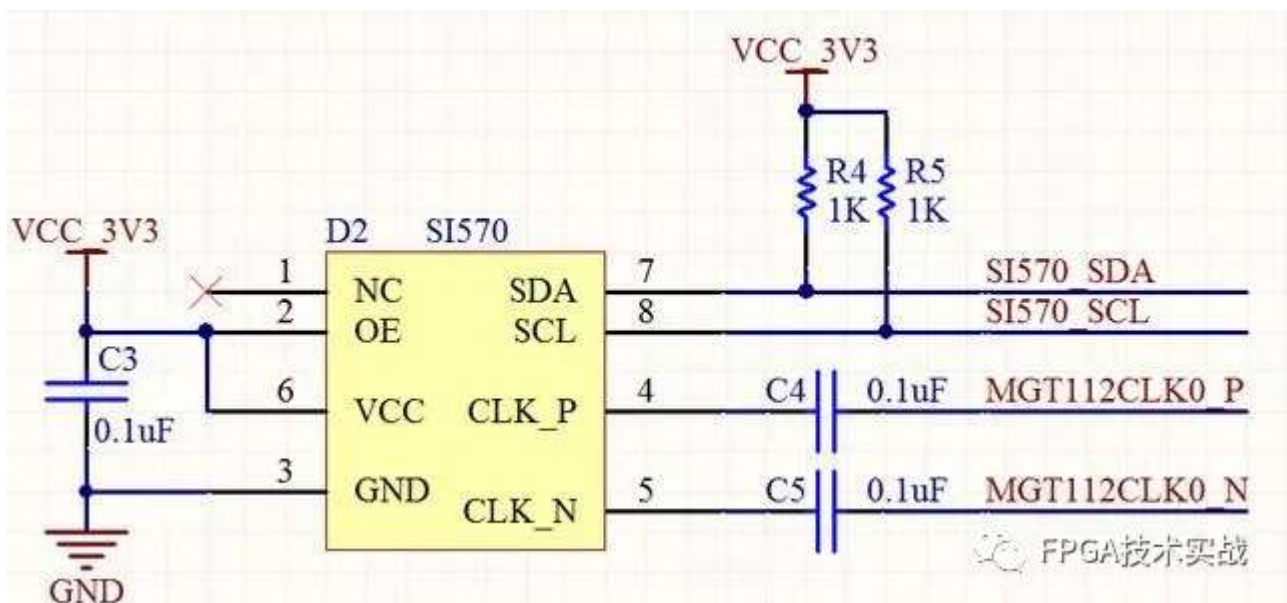


图7、SI570原理图设计

3.SI570 FPGA软件配置及结果测试

3.1 SI570晶振配置方法

从图5中，可看到SI570控制接口采用I2C接口。我们在配置该晶振时要按照以下操作步骤进行：

1.SI570根据家族类别，器件地址都不同，故首先需要去Silicon官网查找项目选型的晶振型号对应的器件地址。举例SI570晶振型号：570BAB000544DG，该型号参数如图8所示。在该图中，我们可以得到可编程晶振的重要参数，如器件的I2C地址（0x5D），出厂默认输出频率（156.25MHz），频率范围等等。

Part Number: 570BAB000544DG

Product	SI570
Description	Differential/single-ended; I2C programmable XO; 10-1417 MHz
Frequency A	156.25 MHz
I2C Address (Hex Format)	5D
Format	LVDS
Supply Voltage	3.3 V
OE Polarity	OE active high
Temperature Stability / Total Stability	50 ppm / 61.5 ppm
Frequency Range	10 - 810 MHz
Operating Temp Range (°C)	-40 to +85
Product Page	Product Page

FPGA技术实战

图8、SI570出厂参数信息

2.编写FPGA软件， 读出晶振SI570内部出厂默认寄存器配置字。FPGA实例工程如图9所示。



图9、SI570测试例程工程

3.根据读出的SI570内部寄存器默认配置值，FPGA I2C总线读时序图如图10所示。

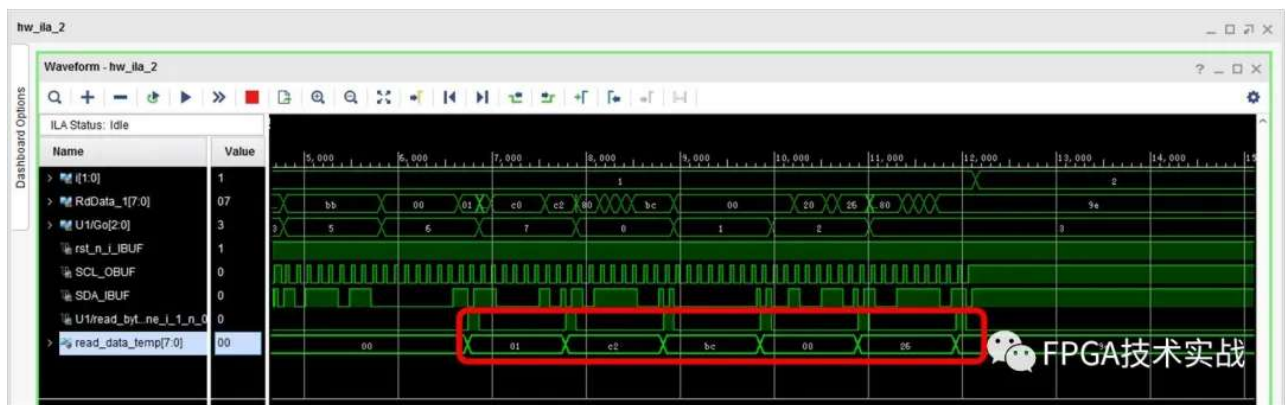


图10、FPGA I2C总线读时序图

4.利用Silicon官方Programmable Oscillator Calculator软件计算出要求出频率所需的配置寄存器值。如图11所示，本设计将SI570输出频率设置为50MHz。

1) 在器件上电或者寄存器复位后, 读取出厂默认频率配置 (即读取 RFREQ、HS_DIV 和 N1 寄存器配置值);

Registers for the Current Configuration

Register Data

7 0x01

8 0xC2

9 0xBB

10 0xFF

11 0xEC

12 0x72

RFREQ = 0x2BBFFEC72

= $0x2BBFFEC72 / (2^{28}) = 43.74998135$

HS_DIV = 0x0 = 4

N1 = 0x7 = 8

2) 计算出实际默认出厂的 Fxtal 频率值;

fxtal = $(f_0 \times HS_DIV \times N1) / RFREQ$

= $(156.250000000 \text{ MHz} \times 4 \times 8) / 43.749981351$

= 114.285763000 MHz

3) 选择新的输出频率 f1

Output Frequency (f1) = 50.000000000 MHz

4) 通过确保 DCO 频率范围为 4.85G~5.67G, 可以查看” Divider Combinations” 菜单, 查看 HSDIV 和 N1 组合。计算出新的输出频率配置。

4.900000000	7	14
5.000000000	5	20
5.200000000	4	26
5.400000000	9	12
5.400000000	6	18
5.500000000	11	10

HS_DIV = 0x3 = 7

N1 = 0xD = 14

fdco = $f1 \times HS_DIV \times N1$

= $50.000000000 \text{ MHz} \times 7 \times 14$

= 4.900000000 GHz

5) 计算新的输出频率 RFREQ 配置字;

RFREQ = fdco / fxtal

= $4.900000000 \text{ GHz} / 114.285763000 \text{ MHz}$

= 42.87498172

= $42.87498172 \times (2^{28}) = 0x2ADFFECD6$

6) 通过设置 DCO = 1 (寄存器 137 的 bit4) 冻结 DCO;

7) 写新的寄存器配置字 (RFREQ、HS_DIV 和 N1)

Registers for the New Configuration

Register	Data
7	0x63
8	0x42
9	0xAD
10	0xFF
11	0xEC
12	0xD6

新的设置频率 50MHz 配置字

8) 通过设置 DCO = 0 (寄存器 137 的 bit4) 解锁 DCO; 并且在 10ms 内插入 NewFreq bit (寄存器 135 的 bit6)

FPGA技术实战

图11、计算SI570配置寄存器流程步骤

5.写SI570寄存器配置值。FPGA I2C总线写时序图如图12所示。

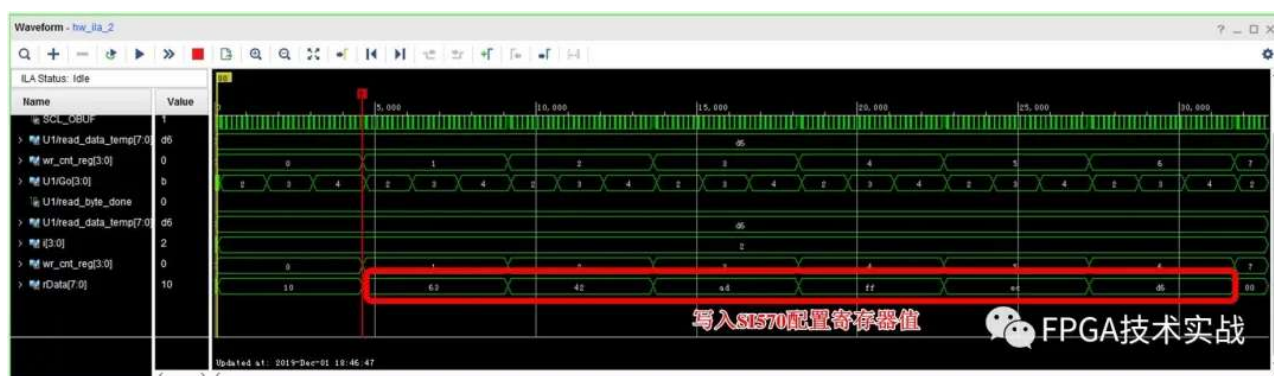


图12、FPGA I2C总线写时序图

3.2 SI570配置结果测试

在图5SI570测试例程工程中，我们还加入了SI570输出频率测试代码，以通过FPGA在线逻辑分析仪测试SI570输出频率是否达到50MHz设计输出要求。测试结果如图13所示，可以看到晶振输出结果符合设计要求。

hw_vio_1					
Name	Value	Activity	Direction	VIO	
> _200MHz_SYSCLK[19:0]	[U] 20000		Input	hw_vio_1	
> Si570_USER_CLK[19:0]	[U] 4997		Input	hw_vio_1	

Si570 配置输出频率：49.97MHz（测频率存在误差由测试时长引起）

图13、SI570输出频率测试结果

延伸阅读：Xilinx 7系列FPGA收发器架构之共享功能（二）



欢迎关注FPGA技术实战公众号，持续更新原创！

收录于话题 #Xilinx7系列收发器详解·20个

上一篇

PCIe和XAUI协议时钟架构应用实例

下一篇

利用IBERT IP核实现GTX收发器硬件测试

阅读 148

分享

收藏

赞 1

在看