

Xilinx 7系列FPGA收发器架构之硬件设计指导（二）原理图及PCB设计检查清单

FPGA技术实战 2020-08-30

下图表给出了Xilinx 7系列GTX/GTH收发器FPGA管脚设计官方推荐规则，我们在进行硬件设计时可以参考。

管脚	推荐规则
MGTREFCLK0P MGTREFCLK0N MGTREFCLK1P MGTREFCLK1N	<ul style="list-style-type: none">● 时钟使用 AC 交流耦合。● 参考时钟走线应该和其他信号之间提供足够的距离，以减少临近信号噪声耦合。● 参考时钟必须兼容器件手册要求的最大和最小摆幅要求。● 如果参考时钟未使用，可以悬空这些时钟对。
MGTXRXP[3:0]/MGTXRXN[3:0] MGTHRXP[3:0]/MGTHRXN[3:0]	<ul style="list-style-type: none">● 使用 AC 耦合电容连接到发送器，推荐的 AC 耦合电容为 100nF。推荐的电容可能不满足所有的串行协议。● 接收数据走线应该和其他信号之间提供足够的距离，以减少临近信号噪声耦合。● 如果接收器没有使用，并且没有使用偏置，则管脚对到 GND。如果接收器未使用，但是使用了偏置功能，则管脚对悬空。
MGTXTXP[3:0]/MGTXTXN[3:0] MGHTXP[3:0]/MGHTXN[3:0]	<ul style="list-style-type: none">● 使用 AC 耦合电容连接到接收器，推荐的 AC 耦合电容为 100nF。推荐的电容可能不满足所有的串行协议。对于 PCIe Gen1、Gen2 和 Gen3 应用，参考 PCIe 技术说明，选择推荐的 AC 耦合电容。● 接收数据走线应该和其他信号之间提供足够的距离，以减少临近信号噪声耦合。● 如果接收器没有使用，则管脚对悬空。
MGTAVTTRCAL	<ul style="list-style-type: none">● 和 MGTAVTT 一起连接到 100 Ω 电阻。
MGTTRREF	<ul style="list-style-type: none">● 和 MGTAVTTRCAL 一起连接到 100 Ω 电阻。。
MGTAVCC[N]	<ul style="list-style-type: none">● 正常电压为 1.0V。● 电气特性参考器件手册。● 该管脚不能和非收发器负载共用电源。● 推荐的滤波电容：1 个 4.7uF \pm 10%。● 电源噪声不能超过 10mVpp。● 如果所有 Quads 内的电源组未使用，电源管脚可以悬空或者连接至 GND（除非 RCAL 电路在该 Quad 内）。● 功耗参考 XPE 软件评估。
MGTAVTT[N]	<ul style="list-style-type: none">● 正常电压为 1.2V。● 电气特性参考器件手册。● 该管脚不能和非收发器负载共用电源。● 推荐的滤波电容：1 个 4.7uF \pm 10%。● 电源噪声不能超过 10mVpp。● 如果所有 Quads 内的电源组未使用，电源管脚可以悬空或者连接至 GND（除非 RCAL 电路在该 Quad 内）。 功耗参考 XPE 软件评估。
MGTVCCAUX[N]	<ul style="list-style-type: none">● 正常电压为 1.8V。● 电气特性参考器件手册。● 该管脚不能和非收发器负载共用电源。● 推荐的滤波电容：1 个 4.7uF \pm 10%。● 电源噪声不能超过 10mVpp。● 如果所有 Quads 内的电源组未使用，电源管脚可以悬空或者连接至 GND（除非 RCAL 电路在该 Quad 内）。 功耗参考 XPE 软件评估。

延伸阅读： Xilinx 7系列FPGA收发器架构之硬件设计指导（一）



欢迎关注FPGA技术实战公众号，持续更新原创！

阅读 167

分享

收藏

赞 1

在看