

# Xilinx 7系列SelectIO结构之DCI（动态可控阻抗）技术（一）

原创 FPGA技术实战 FPGA技术实战 2020-05-04

收录于话题

#SelectIO结构详解

7个

**引言：**随着FPGA容量越来越大，系统时钟速度越来越快，PC电路板设计和制造更加困难。随着更快的信号边沿速率，保持信号完整性成为关键问题。PC电路板必须恰当的端接避免反射和振铃。本节我们介绍Xilinx器件DCI技术，包括以下内容：

- DCI技术概述
- DCI级联技术
- DCI端接方式

## 1.DCI技术概述

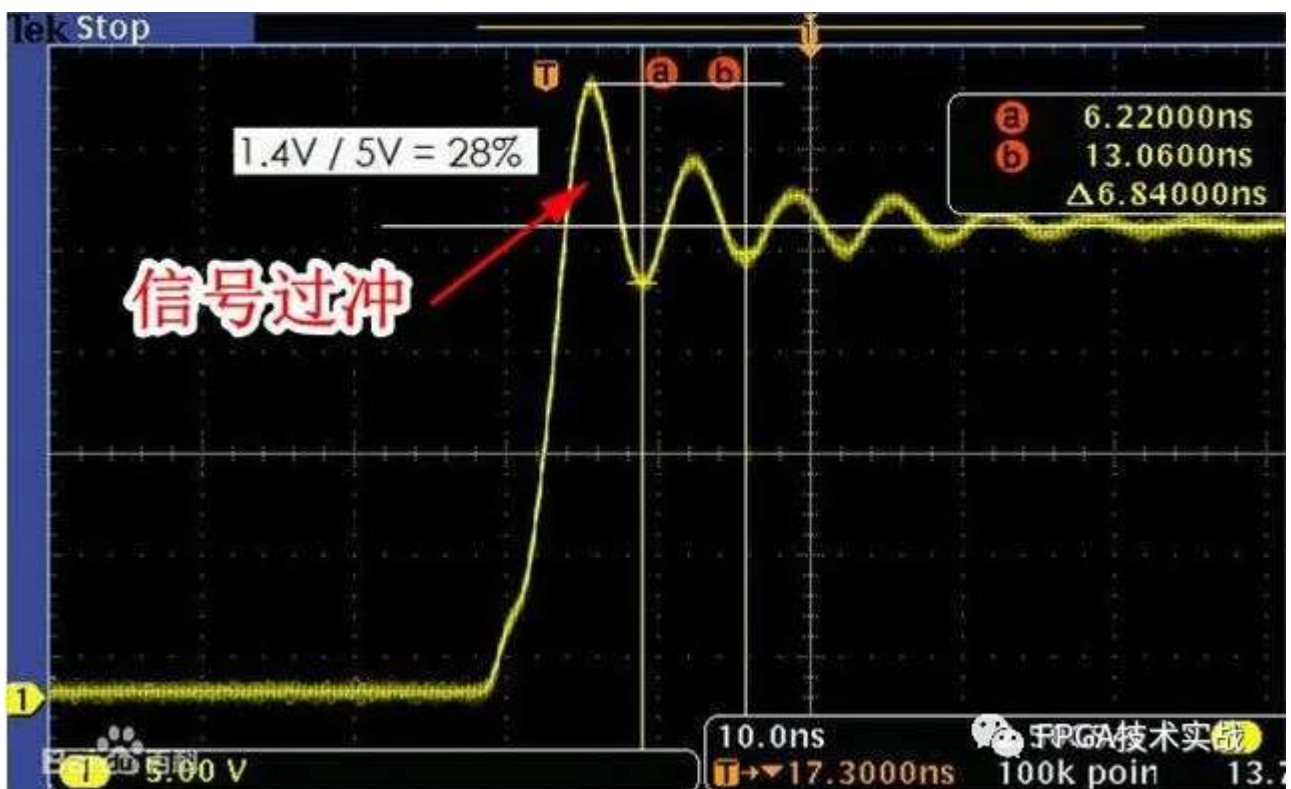


图1、信号过冲波形

为了端接PCB走线，附加的电阻需要添加到接收器或者驱动器以匹配走线阻抗。然而随着器件I/O数量增加，附加的电阻会增加电路板面积和组件数量，在某些情况下增

加电路板尺寸是不可能的。为了解决此问题达到更好的信号完整性，Xilinx开发了数字阻抗控制（DCI）技术。

基于I/O标准，DCI可以控制输出驱动阻抗或者添加一个并行端接在驱动器或者接收器，最终的目标都是精确匹配传输线阻抗，保证信号传输完整性。DCI主动调整I/O内部的阻抗，以校准VRN和VRP引脚上的外部精密参考电阻。它可以补偿因逻辑处理、温度和电压变化而引起的I/O阻抗变化。

对于可控阻抗驱动器的I/O标准，DCI控制驱动器阻抗匹配两个参考电阻，或者对于某些标准，匹配一半这些参考电阻的值。

对于使用可控并行端接I/O标准，DCI为驱动器和接收器提供并行端接。这消除了电路板上端接电阻，减小了PCB布线的难度和器件数量，并且改善信号完整性。DCI特性只能在HP bank中应用，HR bank不具有该特性。

## 1.1 Xilinx DCI技术

在每个bank中，DCI使用两个多功能参考管脚控制驱动器阻抗或者并行端接值。N参考管脚（VRN）必须通过参考电阻上拉到VCCO，P参考管脚（VRP）必须通过另外一个参考电阻下拉到GND。每个参考电阻的值等于电路板走线特性阻抗或者2倍于特征阻抗值。

在设计中实现DCI：

- 分配DCI I/O标准到HP bank
- 将VRN多功能管脚通过精确电阻上拉到该bank的VCCO电源轨
- 将VRP多功能管脚通过精确电阻下拉到GND

下面的部分内容将讨论如何决定不同I/O标准的VRN和VRP管脚的精确电阻值。同一个bank内的所有DCI标准共享相同的外部精确电阻。如果在相同的I/O bank列中，几个I/O bank使用DCI，并且这几个bank使用相同的VRN/VRP电阻值，则内部VRN/VRP节点可以级联，此时，这同一列中的所有I/O bank要求的精确电阻只需要一对管脚连接，无需每个I/O bank都要连接精确电阻。这种特性称为DCI级联。该部分也会描述如何判定I/O bank位于相同的I/O bank列中。如果DCI I/O标准在该bank中使用，则该bank可以作为普通I/O使用。

DCI通过选择打开或关闭I/O内部的晶体管调整I/O阻抗，该阻抗匹配外部参考电阻。该调整发生在器件启动时。默认情况下，DONE管脚不会拉高直到第一部分阻抗调整完毕。DCI校准可以通过例化DCIRESET原句实现复位。

DCI配置输出驱动器有以下两种类型：

- 控制阻抗驱动器（源端接）
- 使用半阻抗控制阻抗驱动器（源端接）

对于支持并行端接的I/O标准，DCI产生一个戴维宁等效或者分割阻抗到 $VCCO/2$ 。

## 1.2 某些Bank特使DCI要求

如果用户将任何 bank14或者15（任何器件）或者bank11, 12, 17, 18, 20和21（SSI技术器件）的I/O标准设计为DCI I/O，则DCIRESET原句应该包含在设计中。这种情况下，设计应该产生RST复位脉冲给DCIRESET原句，直到该原句产生LOCKED信号后，才可以将这些管脚作为DCI标准 I/O使用。这是因为这些类型的bank I/O在器件正常初始化时没有进行初始化DCI校准功能。

## 2.DCI级联技术

使用DCI I/O标准的7系列FPGA HP I/O Bank可以选择从另一个HP I/O Bank导出DCI阻抗值。如图所示。内部分配的数控总线通过bank控制每个I/O的阻抗。

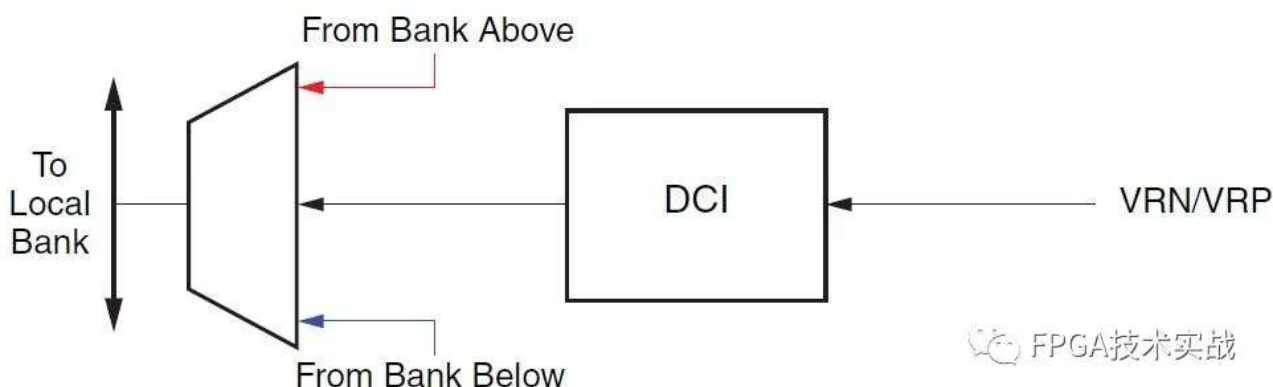


图2、单个bank内的DIC使用

使用DCI级联，一个I/O bank（主bank）必须将VRN/VRP管脚连接到外部参考电阻。其他和主bank在同一列的I/O bank（Slave banks）可以使用DCI标准，并且阻抗值和主bank阻抗相同。这些从bank无需将VRN/VRP管脚连接外部电阻，级联的DCI阻抗控制来自I/O主bank。

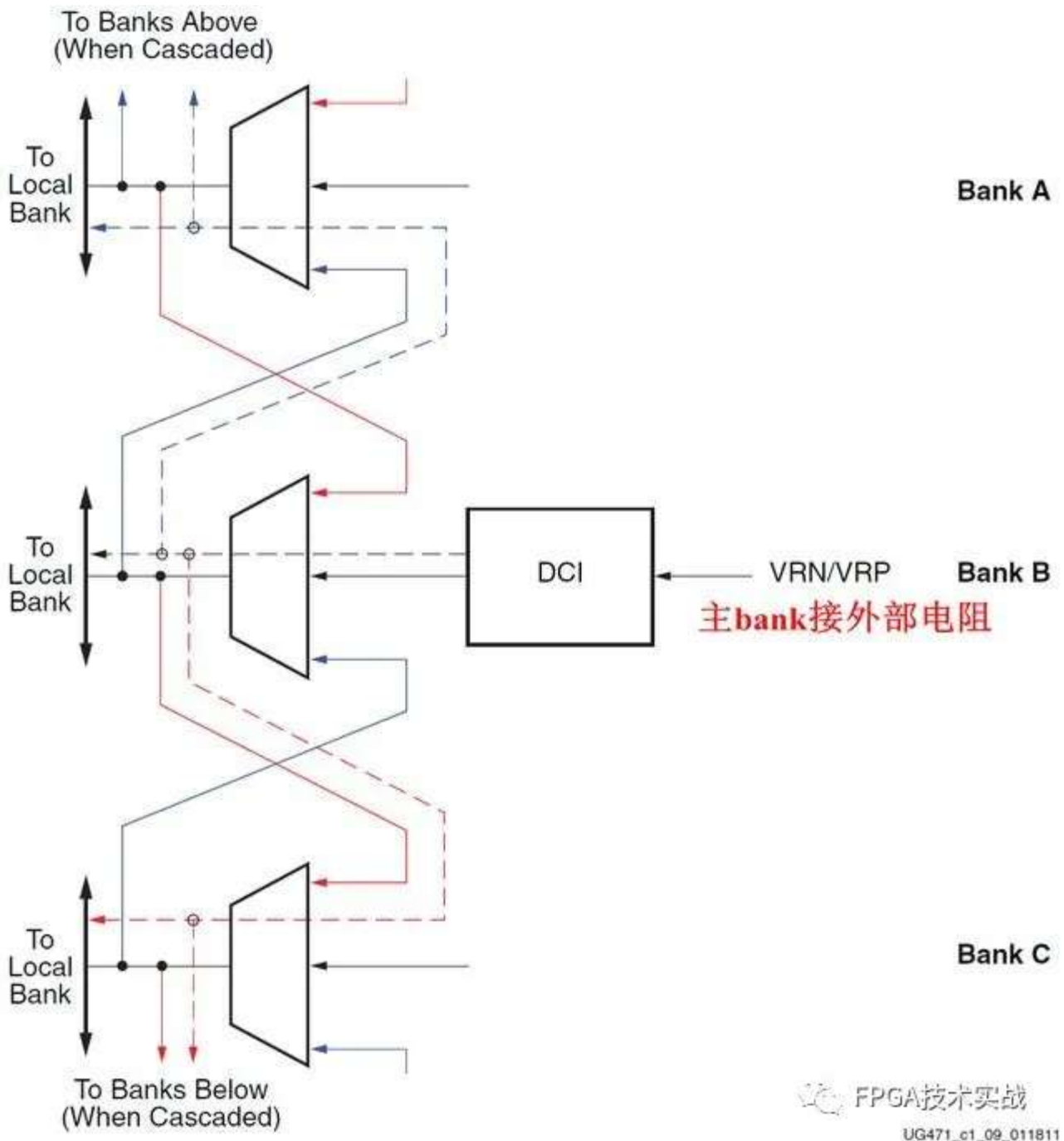


图3、多个I/O bank实现DCI级联

图3显示了多个I/O bank实现DCI级联，其中B bank为主bank，A和C为从bank。

使用DCI级联时，推荐遵循以下指导：

- DCI级联只能用于同一列中的HP I/O banks
- DCI级联不能跨过器件边界，特别大容量器件，如Virtex-7器件
- 主、从bank必须具有相同的VCCO和VREF电压
- 同一HP I/O列中的I/O bank，不使用DCI标准的banks不用遵循VCCO和VREF电压
- 所有主、从bank都必须满足DCI I/O bank兼容性规则
- Xilinx推荐未使用的bank应该供电，因为不使用的I/O bank的VCCO不供电会降低这些管脚的ESD管脚保护等级。如果bank未供电，级联的DCI任然可以通

过未供电的bank。

### 3.DCI端接方式

#### 1.1 阻抗控制驱动器（源端接）

为了优化高速或者高性能应用信号完整性，驱动器必须有输出阻抗以匹配传输线特征阻抗，否则由于阻抗不连续将会引起信号反射。为了解决此问题，设计者有时需要在高驱动，低阻抗驱动器放置外部串行端接电阻。该电阻的阻值和驱动器输出阻抗之和应该和传输线阻抗相等。

**DCI I/O标准支持：**

LVDCI\_15/LVDCI\_18/HSLVDCI\_15/HSLVDCI\_18/HSUL\_12\_DCI/DIFF\_HSUL\_12\_DCI。

图4举例了控制阻抗驱动器。

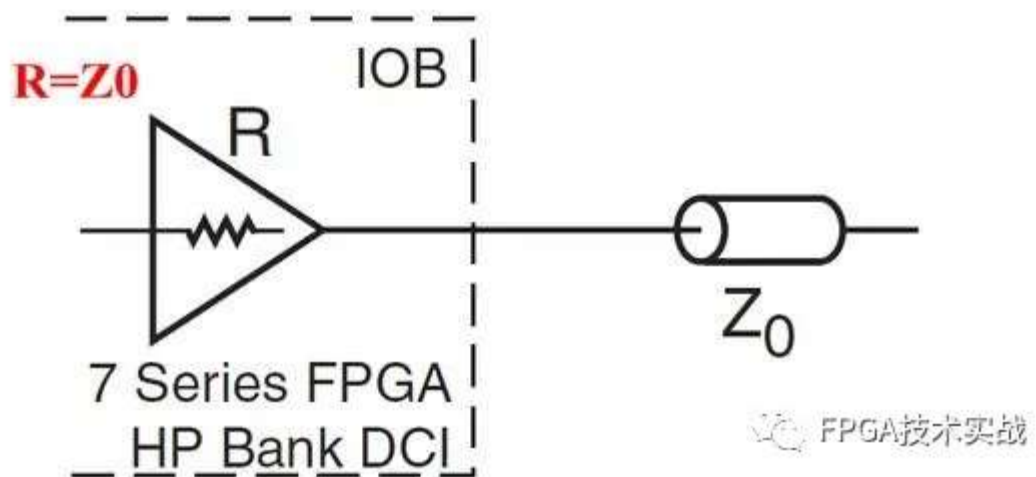


图4、DCI驱动器

#### 1.2 半阻抗控制阻抗驱动器（源端接）

该端接方式支持LVDCI\_DV2\_15和LVDCI\_DV2\_18电平标准。图5举例了这种端接方式驱动器，其中R等于 $2 \times Z_0$ ， $Z_0$ 为传输线阻抗。

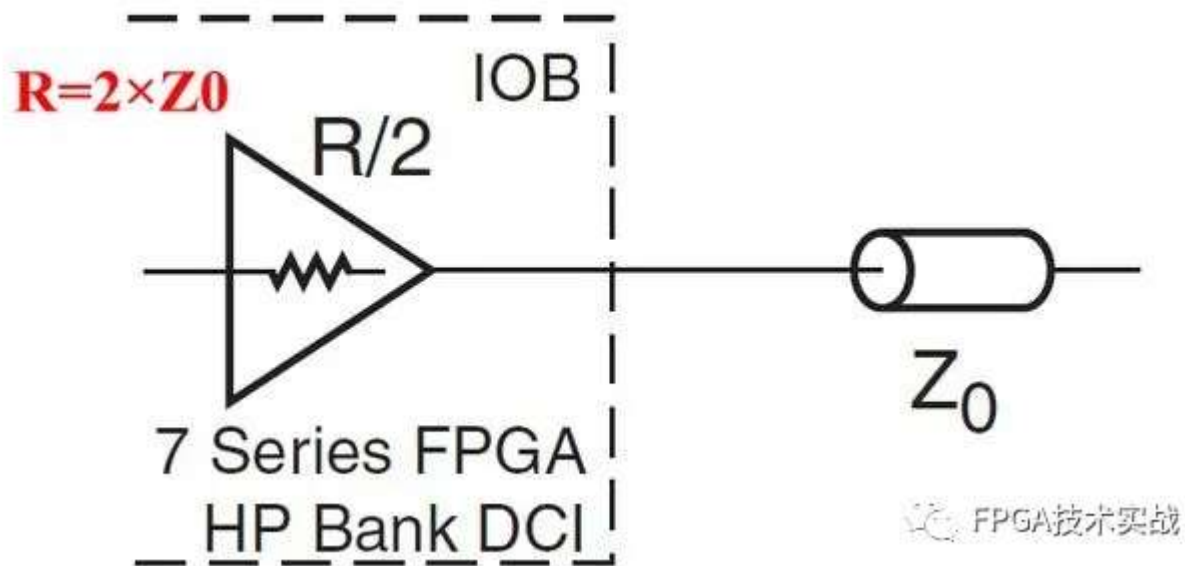


图5、半阻抗DCI驱动器

### 1.3 分体式DCI（戴维宁等效端接到VCCO/2）

一些I/O标准（例如，HSTL和SSTL）要求输入端接电阻R上拉到VTT电压，即VCCO/2电压，如图6所示。

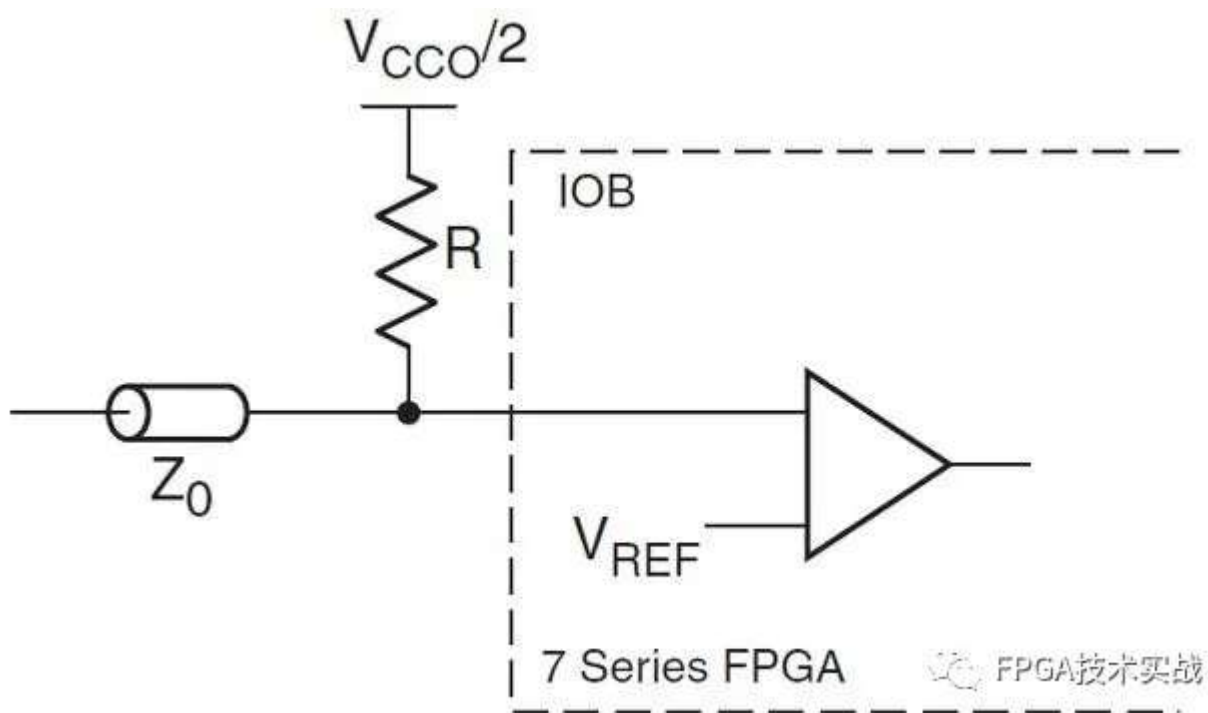


图6、输入端接到VCCO/2，未使用DCI

图6为等效的戴维宁并行端接，为了满足图中要求，通常将VRN/VRP管脚连接100Ω精密电阻，支持DCI分立端接的标准如图7所示。

HSTL_I_DCI	DIFF_HSTL_I_DCI	SSTL18_I_DCI	DIFF_SSTL18_I_DCI
HSTL_I_DCI_18	DIFF_HSTL_I_DCI_18	SSTL18_II_DCI	DIFF_SSTL18_II_DCI
HSTL_II_DCI	DIFF_HSTL_II_DCI	SSTL18_II_T_DCI	DIFF_SSTL18_II_T_DCI
HSTL_II_DCI_18	DIFF_HSTL_II_DCI_18	SSTL15_DCI	DIFF_SSTL15_DCI
HSTL_II_T_DCI	DIFF_HSTL_II_T_DCI	SSTL15_T_DCI	DIFF_SSTL15_T_DCI
HSTL_II_T_DCI_18	DIFF_HSTL_II_T_DCI_18	SSTL135_DCI	DIFF_SSTL135_DCI
		SSTL135_T_DCI	DIFF_SSTL135_T_DCI
		SSTL12_DCI	DIFF_SSTL12_DCI
		SSTL12_T_DCI	DIFF_SSTL12_T_DCI

图7、所有支持分立端接的DCI I/O标准

7系列器件分立端接DCI举例如图8所示。

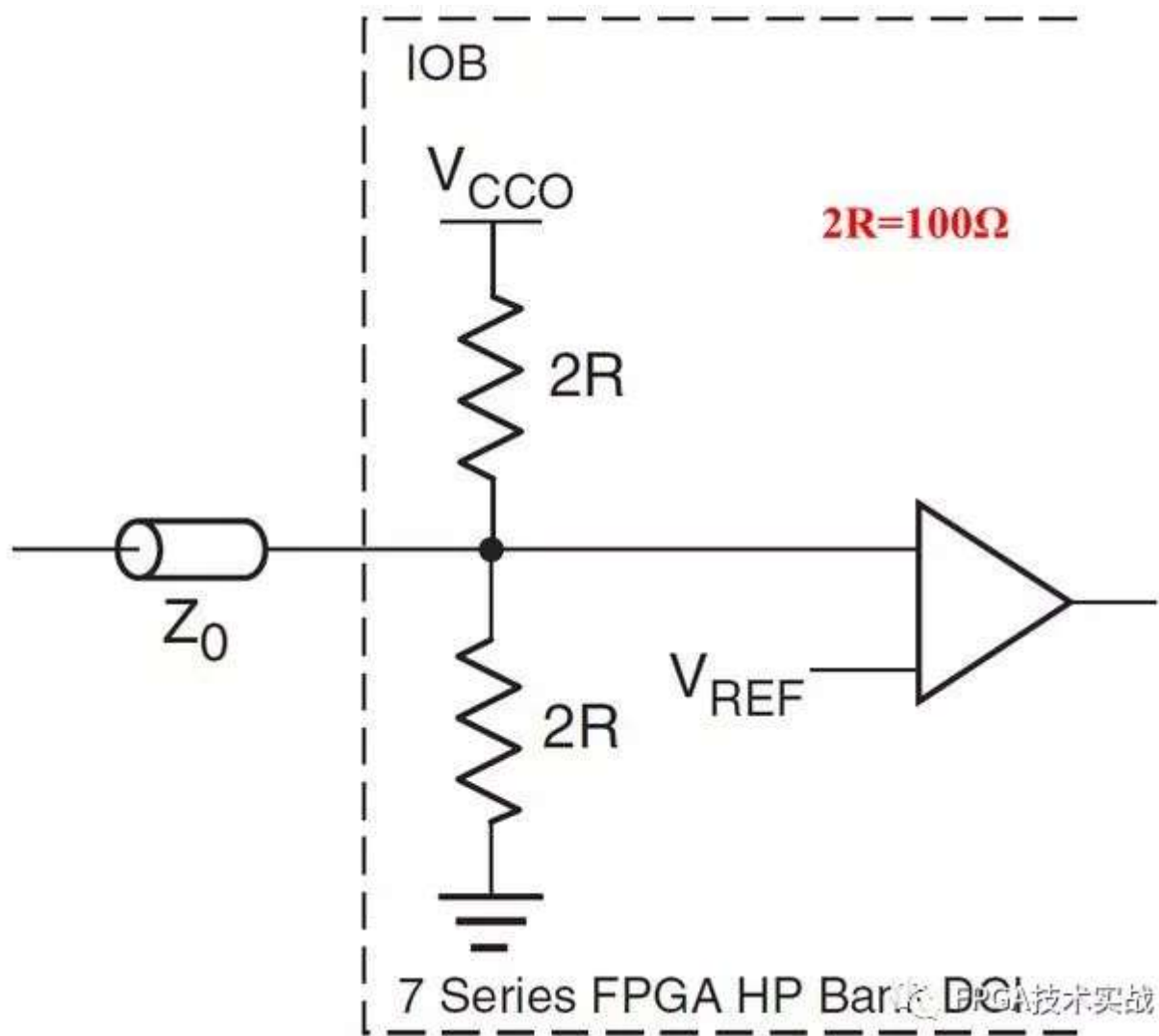


图8、输入端接DCI控制，外部VRN/VRP电阻 =2R

### 1.4 DCI和三态DCI (T\_DCI)

I类SSTL和HSTL I/O标准只支持单向信号，它们要么只能作为输入或者只能作为输出，不支持双向。I类SSTL和HSTL I/O只支持输入分立端接DCI。II类SSTL和HSTL（或者



SSTLII和HSTLII) 支持单向和双向信号，该标准信号支持输入、输出、双向管脚分立端接DCI。

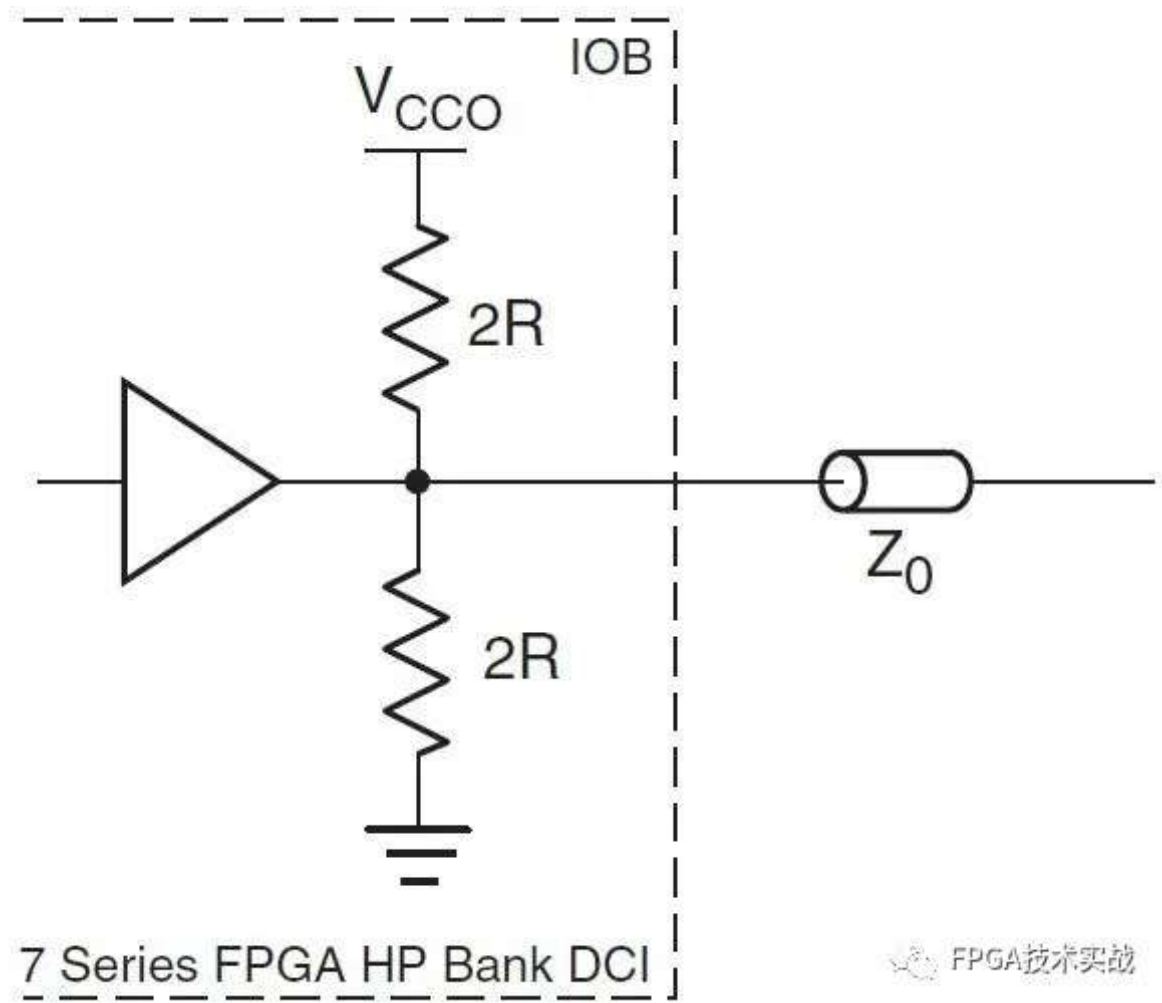


图9、使用DCI分离端接（外接电阻 $V_{RN}/V_{RP} = 2R$ ）

当使用分立端接驱动时，DCI只控制端接阻抗，不控制驱动器。T\_DCI只用于双向I/O管脚。对于单向输入管脚可以使用DCI版本标准，对于单向输出管脚non-DCI和DCI版本表均可分配。

支持分离端接DCI I/O标准如图10所示。

HSTL_I_DCI <sup>(1)</sup>	DIFF_HSTL_I_DCI <sup>(1)</sup>	SSTL18_I_DCI <sup>(1)</sup>	DIFF_SSTL18_I_DCI <sup>(1)</sup>
HSTL_I_DCI_18 <sup>(1)</sup>	DIFF_HSTL_I_DCI_18 <sup>(1)</sup>	SSTL18_II_DCI	DIFF_SSTL18_II_DCI
HSTL_II_DCI	DIFF_HSTL_II_DCI	SSTL15_DCI <sup>(1)</sup>	DIFF_SSTL15_DCI <sup>(1)</sup>
HSTL_II_DCI_18	DIFF_HSTL_II_DCI_18	SSTL135_DCI <sup>(1)</sup>	DIFF_SSTL135_DCI <sup>(1)</sup>
		SSTL12_DCI <sup>(1)</sup>	DIFF_SSTL12_DCI <sup>(1)</sup>

图10、支持分离端接DCI I/O标准

支持分立T\_DCI I/O标准如图11所示。注意：T\_DCI标准只能用于双向管脚。



HSTL_II_T_DCI	SSTL18_II_T_DCI	DIFF_SSTL18_II_T_DCI
HSTL_II_T_DCI_18	SSTL15_T_DCI	DIFF_SSTL15_T_DCI
DIFF_HSTL_II_T_DCI	SSTL135_T_DCI	DIFF_SSTL135_T_DCI
DIFF_HSTL_II_T_DCI_18	SSTL12_T_DCI	DIFF_SSTL12_T_DCI

图11、支持分立T\_DCI I/O标准

## 小结

本文我们介绍了Xilinx DCI技术相关的理论知识，下一篇文章我们会对DCI I/O使用规则作一些总结，并举例相关DCI I/O标准使用。



欢迎关注FPGA技术实战公众号，持续更新原创！

收录于话题 #SelectIO结构详解·7个

上一篇

Xilinx 7系列SelectIO结构之IO标准和端接匹配 (二)

下一篇

Xilinx 7系列FPGA架构之SelectIO结构 (二)

阅读 62

分享

收藏

赞

在看