

# Xilinx 7系列FPGA架构之SelectIO结构（二）

原创 FPGA技术实战 FPGA技术实战 2020-04-29

收录于话题

#SelectIO结构详解

7个

**引言：**7系列FPGA支持非常宽的I/O电压标准，本文介绍以下典型的I/O电压标准及端接匹配电路：

- LVTTTL I/O标准
- LVCMOS I/O标准
- TMDS I/O标准
- LVDS和LVDS\_25 I/O标准

## 1 .LVTTTL（低压TTL）

LVTTTL支持的I/O bank类型如图1所示。

HR	HP
可用	不可用

图1、LVTTTL可用的I/O bank类型

LVTTTL是一般用于3.3V外设接口中，它使用单端COMS输入缓冲器和推挽输出缓冲器。该标准要求3.3V输出源电压（Vcco），但是不要求参考电压（VREF）或者端接电压（VTT）。图2显示了单向LVTTTL端接技术。

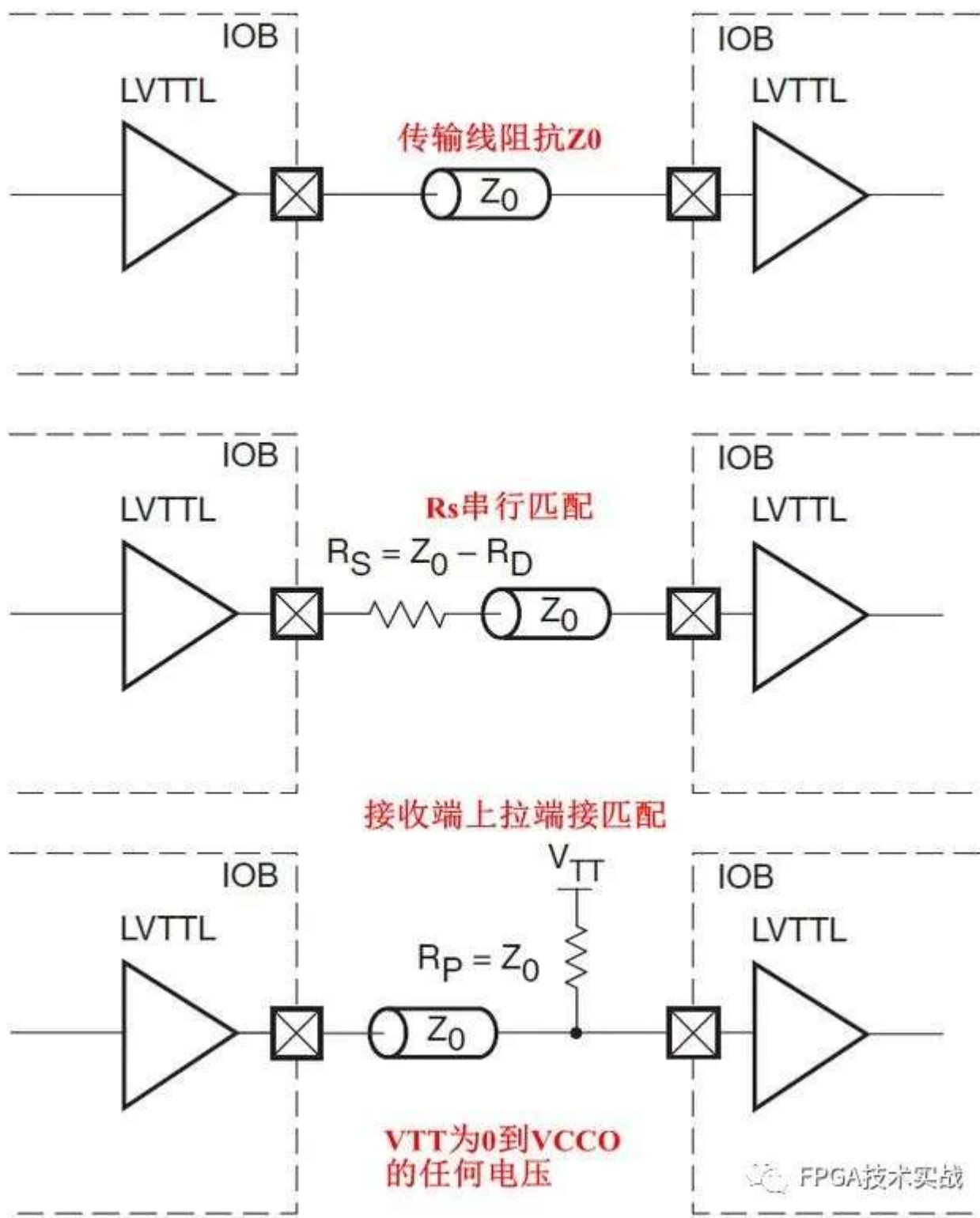


图2、LVTTTL单向端接方式

在图2所示中，最上面图没有采用端接，直接将输出驱动器连接至接收器，当信号为高速信号时，我们通常将该PCB走线阻抗控制为50欧姆；中间图采用了串行匹配，即在PCB走线上串入电阻 $R_S$ ，该电阻可以减少信号长距离传输的振铃效应。最下面在接收器侧采用并行端接方式，在传输线末端减少信号反射以保持信号传输的完整性。对于LVTTTL电平常见上面两种情况。

图3显示了双向LVTTTL I/O端接方式。

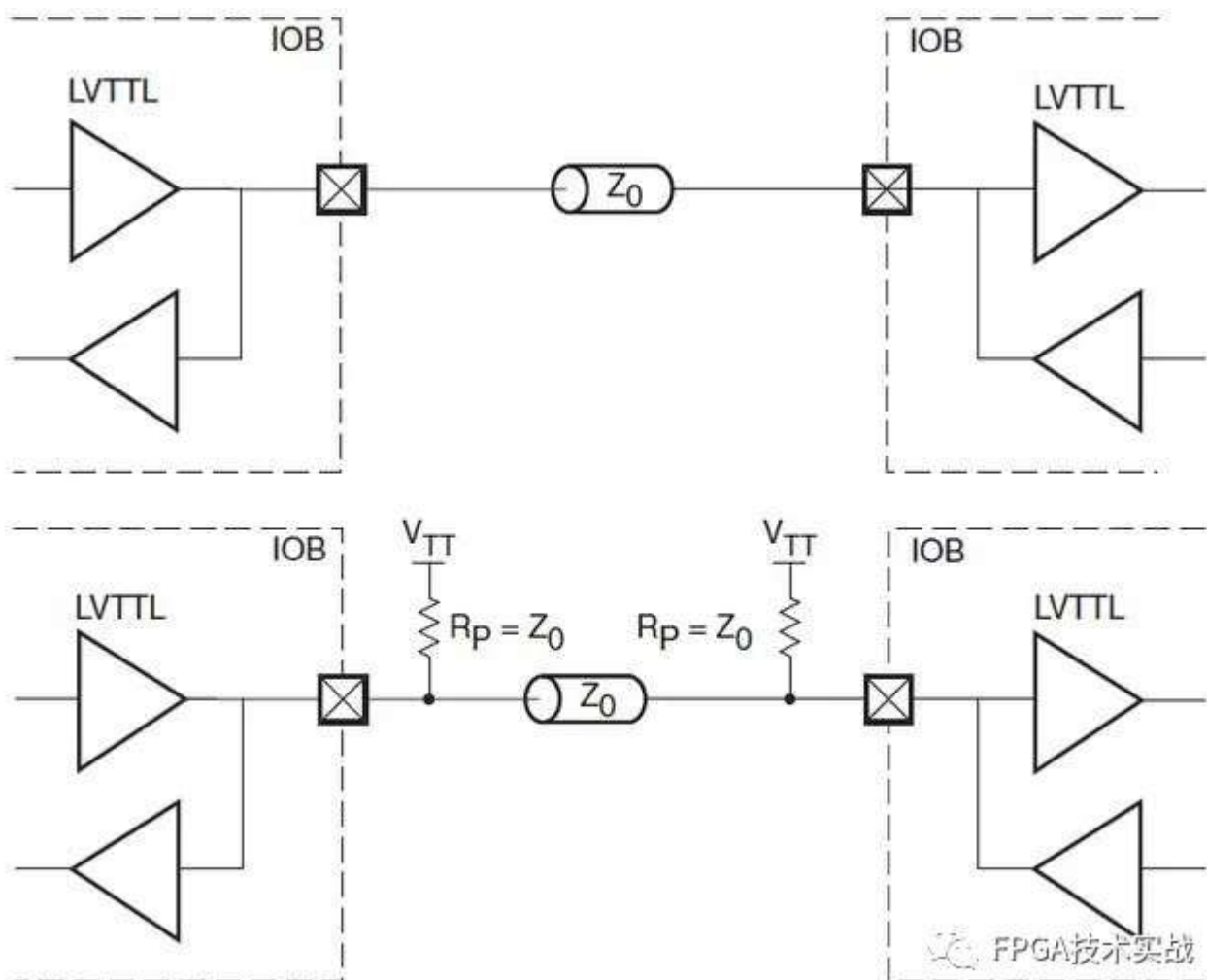


图3、LVTTL双向端接方式

LVTTL可编程属性如图4所示，该标准只能在HR I/O banks中可用。

Attributes	Primitives	
	IBUF/IBUFG	OBUF/OBUFT/ IOBUF
IOSTANDARD	LVTTL	LVTTL
DRIVE	N/A	4, 8, 12 (default), 16, 24
SLEW	N/A	{FAST, SLOW}

图4、LVTTL I/O标准可用属性

## 2 .LVCOMS（低压CMOS）

LVCMOS可用的I/O bank类型如图5所示。

HR	HP
可用	可用

图5、LVCMOS I/O可用的bank类型

7系列FPGA支持的LVCMOS标准：LVCMOS12、LVCMOS15、LVCMOS18、LVCMOS25和LVCMOS33。这几种LVCMOS I/O标准支持的输出驱动电流存在差异。单向和双向LVCMOS端接方式和LVTTTL类似。图6和图7分别举例单向和双向LVCMOS端接方式。

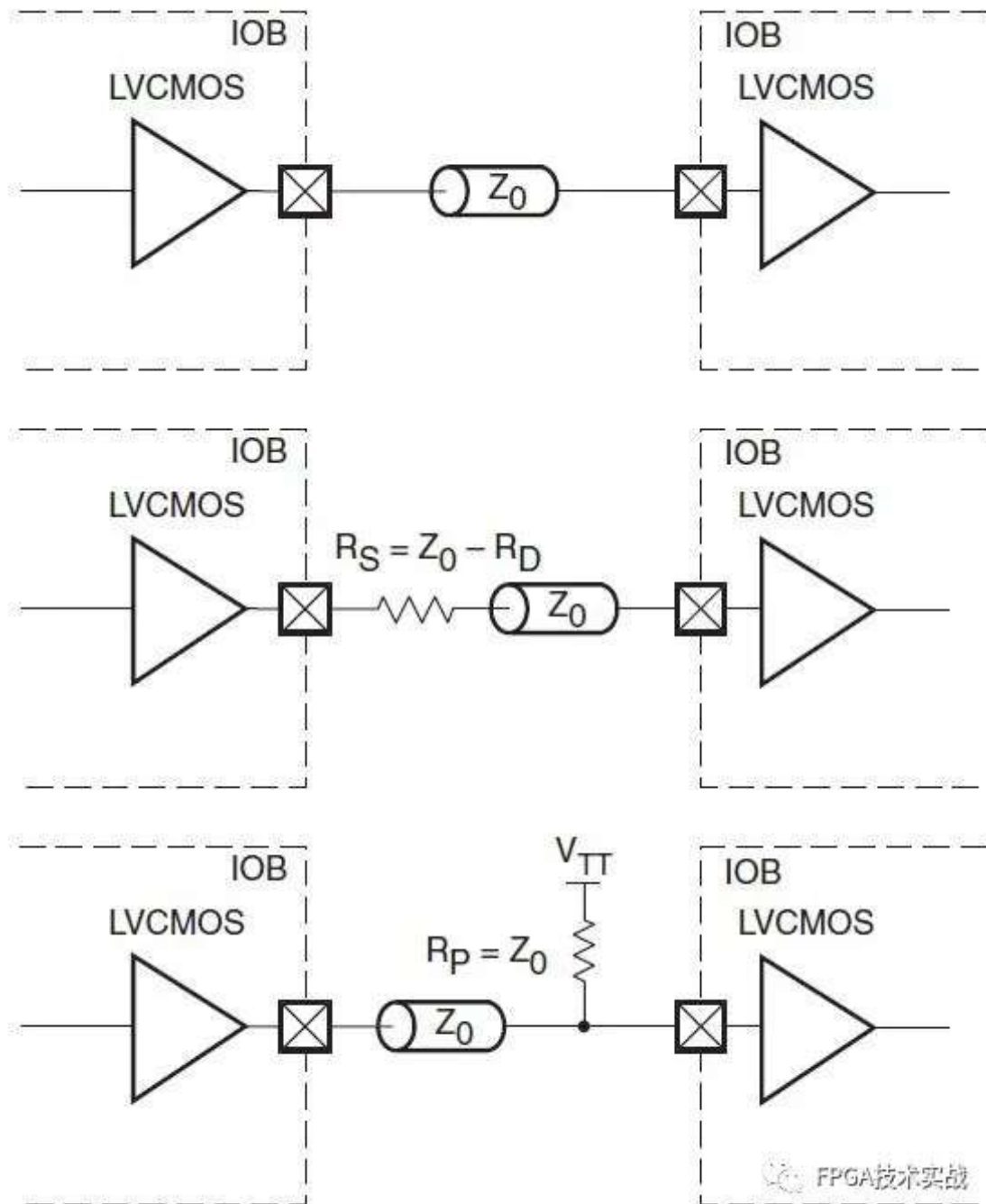


图6、LVCMOS单向端接方式

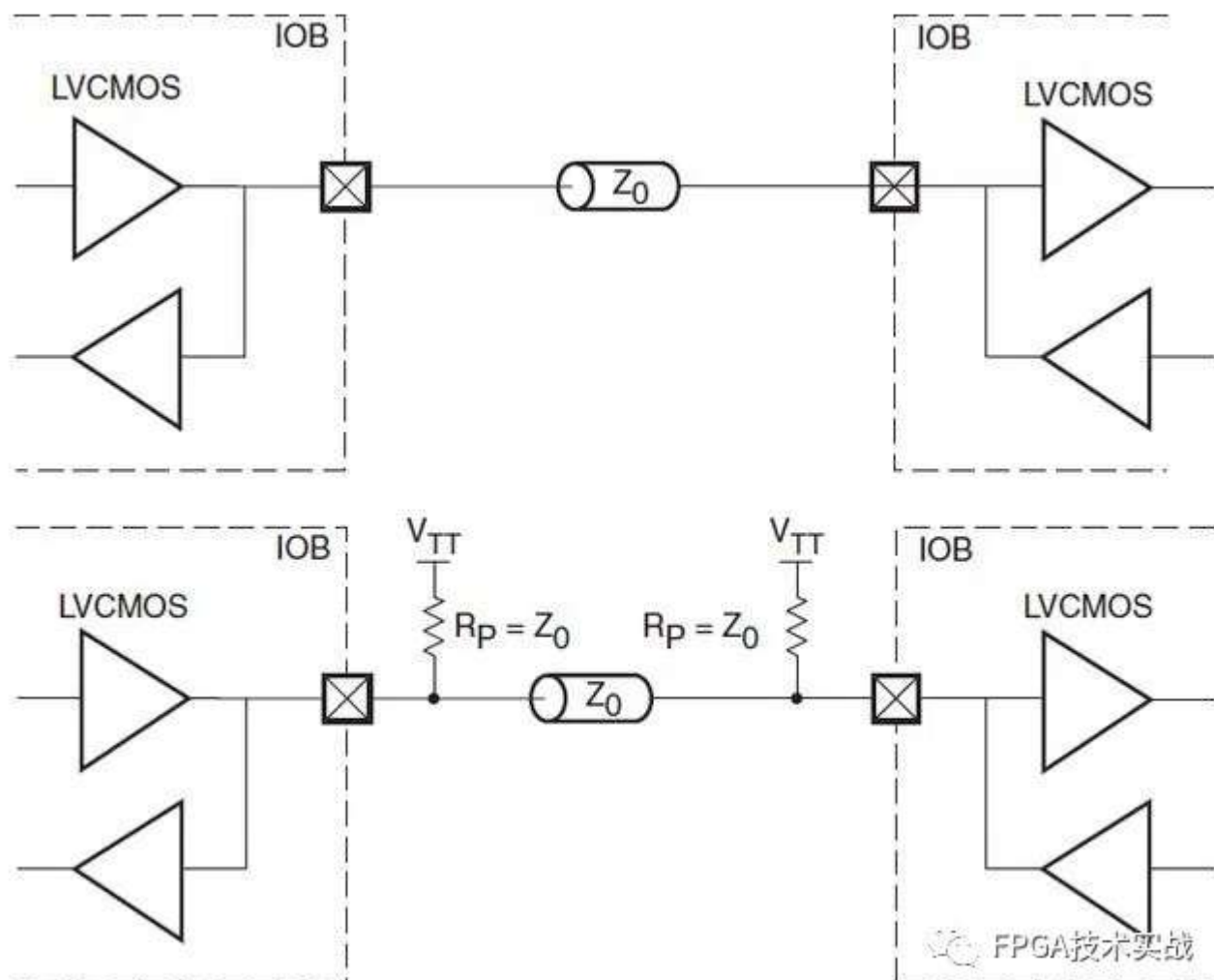


图7、LVC MOS双向端接方式

LVC MOS25和LVC MOS33 I/O标准只能在HR I/O bank中应用，它们的编程属性如图8所示。

Attributes	Primitives	
	IBUF/IBUFG	OBUF/OBUFT/ IOBUF
IOSTANDARD	LVC MOS33, LVC MOS25	LVC MOS33, LVC MOS25
DRIVE	N/A	4, 8, 12, 16
SLEW	N/A	{FAST, SLOW}

图8、LVC MOS25和LVC MOS33 I/O编程属性

LVC MOS18 I/O标准在HR和HP bank中都可以应用，它们的编程属性如图9所示。

Attributes	Primitives		
	IBUF/IBUFG	OBUF/OBUFT/IOBUF	
		HP I/O Banks	HR I/O Banks
IOSTANDARD	LVC MOS18	LVC MOS18	LVC MOS18
DRIVE	N/A	2, 4, 6, 8, 12, 16	4, 8, 12, 16, 24
SLEW	N/A	{FAST, SLOW}	{FAST, SLOW}

图9、LVC MOS18 I/O标准编程属性

LVC MOS15 I/O标准在HR和HP bank中都可以应用，它们的编程属性如图10所示。

Attributes	Primitives		
	IBUF/IBUFG	OBUF/OBUFT/IOBUF	
		HP I/O Banks	HR I/O Banks
IOSTANDARD	LVC MOS15	LVC MOS15	LVC MOS15
DRIVE	N/A	2, 4, 6, 8, 12, 16	4, 8, 12, 16
SLEW	N/A	{FAST, SLOW}	{FAST, SLOW}

图10、LVC MOS15 I/O标准编程属性

LVC MOS12 I/O标准在HR和HP bank中都可以应用，它们的编程属性如图11所示。

Attributes	Primitives		
	IBUF/IBUFG	OBUF/OBUFT/IOBUF	
		HP I/O Banks	HR I/O Banks
IOSTANDARD	LVC MOS12	LVC MOS12	LVC MOS12
DRIVE	N/A	2, 4, 6, 8	4, 8, 12
SLEW	N/A	{FAST, SLOW}	{FAST, SLOW}

图11、LVC MOS12 I/O标准编程属性

### 3 .TMDS

TMDS支持的I/O bank类型如图12所示。

HR	HP
可用	不可用

图12、LVTTTL可用的I/O bank类型



TMDS是一种差分I/O标准，用于DVI和HDMI视频接口，实现高速串行数据流传输。TMDS标准要求输入外部50Ω上拉电阻至3.3V，不要求差分输入端接电阻。该标准只能在HR I/O bank中应用，并且要求bank Vcco电压为3.3V。TMDS I/O编程属性如图13所示。

Attributes	Primitives	
	IBUFDS, IBUFGDS, IBUFDS_DIFF_OUT, or IBUFGDS_DIFF_OUT	OBUFDS or OBUFTDS
IOSTANDARD	TMDS_33	

图13、TMDS I/O编程属性

## 4 .LVDS和LVDS\_25

LVDS作为一种高速接口在很多应用中使用，7系列FPGA I/O LVDS接口兼容EIA/TIA电气特性要求。IOB内部支持可选的内部差分端接，在点对点应用中，可以消除外出源端接电阻，简化PCB设计。

LVDS I/O标准只在HP I/O bank中可用。LVDS输出和输入要求Vcco供电为1.8V，内部可选端接属性DIFF\_TERM。LVDS\_25 I/O标准只在HR I/O bank中可用。LVDS\_25输出和输入要求Vcco供电为2.5V，内部可选端接属性DIFF\_TERM。可用I/O bank类型如图14所示。

HR	HP
Available for LVDS_25 only	Available for LVDS only

图14、可用的I/O bank类型

**发送端接：**7系列FPG发送端不需要外部端接。图15给出了LVDS电流驱动器允许的编程属性。

Attributes	Primitives	
	IBUFDS, IBUFGDS, IBUFDS_DIFF_OUT, or IBUFGDS_DIFF_OUT	OBUFDS or OBUFTDS
IOSTANDARD	LVDS (HP I/O Banks) or LVDS_25 (HR I/O Banks)	
DIFF_TERM	TRUE, FALSE	N/A

图15、LVDS电流驱动器允许的编程属性

**接收端：**图16和图17显示了LVDS和LVDS\_25接收器差分端接举例。

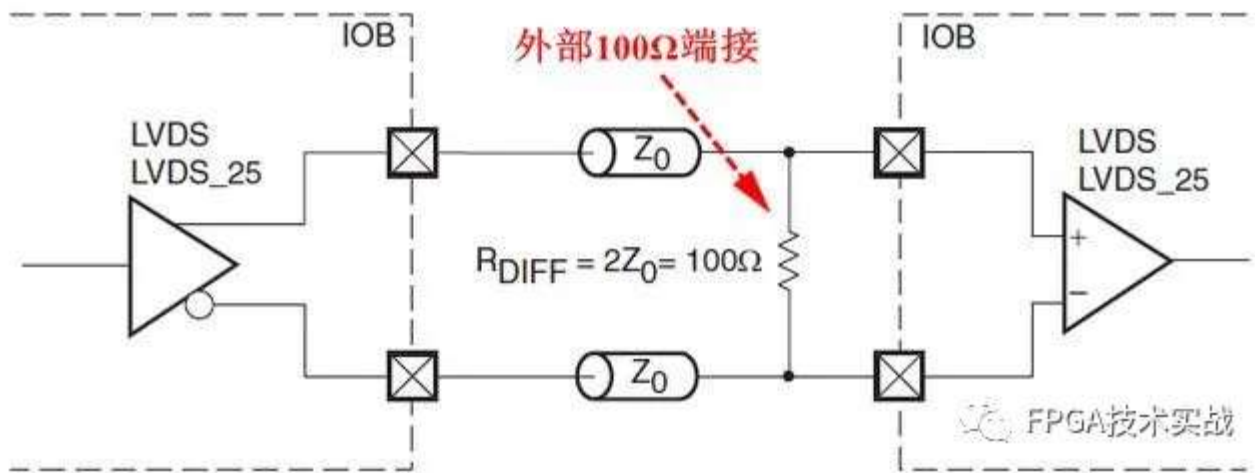


图16、LVDS或LVDS\_25接收器外部端接

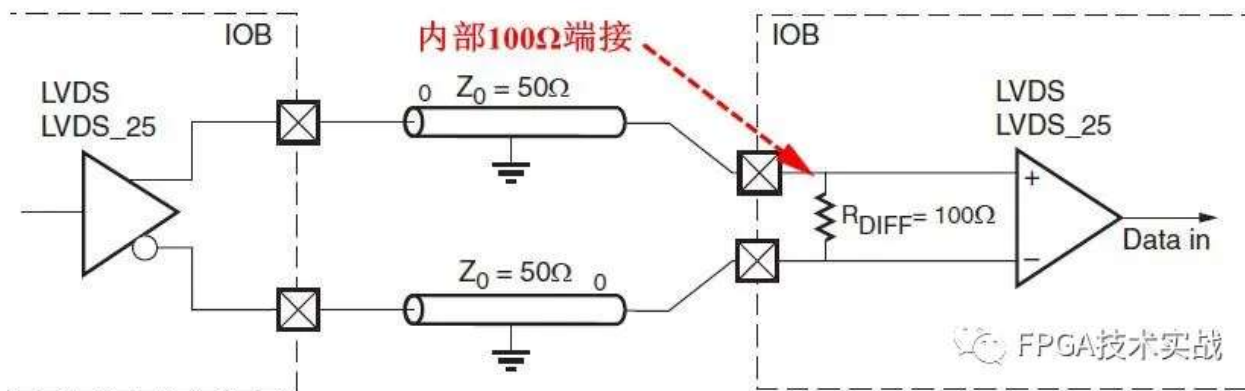


图17、LVDS或LVDS\_25接收器内部端接

在I/O bank中允许有LVDS和LVDS\_25两种**电平输入**，而输出必须满足要求的电压（LVDS要求1.8V输出电压，LVDS\_25要求2.5V输出电压），不能同时输出两种电平，以下规则必须满足：

- 内部端接DIFF\_TERM属性必须设置为FALSE（默认值）；
- 输入管脚差分输入信号必须满足器件手册VIN以及Vidiff要求；
- 对于HR I/O在双向配置中，内部端接必须使用。

图18给出了满足以上要求的端接方式。图中使用外部端接100Ω，四个偏置电阻阻值必须一样，且阻值范围为10k~100k，AC耦合电容为100nF。所有的阻容器件必须靠近FPGA输入管脚。



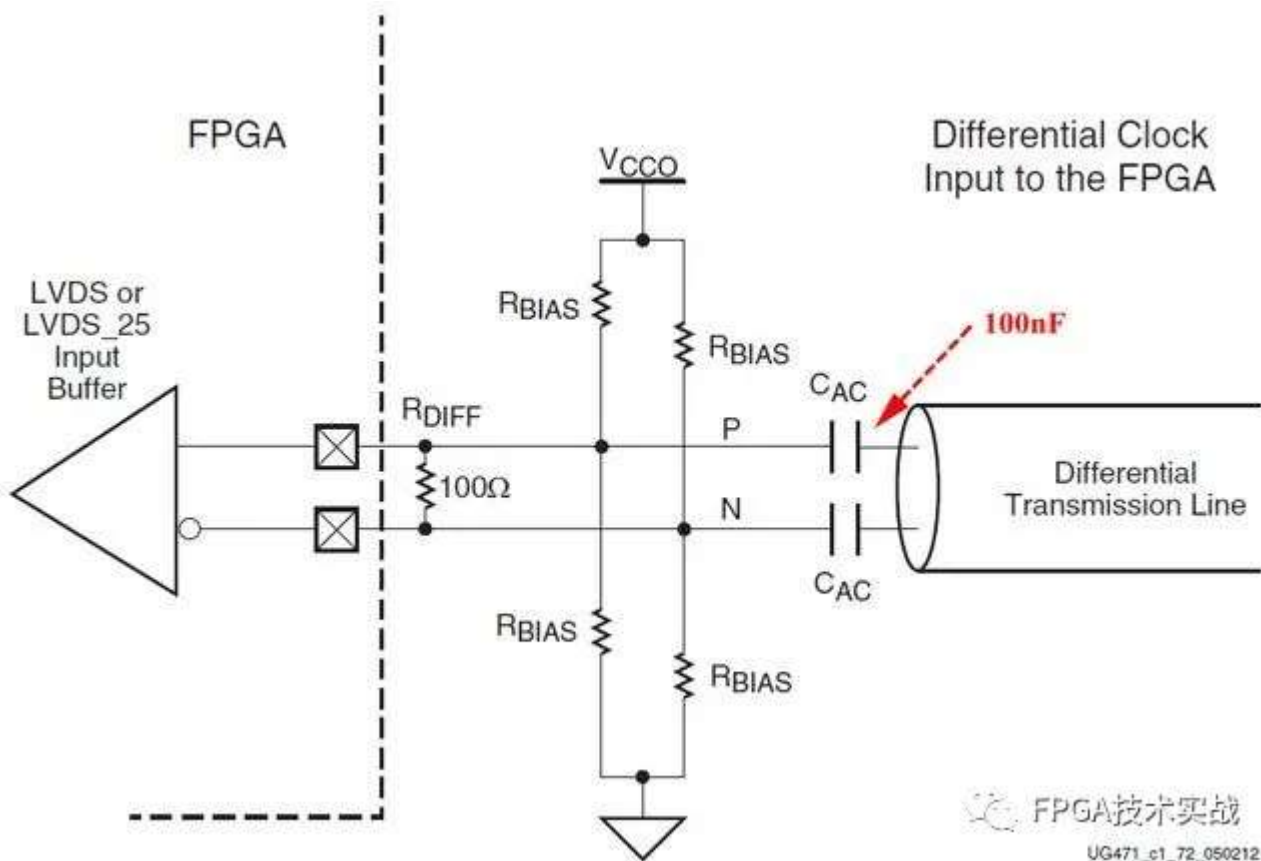


图18、差分时钟输入AC耦合和DC偏置电路

**延伸阅读：** Xilinx 7系列FPGA架构之SelectIO结构（一）



**欢迎关注FPGA技术实战公众号，持续更新原创！**

收录于话题 #SelectIO结构详解·7个

上一篇

Xilinx 7系列SelectIO结构之DCI（动态可控阻抗）技术（一）

下一篇

Xilinx 7系列FPGA架构之SelectIO结构（一）

阅读 92

分享

收藏

赞

在看