

# Xilinx 7系列FPGA收发器架构之共享功能（三）

原创 FPGA技术实战 FPGA技术实战 2020-04-02

收录于话题

#Xilinx7系列收发器详解

20个

**引言：**接着上一篇继续介绍7系列FPGA收发器共享资源。本文主要介绍GTX/GTH收发器内部CPLL和QPLL锁相环时钟结构及使用，通过本文可以学习一下内容：

- 通道PLL（CPLL）的结构及使用
- QPLL的结构及使用

## 1.通道PLL（CPLL）结构及使用

GTX/GTH收发器通道内部时钟架构如图1所示，可以看到收发器通道内部时钟主要分为CPLL、TX发送时钟分频器和RX接收时钟分频器三部分。TX时钟和RX时钟分频器允许收发器接收器和发送器操作在不同的线速率，使用不同的参考时钟输入。

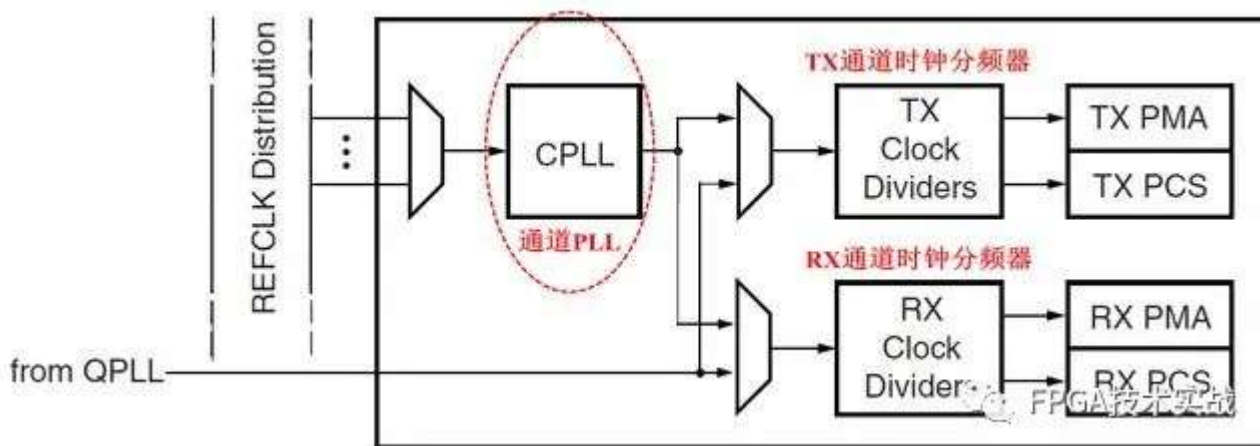


图1、内部通道时钟架构

CPLL原理功能模块框图如图2所示。输入时钟在进入相位鉴相器前首先进行M倍分频。反馈分频器N1和N2决定了VCO倍频比例和CPLL输出频率。一个锁定指示器模块用于比较参考时钟和VCO反馈时钟频率以决定CPLL输出是否锁定。

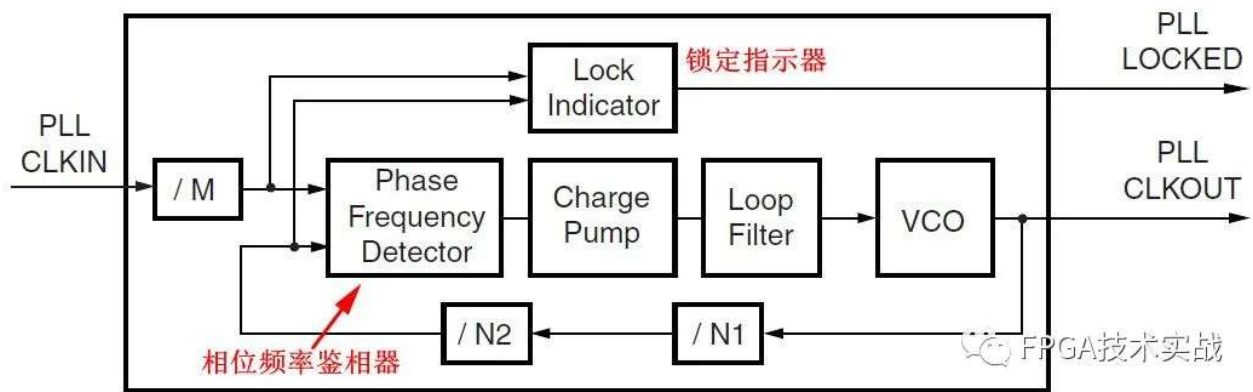


图2、CPLL功能模块框图

CPLL输出频率如图3中式-1所示，式-2为FPGA收发器线速率（line rate），式中D为TX和RX模块分频器因子。CPLL分频器因子如图4所示。

$$f_{PLLCLKout} = f_{PLLCLKin} \times \frac{N1 \times N2}{M} \quad (\text{式-1})$$

$$f_{LineRate} = \frac{f_{PLLCLKout} \times 2}{D} = f_{PLLCLKin} \times \frac{N1 \times N2 \times 2}{M \times D} \quad (\text{式-2})$$

图3、CPLL输出频率及收发器线速率公式

Factor	Attribute	Valid Settings
M	CPLL_REFCLK_DIV	1, 2
N2	CPLL_FBDIV	1, 2, 3, 4, 5
N1	CPLL_FBDIV_45	4, 5
D	RXOUT_DIV TXOUT_DIV	1, 2, 4, 8, 16 <sup>(1)</sup>

图4、CPLL分频器因子

**举例CPLL使用：**图6显示了FPGA收发器线速率配置为1.25GHz，图7显示了与该线速率相匹配的收发器内部CPLL属性配置，根据图中公式，我们可以看到配置参数是正确的。



图6、FPGA收发器线速率配置

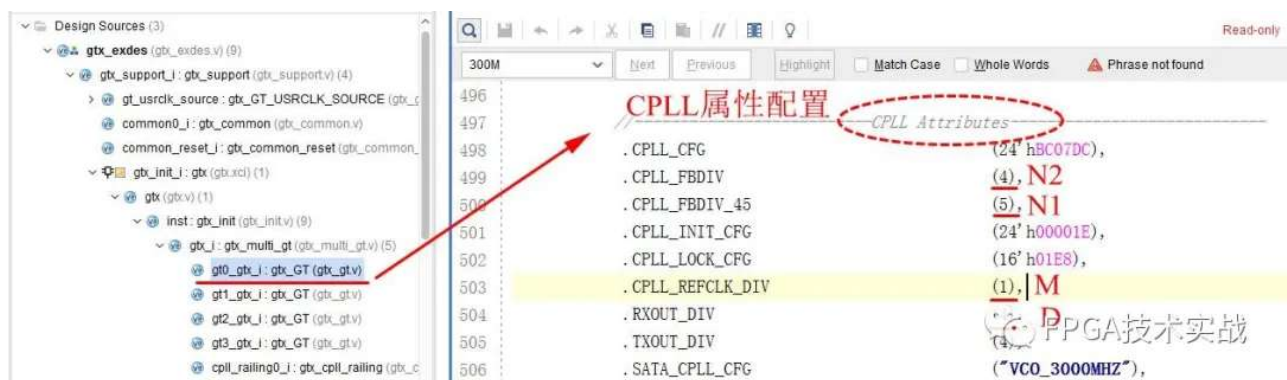


图7、收发器内部CPLL属性参数

## 2.QPLL结构及使用

QPLL为Quad内公共PLL，它可以支持的VCO最大频率比CPLL更大。当线速率大于6.6Gbps时，必须使用QPLL。QPLL的原理和CPLL操作方法很类似。图8显示了QPLL内部结构图。QPLL分频器因子如图10所示。

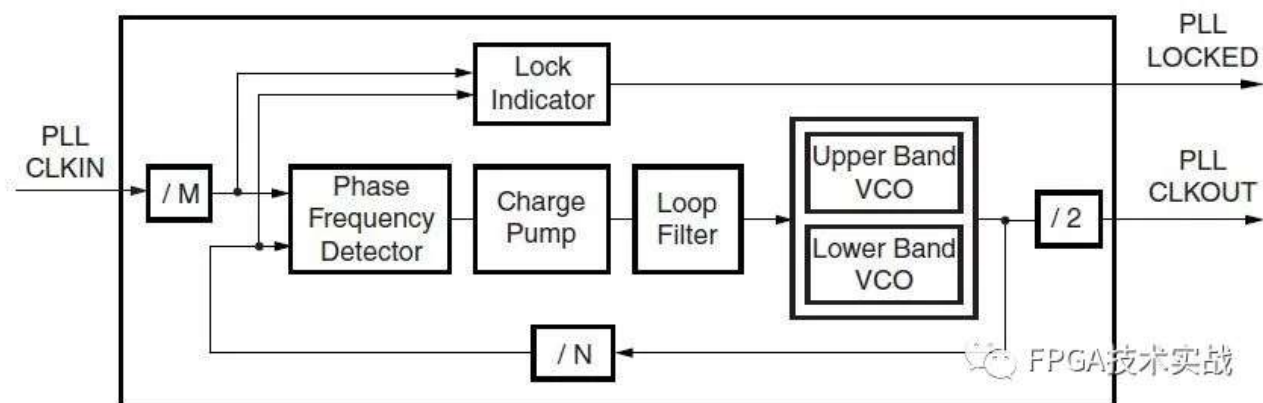


图8、QPLL内部结构框图

$$f_{PLLClkout} = f_{PLLClkin} \times \frac{N}{M \times 2} \quad (\text{式-3})$$

$$f_{LineRate} = \frac{f_{PLLClkout} \times 2}{D} = f_{PLLClkin} \times \frac{N1}{M \times D} \quad (\text{式-4})$$

图9、QPLL输出频率及收发器线速率公式

Factor	Attribute	Valid Settings
M	QPLL_REFCLK_DIV	1, 2, 3, 4
N	QPLL_FBDIV QPLL_FBDIV_RATIO	16, 20, 32, 40, 64, 66, 80, 100 (see Table 2-16)
D	RXOUT_DIV TXOUT_DIV	1, 2, 4, 8, 16

图10、QPLL分频器因子

**举例QPLL配置：**图11显示了QPLL属性配置。由于图6没有使能QPLL，所以在图11中，未出现RXOUT\_DIV和TXOUT\_DIV属性配置，这点要注意。

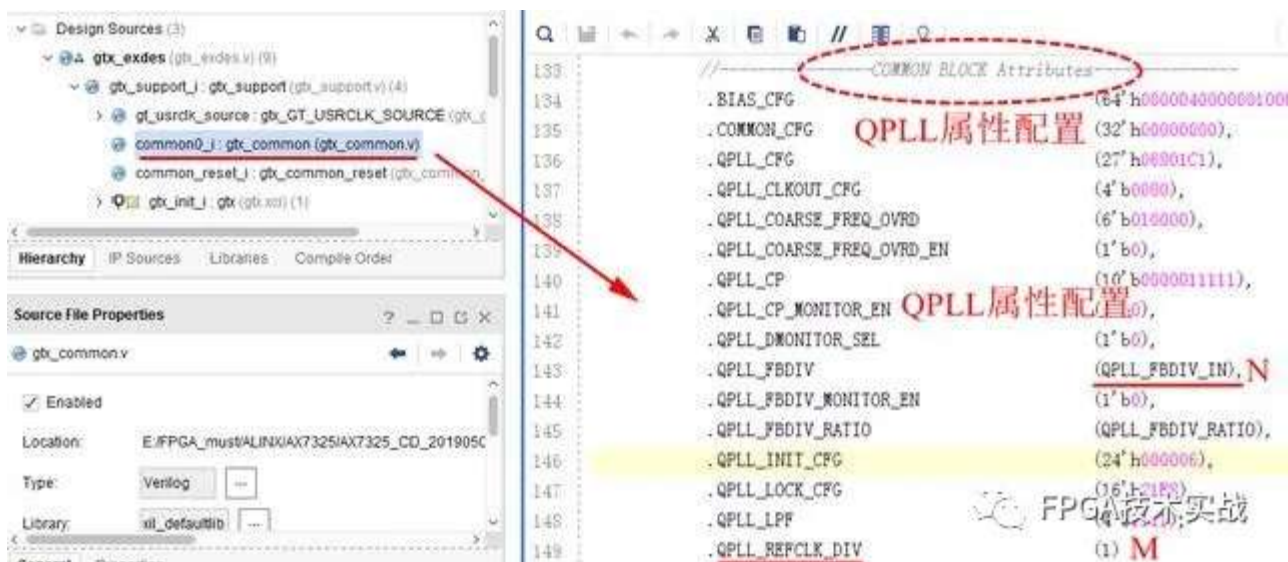


图11、QPLL属性配置

## 7系列FPGA收发器架构详解连载二：Xilinx 7系列FPGA收发器架构之共享功能（二）

## 7系列FPGA收发器架构详解连载一：Xilinx 7系列FPGA收发器架构之收发器和工具概述（一）



欢迎关注FPGA技术实战公众号，持续更新原创！

声明：转载请声明来源公众号，作者等，欢迎转载，收藏



FPGA技术实战

“亲，意思意思就行了。”

喜欢作者

收录于话题 #Xilinx7系列收发器详解·20个

上一篇

Xilinx 7系列FPGA收发器架构之共享功能  
(四)

下一篇

Xilinx 7系列FPGA收发器架构之共享功能  
(二)

阅读 90

分享

收藏

赞 1

在看