

Xilinx 7系列FPGA收发器架构之接收器（RX）（十）

原创 FPGA技术实战 FPGA技术实战 2020-04-27

收录于话题

#Xilinx7系列收发器详解

20个

引言：本节开始我们介绍7系列FPGA收发器接收部分结构，通过本文可以学习以下内容：

- RX模拟接收前端（AFE）介绍与使用
- GTX/GTH RX管脚极性控制

1.RX资源概述

GTX/GTH收发器的接收器（RX）资源包括PCS和PMA组件两部分，与TX类似，可以看做是TX结构的逆向。图1显示了RX结构框图。

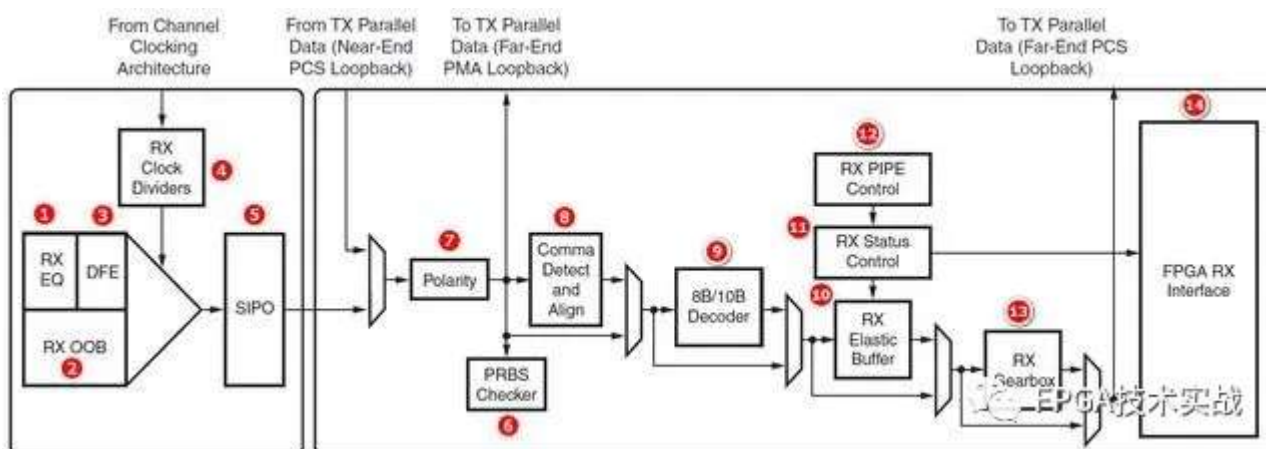


图1、GTX/GTH收发器RX结构

如图1，按照GTX/GTH收发器RX接收信号处理顺序，RX主要包括以下关键模块：

1. RX模拟前端
2. RX OOB信号检测
3. RX均衡器（DFE和LPM）
4. RX时钟分频器（CDR）
5. RX接收串并变换（SIPO）
6. RX PRBS检测器
7. RX极性控制

8. RX字节和字对齐
9. RX 8B/10B解码器
10. RX Buffer (缓冲器)
11. RX状态控制
12. RX相位校准
13. RX变速模块 (Gearbox)
14. FPGA RX接口

2.RX模拟前端 (AFE)

2.1功能概述

RX模拟接收前端 (AFE) 是高速电流模式输入差分缓冲器，如图2所示。该缓冲器具有以下特性：

- 可配置的RX端接电压
- 校准的端接电阻

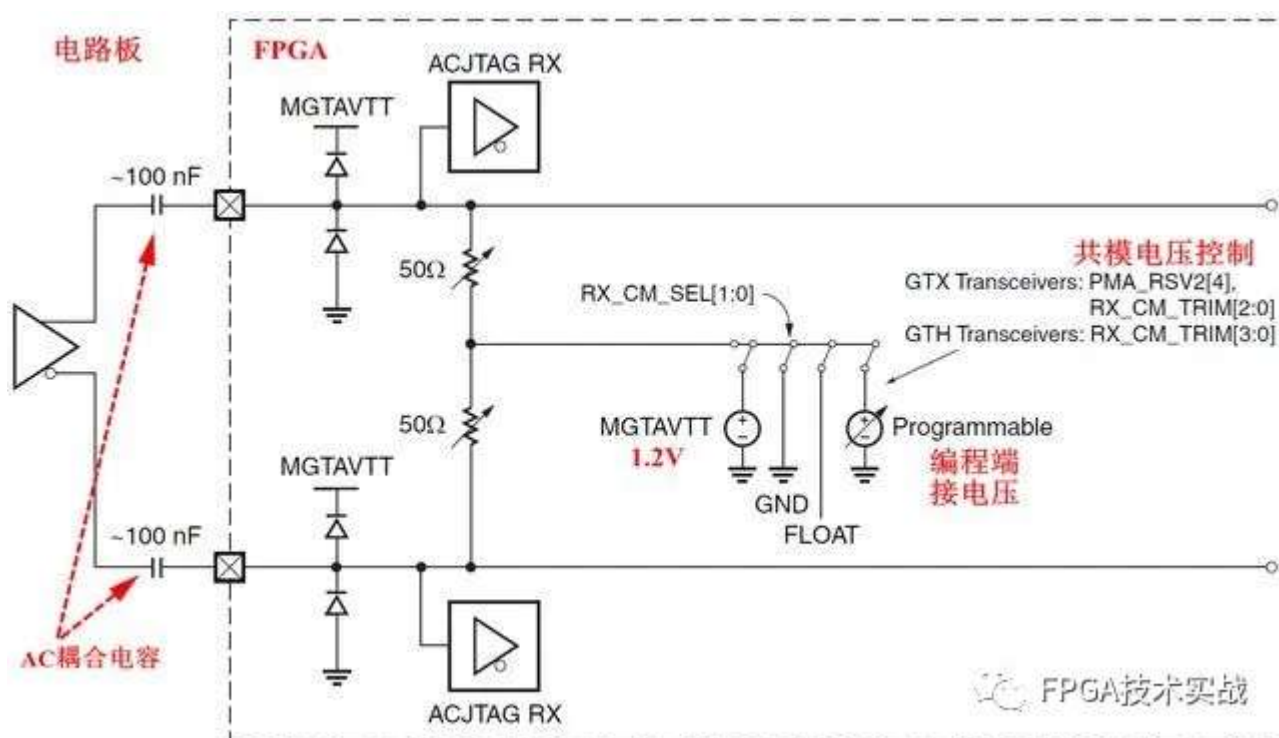


图2、RX模拟接收前端框图

AFE端口定义如图3所示。

端口	方向	时钟域	描述
GTXRXN/GTHRXN GTXRXP/GTHRXP	input	RX 串行时钟	GTX/GTH 收发器接收管脚，使用时需要进行管脚约束。
RXQPISENN	output	异步	GTXRXN/GTHRXN 管脚检测输出
RXQPISENP	output	异步	GTXRXP/GTHRXP 管脚检测输出
RXQPIEN	input	异步	禁止和使能 buffer 1'b0: 禁止 buffer 1'b1: 使能 buffer

图3、AEF端口定义

AFE属性如图4所示。

属性	类型	描述
RX_CM_SEL[1:0]	2bit-二进制	控制 RX 端接电压选择： 2'b00: AVTT 2'b01: GND 2'b10: 悬空 2'b11: 可编程
GTX 收发器： RX_CM_TRIM[3:0] GTH 收发器： (PMA_RSV2[4], RX_CM_TRIM[2:0])	4bit-二进制	控制可编程共模电压： 4'b0000 – 100 mV 4'b0001 – 200 mV 4'b0010 – 250 mV 4'b0011 – 300 mV 4'b0100 – 350 mV 4'b0101 – 400 mV 4'b0110 – 500 mV 4'b0111 – 550 mV 4'b1000 – 600 mV 4'b1001 – 700 mV 4'b1010 – 800 mV 4'b1011 – 850 mV 4'b1100 – 900 mV 4'b1101 – 950 mV 4'b1110 – 1000 mV 4'b1111 – 1100 mV
TERM_RCAL_CFG	GTX 收发器： 5bit 二进制 GTH 收发器： 15bit 二进制	控制内部端接校准电路，预留端口。推荐值来自 7 系列 FPGA 收发器向导。
TERM_RCAL_OVRD	GTX 收发器： 1bit 二进制 GTH 收发器： 3bit 二进制	选择外部 100 Ω 精密电阻连接到到 MGTRREF 管脚或者使用 TERM_RCAL_CFG 定义的值，预留端口。推荐值来自 7 系列 FPGA 收发器向导。

图4、AFE属性定义

图5给出了GTX收发器RX接收模拟前端（AFE）软件设计端口。

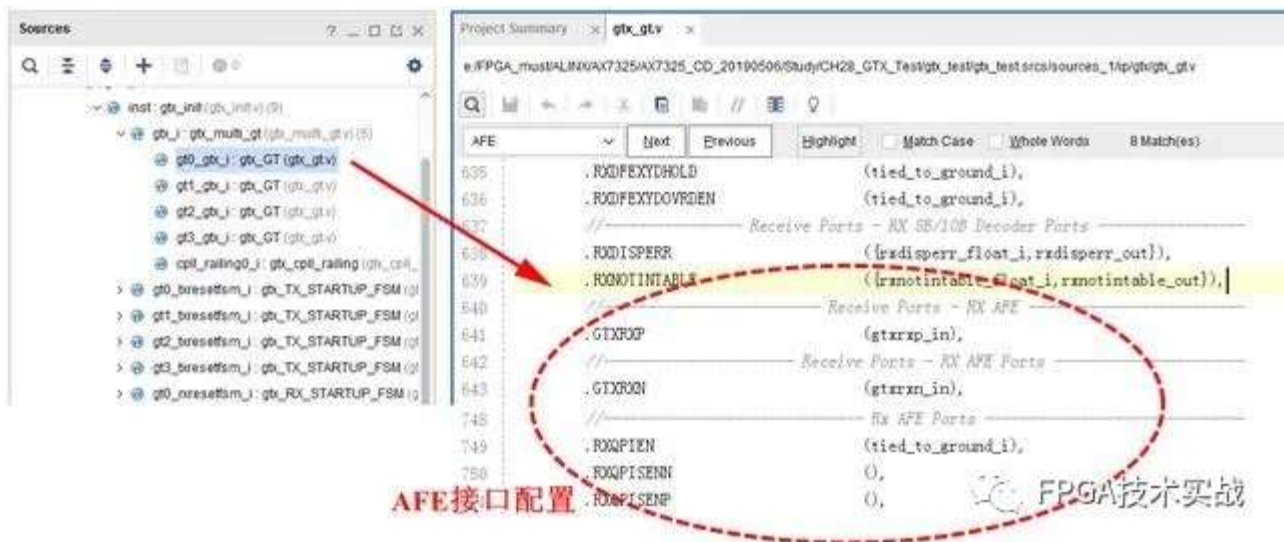


图5、RX接收模拟前端（AFE）软件设计端口

2.2 RX模拟接收端接使用模式

图6显示了我们在使用7系列FPGA收发器向导生成IP时有关RX端接配置选型。这些参数针对不同的串行收发器协议有不同的配置，本章节我们介绍如何进行这些参数配置。

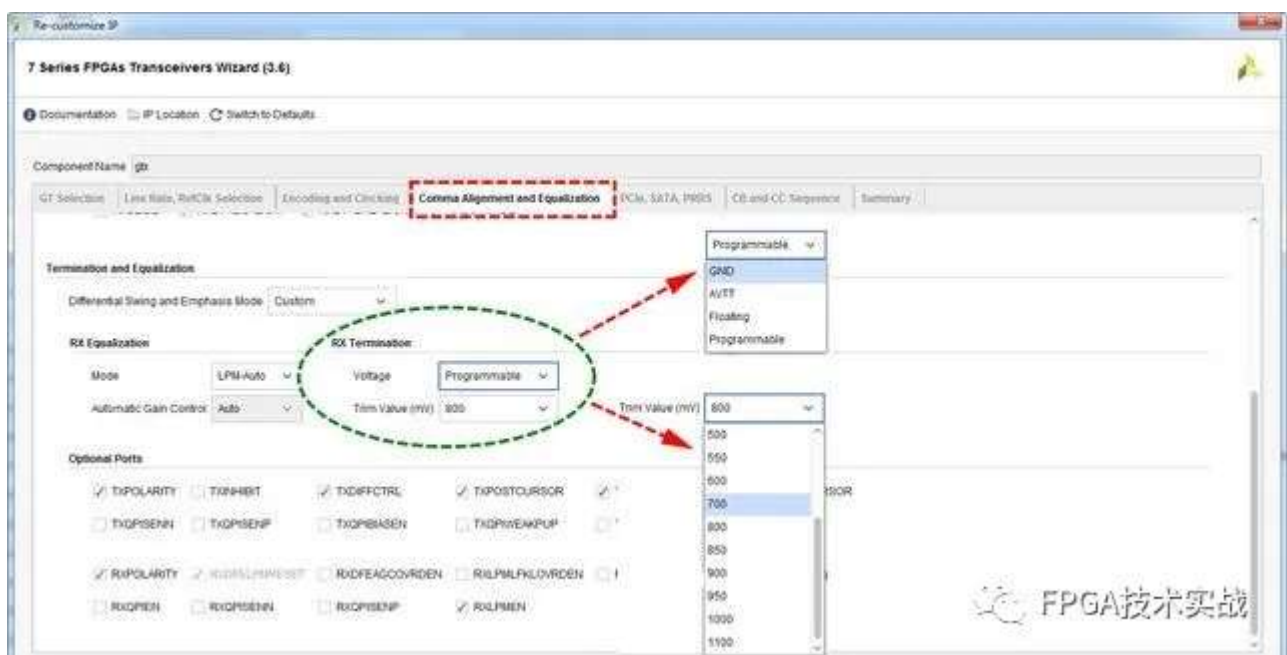


图6、RX端接配置选项

RX端接针对不同的协议应用，有四种不同的使用模式，我们在进行如PCIe、SRIO、SFP+、XAUI等协议时，可以选择对应的配置模式。

1.RX端接-使用模式1：

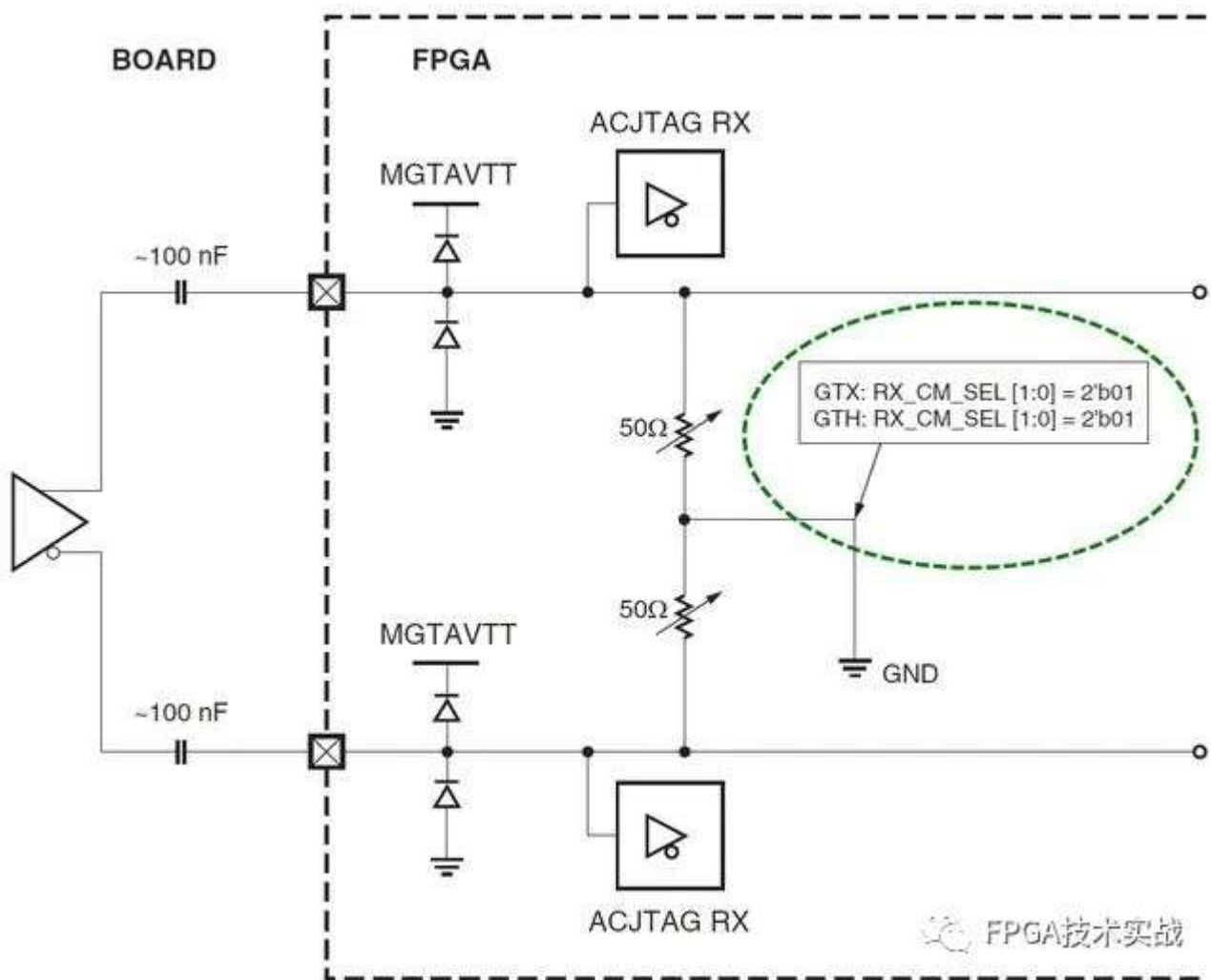


图7、RX端接-使用模式1

使用模式	AC耦合	端接电压	最大摆幅 (mVDD)	推荐协议和使用注意
1	On	Gnd	1200	GTX transceiver: Attribute Settings: <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b01 • PMA_RSV2[7:6] = 2'b10 GTH transceiver: Port Settings: <ul style="list-style-type: none"> • RXDFEAGCTRL[4:3] = 2'b01 Attribute settings: <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b01

图8、RX端接-使用模式1配置表

2.RX端接-使用模式2:

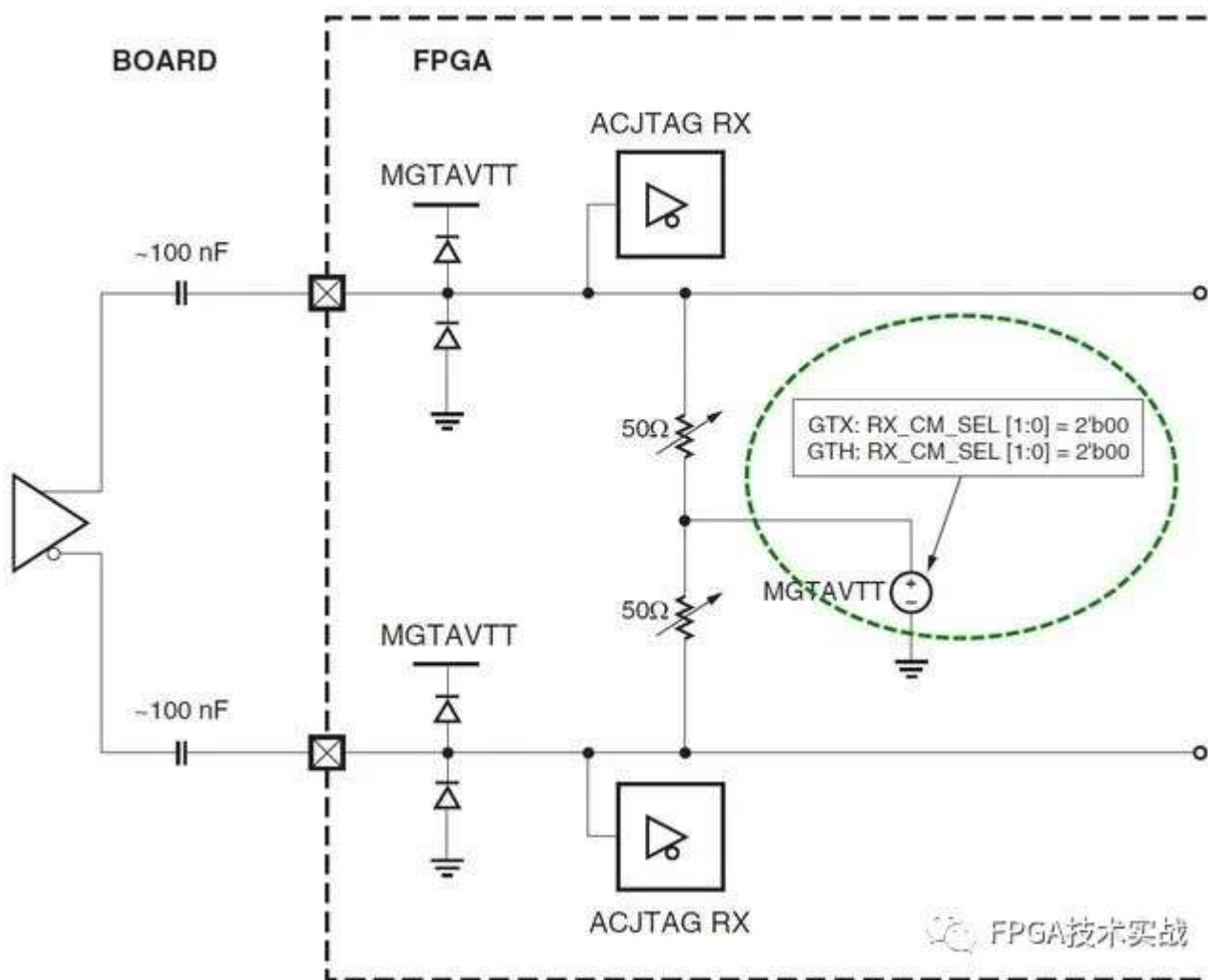


图9、RX端接-使用模式2

使用模式	AC耦合	端接电压	最大摆幅 (mVDD)	推荐协议和使用注意
2	On	AVTT	1200	<p>GTX Transceiver:</p> <p>Protocol:</p> <ul style="list-style-type: none"> • Backplane in LPM mode • CEI-6 (1200 mV_{Dpp}) in LPM mode • Wireless in LPM mode • Serial RapidIO in LPM mode <p>Attribute Settings:</p> <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b00 • PMA_RSV2[7:6] = 2'b01 <p>GTH Transceiver:</p> <p>Protocol:</p> <ul style="list-style-type: none"> • Backplane in LPM mode • CEI-6 (1200 mV_{Dpp}) in LPM mode • Wireless in LPM mode • Serial RapidIO in LPM mode <p>Port Settings:</p> <ul style="list-style-type: none"> • RXDFEAGCTRL[4:3] = 2'b10 <p>Attribute Settings:</p> <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b00

图10、RX端接-使用模式2配置表

3.RX端接-使用模式3:

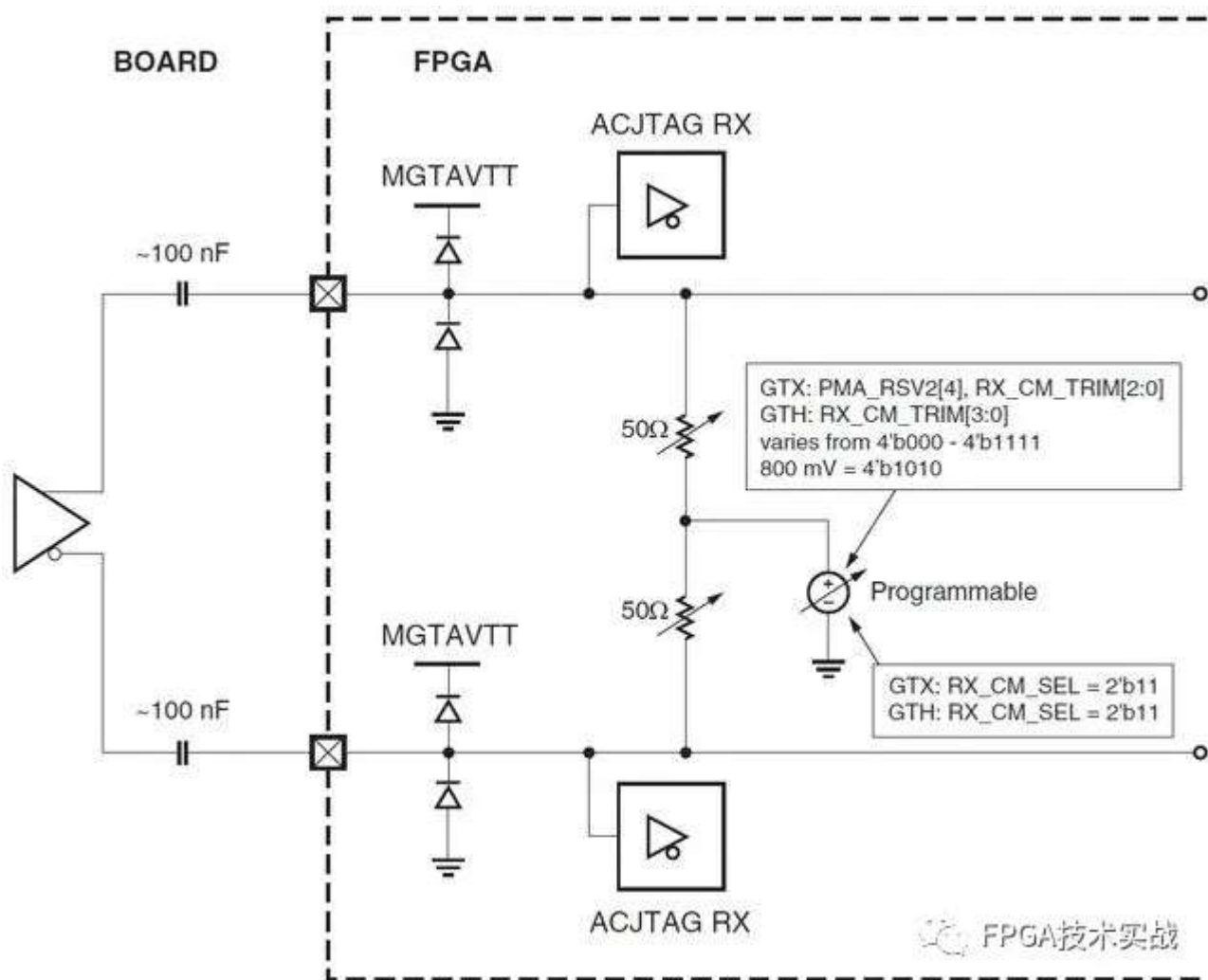


图11、RX端接-使用模式3

使用模式	AC耦合	端接电压	最大摆幅(mVDD)	推荐协议和使用注意
3	On	800	2000	GTX Transceiver: Protocol: <ul style="list-style-type: none"> • Optical IF (SONET/SDH/OTU) • SFP+, HD/SD-SDI • XAUI (1600 mV_{DPP}), GbE • PCIe® in DFE and LPM modes • Backplane in DFE mode • CEI-6 (1200 mV_{DPP}) in DFE mode • Wireless in DFE mode • Serial RapidIO in DFE mode • Interlaken for DFE and LPM mode Attribute Settings: <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b11 • RX_CM_TRIM[3:0] = 4'b1010 • PMA_RSV2[7:6] = 2'b01
3	On	800	2000	GTH Transceiver: Protocols: <ul style="list-style-type: none"> • Optical IF (SONET/SDH/OTU) • SFP+, HD/SD-SDI • XAUI (1600 mV_{dpp}), GbE • PCIe in DFE and LPM modes • Backplane in DFE mode • CEI-6 (1200 mV_{DPP}) in DFE mode • Wireless in DFE mode • Serial RapidIO in DFE mode • Interlaken in DFE and LPM modes Port Settings: <ul style="list-style-type: none"> • RXDFEAGCTRL[4:3] = 2'b10 Attribute Settings: <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b11 • RX_CM_TRIM[3:0] = 4'b1010

图12、RX端接-使用模式3配置表

4.RX端接-使用模式4:

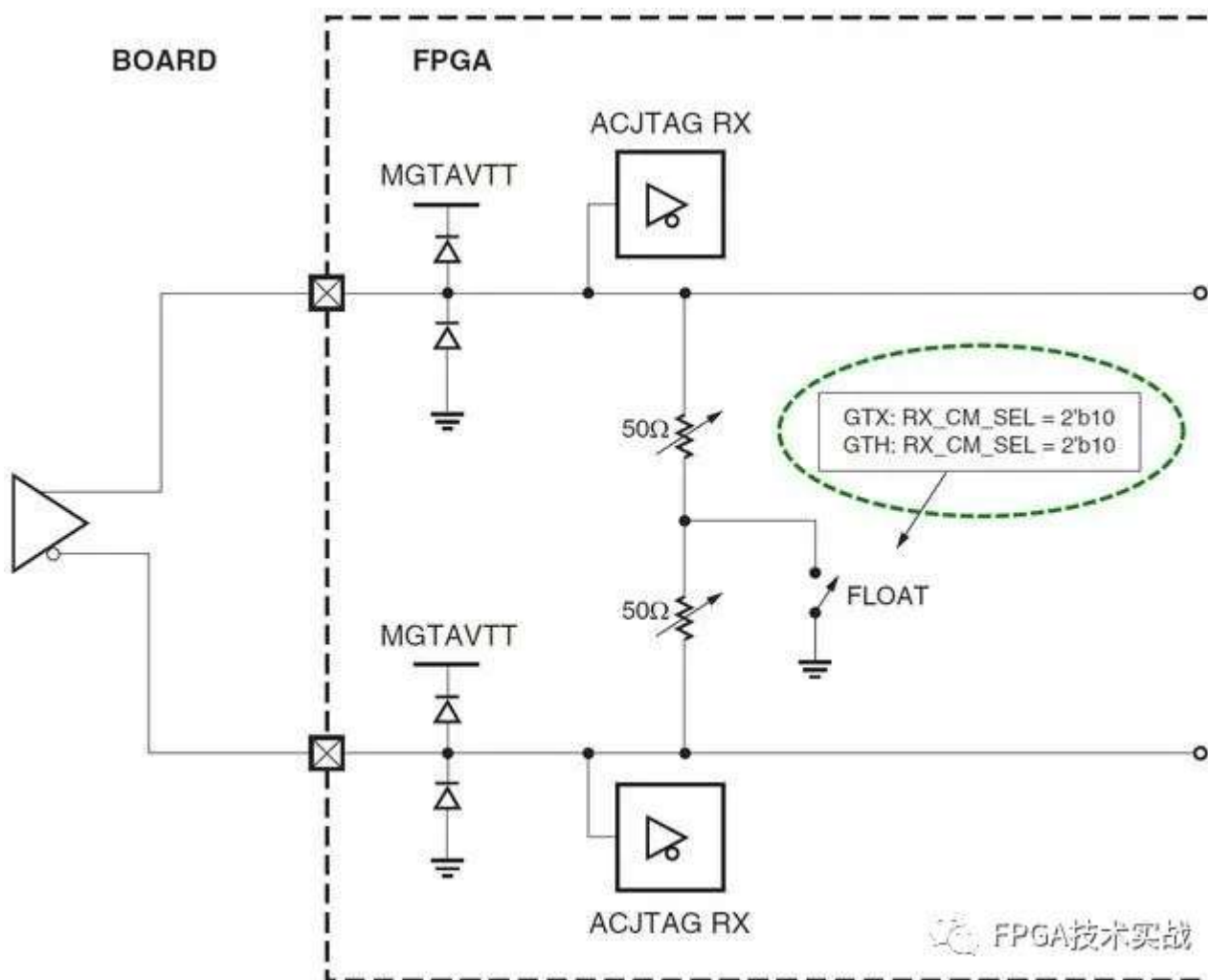


图13、RX端接-使用模式4

使用模式	AC耦合	端接电压	最大摆幅 (mVDD)	推荐协议和使用注意
4	Off	Float	2000	<p>GTX Transceiver:</p> <p>Protocol:</p> <ul style="list-style-type: none"> GPON <p>Attribute Settings:</p> <ul style="list-style-type: none"> RX_CM_SEL[1:0] = 2'b10 <p>GTH Transceiver:</p> <p>Protocol:</p> <ul style="list-style-type: none"> GPON <p>Port Settings:</p> <ul style="list-style-type: none"> Depends on circuit implementation. Likely High Common mode (RXDFEAGCTRL[4:3] = 2'b10) <p>Attribute Settings:</p> <ul style="list-style-type: none"> RX_CM_SEL[1:0] = 2'b10 <p>Note: This only works in LrM mode.</p>

图14、RX端接-使用模式4配置表

2.RX管脚极性控制

如果GTX/GTH收发器RXP和RXN差分管脚在PCB布线时进行了交换，差分对发送输出的比特流会取反。一种解决办法是串并转换之前对发送的数据位逐位取反。另外一种方法是通过RX极性控制，实现RXP和RXN极性交换。图14给出了RX极性控制端口操作。

端口	方向	时钟域	描述
RXPOLARITY	input	RXUSRCLK2	RXPOLARITY 端口用来翻转输出数据极性。 0: 不翻转, RXP 为正极, RXN 为负极 1: 翻转, RXP 为负极, RXN 为正极

图15、RX极性控制端口操作

3.RX OOB信令解码

GTX/GTH接收器RX提供支持解码SATA和SCSI协议要求的OOB信令以及PCIe规范描述的信令。支持SATA/SAS OOB信令的GTX/GTH接收机包括解码OOB信号状态所需的模拟电路和解码SATA/SAS OOB信号突发的状态机COM序列（本文暂不详解OOB模块功能，以后介绍SATA协议时在详述）。

延伸阅读： Xilinx 7系列FPGA收发器架构之发送器（TX）（九）



欢迎关注FPGA技术实战公众号，持续更新原创！

收录于话题 #Xilinx7系列收发器详解·20个

上一篇

Xilinx 7系列FPGA收发器架构之接收器
(RX) （十一）

下一篇

Xilinx 7系列FPGA收发器架构之发送器
(TX) （九）

阅读 97

分享

收藏

赞

在看