

Xilinx 7系列SelectIO结构之SelectIO逻辑资源（一）

原创 FPGA技术实战 FPGA技术实战 2020-05-26

收录于话题

#SelectIO结构详解

7个

引言：从本文开始我们介绍SelectIO的逻辑资源。SelectIO逻辑资源主要包括ILOGIC、IDELAY、IDELAYCTRL、OLOGIC以及ODELAY资源。我们会分为约四篇文章对其进行详细介绍，深入的理解SelectIO逻辑资源结构及相关时序对我们开发FPGA外设接口具有非常重要的意义。本文我们首先介绍以下内容：

- SelectIO资源概述
- ILOGIC资源详解

1.SelectIO资源概述

从本文开始，我们介绍和I/O驱动器和接收器直接相连的逻辑资源。7系列FPGA I/O包括以下逻辑资源：

- 组合输入/输出
- 三态输出控制
- 寄存的输入/输出
- 寄存的三态输出控制
- 双沿数据速率（DDR）输入/输出
- DDR输出三态控制
- IDELAY提供用户控制可调整的、精细的延迟节拍
- ODELAY提供用户控制可调整的、精细的延迟节拍
- SAME_EDGE输出DDR模式
- SAME_EDGE和SAME_EDGE_PIPELINED输入DDR模式

图1显示了1.8V HP bank I/O tile，图2显示了3.3V HR bank I/O tile。

SelectIO输入、输出和三态驱动器在输入/输出缓冲（IOB）内。HP banks有

独立的IDELAY和ODELAY模块。HR banks有和HP banks相同的逻辑模块，除了没有ODELAY模块。

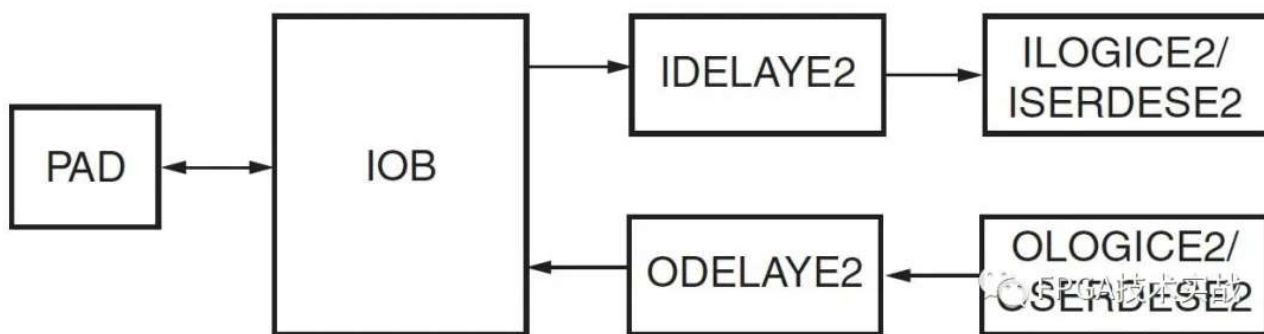


图1、7系列FPGA HP Bank I/O Tile

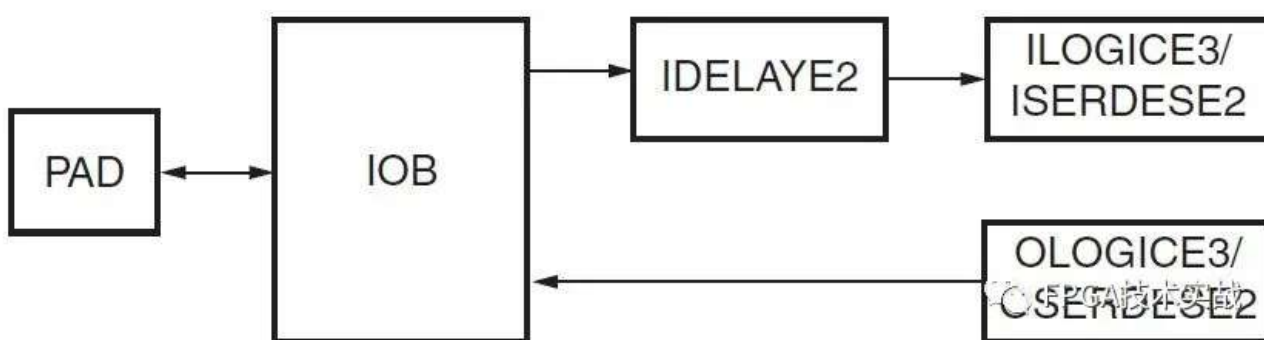


图2、7系列FPGA HR Bank I/O tile

2.ILOGIC资源详解

ILOGIC模块紧挨着IOB模块，ILOGIC模块包含用于捕获来自IOB进入FPGA的数据同步模块。7系列器件ILOGIC配置可能为ILOGICE2（HP I/O banks）和ILOGICE3（HR I/O banks）。ILOGICE2和ILOGICE3在功能和端口上是相同的，唯一的不同包括：

- ILOGICE3位于HR banks中，具有零保持延迟模块（ZHOLD）
- ILOGICE2位于HP banks中，没有ZHOLD

图3ILOGICE3模块图和图4ILOGICE2模块图显示了这种不同。

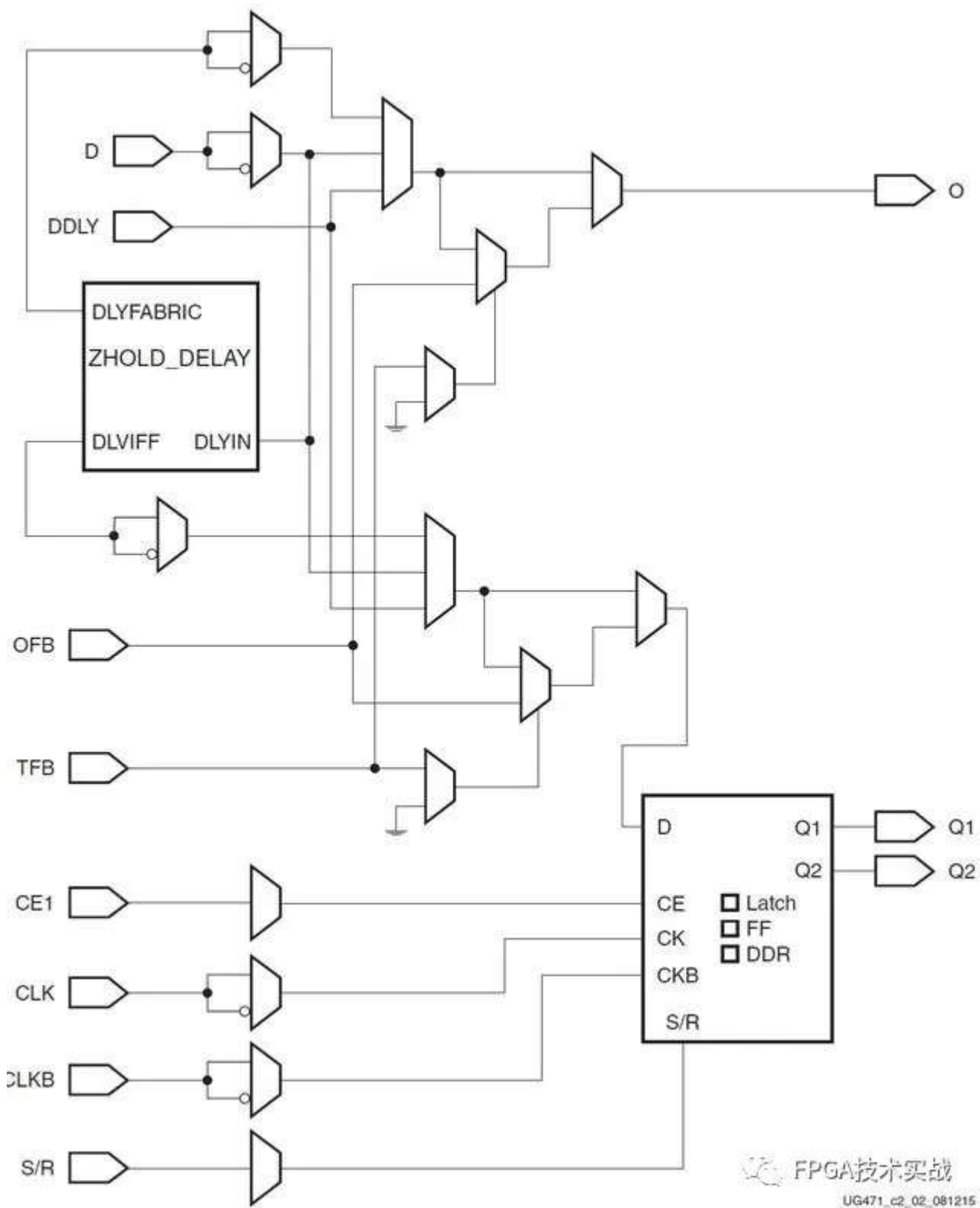


图3、ILOGICE3模块图

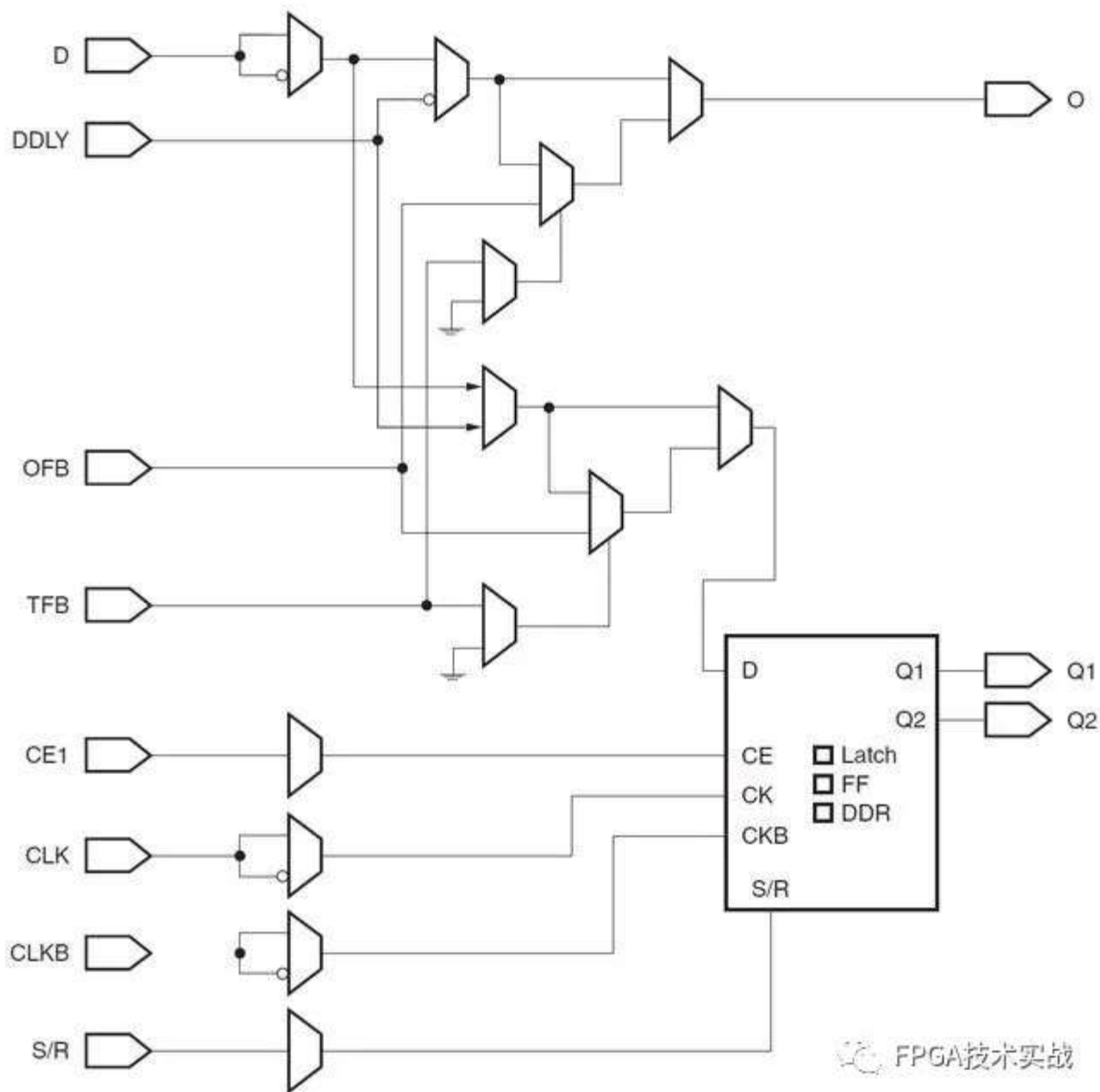


图4、ILOGCE2模块图

在输入/输出互连（IOI）存储元件的D输入端的ZHOLD延迟消除了任何pad-to-pad保持时间要求。ZHOLD延迟与内部时钟分配延迟自动匹配，使用时确保pad-to-pad保持时间为零。ILOGIC块支持可选的静态未补偿ZHOLD，用于补偿输入时钟插入延迟。当时钟路径直接来源于同一个Bank或者相邻Bank的BUFG/BUFGCE。被优化的ZHOLD特性可以补偿时钟插入延迟。ZHOLD默认使能，除非时钟源是MMCM或者PLL，或者除非在XDC约束文件中设置IOBDELAY属性。

注意：ZHOLD可能不适合所有应用，因此请参阅计时报告以验证对特定时钟方案的影响。

ILOGICE2和ILOGICE3不是原语，因为它们不能被实例化。它们包含用户实例化的组件，例如place和route之后的输入触发器（IFD）或输入DDR组件（IDDR）。

ILOGIC支持以下操作：

- 沿触发D触发器
- IDDR模式
- 电平敏感锁存器
- 异步/组合

ILOGIC块寄存器有一个公共时钟使能（CE1）信号，默认为有效高电平。如果不连接该信号，对于任何存储组件默认为激活状态。

ILOGIC块寄存器有一个公共同步或者异步置位和复位信号（SR信号）。set/reset输入管脚，SR强制存储模块进入由SRVAL属性设置的状态。

SRVAL属性可以为每个ILOGIC块内的存储组件独立进行设置，但是同步或者异步 set/reset不能为ILOGIC内的每个存储组件独立进行设置。

2.1 组合输入路径

组合输入路径用来产生从输入驱动器直接连接到FPGA逻辑。该路径由软件自动设置当以下情况：

- 输入数据没有寄存，直接连接到FPGA内部逻辑资源
- **pack I/O register/latches into IOBs** 软件映射设置为OFF

2.2 输入DDR概述（IDDR）

7系列器件在ILOGIC内部有专用的寄存器来实现输入双沿数据速率寄存（DDR）。该特性通过例化IDDR原句实现。所有输入到I/O块的时钟都是完全多路复用的，即ILOGIC块和OLOGIC块之间没有时钟共享。IDDR原句支持一下操作模式：

- OPPOSITE_EDGE模式
- SAME_EDGE模式
- SAME_EDGE_PIPELINED模式

SAME_EDGE模式和SAME_EDGE_PIPELINED模式和Virtex-6架构相同。这些模式允许设计者在ILOGIC块内将下降沿数据转换到上升沿。这些模式使用DDR_CLK_EDGE属性实现。接下来，我们介绍每种模式的详细内容。

1. OPPOSITE_EDGE模式

传统的输入DDR模式或者OPPOSITE_EDGE模式通过一个单一的ILOGIC块实现。数据出现在FPGA逻辑通过时钟上升沿输出Q1，时钟下降沿输出Q2。该结构和Virtex-6实现类似。图5显示了使用OPPOSITE_EDGE模式的输入DDR时序图。

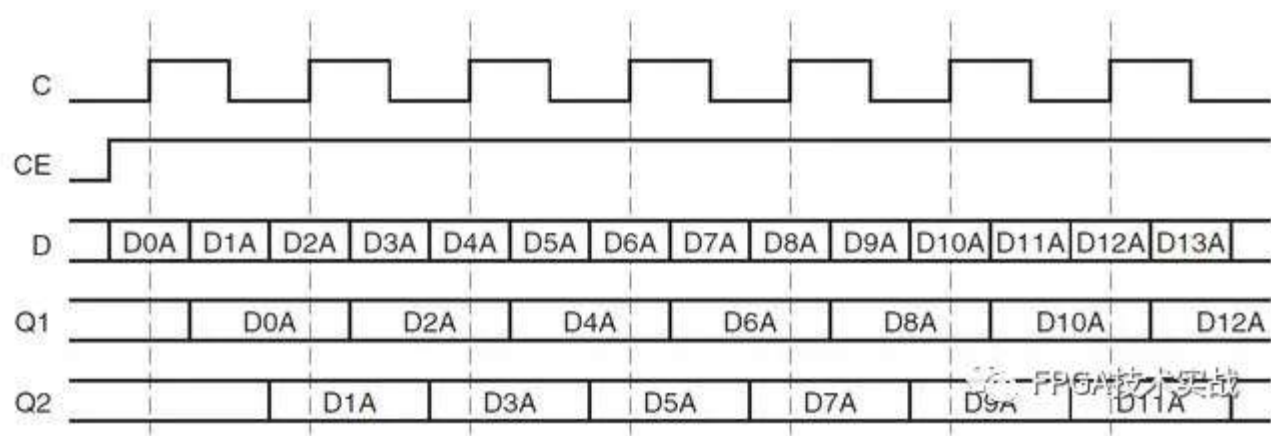


图5、OPPOSITE_EDGE模式的输入DDR时序图

2. SAME_EDGE模式

该模式下，数据在相同的时钟沿进入FPGA逻辑，该结构和Virtex-6内实现类似。图6显示了该模式下对应的时序图。输入数据对Q1和Q2不再是（0）和（1），而是，第一对为Q1（0）和Q2（忽略），接下来为Q1（1）和Q1（0）。

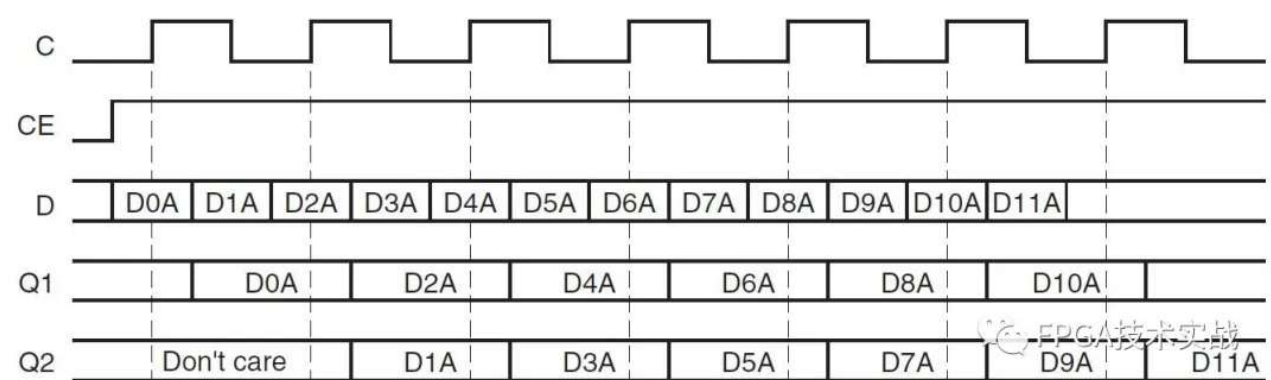


图6、SAME_EDGE模式的输入DDR时序图

3. SAME_EDGE_PIPELINED模式

该模式下，数据在相同的时钟沿进入FPGA逻辑。不像SAME_EDGE模式，数据对不在同一个时钟周期输出。但是该模式需要添加附加的时钟延迟，以消除SAME_EDGE模式数据对不在同一个时钟周期内对齐的影响。图7显示了该模式对应的时序图。输出数据对Q1和Q2在相同的时间进入FPGA逻辑。

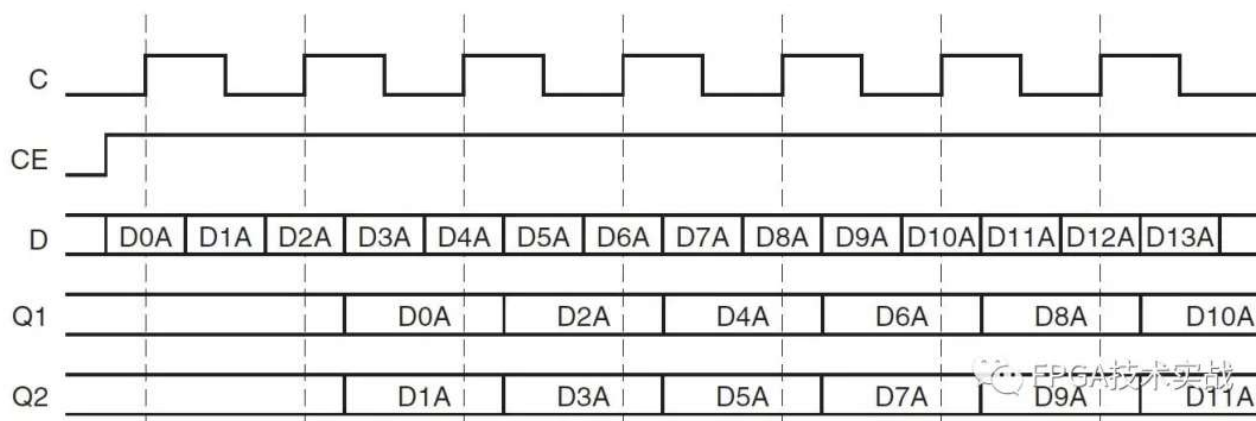


图7、SAME_EDGE_PIPELINED模式输入DDR时序图

2.3 输入DDR资源 (IDDR)

图8显示了IDDR原句模块图。Set和Reset不能同时支持。表1列出了IDDR端口定义。

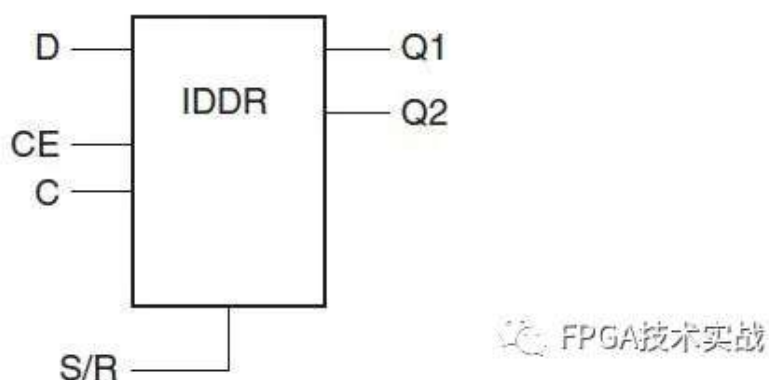


图8、IDDR原句模块图

端口名称	功能	描述
Q1 和 Q2	数据输出	IDDR 寄存器输出
C	时钟输入	时钟输入管脚
CE	时钟使能	高有效，CE 只有为高时，新的数据才会加载到 DDR 寄存器
D	数据输入	来自 IOB 的输入数据
S/R	Set/Reset	同步/异步 Set/Reset 管脚。高电平有效。同一时刻只能使用一种功能。

表1、IDDR端口定义

IDDR VerilogHDL例化语句如图9所示。

```
IDDR #(
    .DDR_CLK_EDGE("OPPOSITE_EDGE"), // "OPPOSITE_EDGE", "SAME_EDGE"
                                     // or "SAME_EDGE_PIPELINED"
    .INIT_Q1(1'b0), // Initial value of Q1: 1'b0 or 1'b1
    .INIT_Q2(1'b0), // Initial value of Q2: 1'b0 or 1'b1
    .SRTYPE("SYNC") // Set/Reset type: "SYNC" or "ASYN"
) IDDR_inst (
    .Q1(Q1), // 1-bit output for positive edge of clock
    .Q2(Q2), // 1-bit output for negative edge of clock
    .C(C),   // 1-bit clock input
    .CE(CE), // 1-bit clock enable input
    .D(D),   // 1-bit DDR data input
    .R(R),   // 1-bit reset
    .S(S)    // 1-bit set
);
```

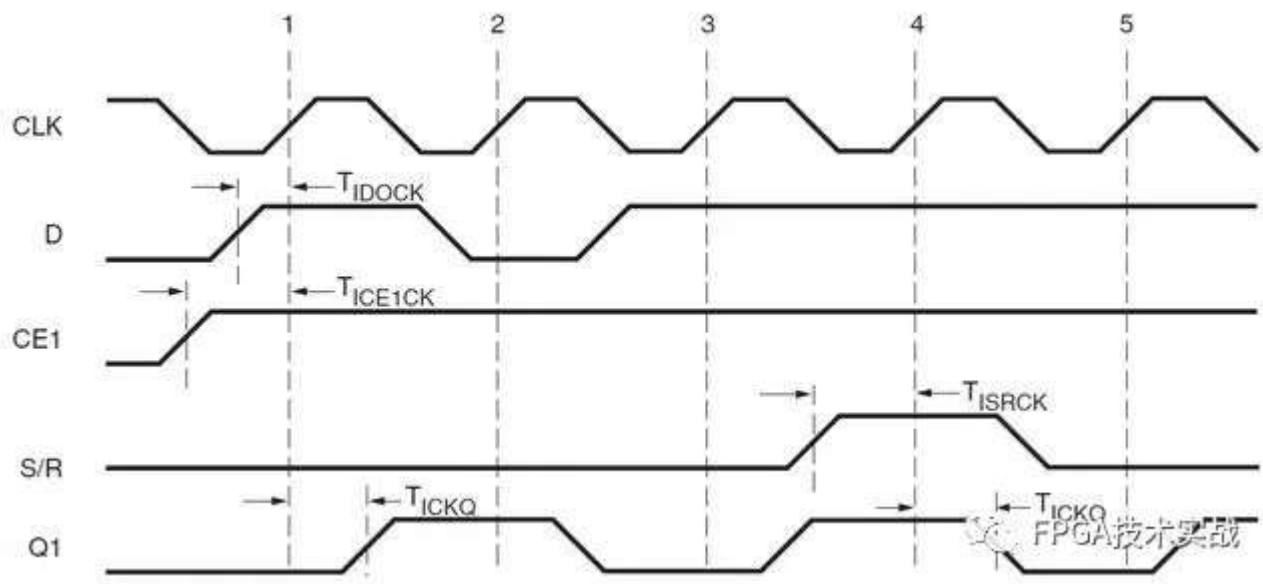
FPGA技术实战

图9、IDDR例化语句

2.4 ILOGIC时序模型

2.4.1 ILOGIC时序特性

图10显示了ILOGIC输入寄存器时序。当IDELAY使用时，TIDOCK被TIDOCKD代替。



时钟事件1

在时钟事件1前，TICE1CK处，输入寄存器CE1时钟使能输入管脚变为高电平，为即将到来的数据使能输入寄存器。

在时钟事件1前，TIDOCK处，数据为高电平出现在输入寄存器D管脚，该数据在时钟事件1之后的TICKQ处，在输入寄存器的Q1端口输出该数据。

时钟事件4

在时钟事件4之，TISRCK处，S/R信号（该图中配置为同步复位）变为高电平复位输入寄存器，由此产生的影响在时钟事件4之后的TICKQ时刻反映在IOB的Q1输出端口。

2.4.2 ILOGIC在OPPOSITE_EDGE模式下时序图

OPPOSITE_EDGE模式时序图如图11所示。

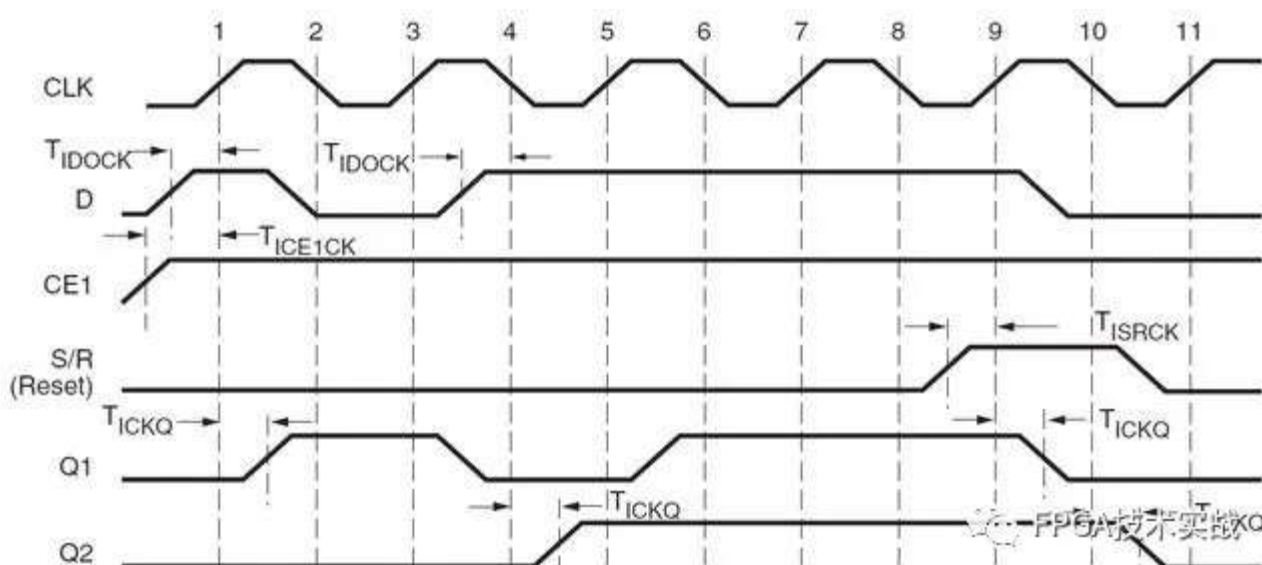


图11、OPPOSITE_EDGE模式时序图

3.小结

本文我们首先对Xilinx 7系列FPGA SelectIO构成进行了简要介绍，熟悉了SelectIO内部基本结构。另外，我们还对SelectIO的ILOGIC资源进行了详细介绍，ILOGIC资源的IDDR结构在PHY RGMII、ADC DDR接口模式中经常会用到，详细了解该资源对于进行相关FPGA软件开发是必要的。



欢迎关注FPGA技术实战公众号，持续更新原创！



FPGA技术实战

“亲，意思意思就行了。”

钟意作者

收录于话题 #SelectIO结构详解·7个

上一篇

Xilinx 7系列SelectIO结构之SelectIO逻辑资源（二）

下一篇

Xilinx 7系列SelectIO结构之IO标准和端接匹配（三）

阅读 85

分享

收藏

赞

在看