Xilinx 7系列FPGA收发器架构之接收器 (RX) (十四)

原创 FPGA技术实战 FPGA技术实战 2020-05-18

收录于话题

#Xilinx7系列收发器详解

20个

引言:本文介绍GTX/GTH收发器以下内容:

- FPGA RX接口
- RX时钟校准
- RX通道绑定

1.FPGA RX接口

1.1 功能概述

FPGA RX接口是GTX/GTH收发器并行接口,实现收发器并行数据输出到FPGA内部逻辑。FPGA在RXUSRCLK2时钟的上升沿读取RXDATA端口数据,该端口可以配置为2字节、4字节或者8字节。

RXDATA宽度和RX_DATA_WIDTH和RX_INT_DATAWIDTH属性以及RX8B10BEN有关。并行时钟RXUSRCLK2速率由RX线速率、RXDATA宽度以及8B10B编码属性决定。RXUSRCLK时钟提供给PCS内部逻辑使用。

1.2 FPGA RX接口配置

7系列GTX/GTH收发器包含2字节和4字节内部数据路径,通过RX_INT_DATAWIDTH属性配置。RX接口配置如图1所示。

RX8B10BEN	RX_DATA_WIDTH	RX_INT_DATAWIDTH	FPGA Interface Width	Internal Data Width
	20	0	16	20
1	40	0	32	20
1	40	1/	32	40
	80	1	64	40
	16	0	16	16
	20	0	20	20
	32	0	32	16
0	32	,1 .	32	32
U	40	0	40	20
	40	1	40	40
	64	1	64	32
	80	1	80 -C FF	SA技术学战

图1、FPGA RX接口配置

当8B/10B解码器旁路时,RXDISPERR和RXCHARISK端口用来扩展RXDATA端口。如图2所示。

											<	< <	D	ata	R	ec	ep	ioi	ı is	R	igh	t t	o L	.ef	t (I	LS	Вt	0	MS	B)	<	< <									
	39	38	37	36	3	5 3	3 3	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	2 1	10	9	8	7	6	5	4	3	2	1	0	
Data Received	RXDISPERR[3]	KXDISPERR[3] RXCHARISK[3] RXDATA[31:24]					RXDISPERR[2]	RXCHARISK[2]	RXDATA[23:16]						RXCHARISK[1] RXCHARISK[1] RXDATA[15.8]						RXDISPERRIO	RXCHARISK[0]	RXDATA[2:0]																		
											<	< <	D	ata	R	ec	ep	ioi	n is	R	igh	t t	o L	.ef	t (I	LS	Вt	0	MS	B)	<	< <									
	79	78	77	77 76 75 74 73 72 71 70				70	69	68	67	66	65	64	63	62	61	60	59	58	57	56	55	54	53	52	2 5	50	49	48	47	46	45	44	43	42	41	41			
Data Received	RXDISPERR[7]	RXCHARISK[7] RXCHARISK[7] RXDATA[56:63]						RXDISPERR[6]	RXCHARISK[6]		RXDATA[48:55]						RXDISPERR[5]	RXCHARISK[5]	RXDATA[40:47]						1 CAPERRIAL	(CHARISK[4]	leczely. FPGA技术实品				TÖ.										

图2、8B/10B解码器旁路时RX接收数据格式

1.3 RXUSRCLK和RXUSRCLK2时钟产生

FPGA RX接口包括两个并行时钟: RXUSRCLK和RXUSRCLK2。RXUSRCLK用于收发器 PCS内部逻辑资源使用,RXUSRCLK2用于FPGA RX接口所有信号同步时钟。 RXUSRCLK时钟产生方程如图3所示。

$RXUSRCLK\ Rate = \frac{Line\ Rate}{Internal\ Datapath\ Wiath}$ PGA技术实战

图3、RXUSRCLK时钟产生

RXUSRCLK和RXUSRCLK2时钟之间关系如图4所示。当线速率 (Line Rate) 超过 6.6Gb/s时,RX内部数据路径必须设置为4字节。

FPGA Interface Width	RX_DATA_WIDTH	RX_INT_DATAWIDTH	RXUSRCLK2 Frequency
2-Byte	16, 20	0	$F_{RXUSRCLK2} = F_{RXUSRCLK}$
4-Byte	32, 40	0	$F_{RXUSRCLK2} = F_{RXUSRCLK} / 2$
4-Byte	32, 40	1	$F_{RXUSRCLK2} = F_{RXUSRCLK}$
8-Byte	64, 80	1	F _{RXUSRCLK2} = F _{RXUSRCLK} / 2

图4、RXUSRCLK和RXUSRCLK2时钟之间关系

RXUSRCLK和RXUSRCLK2时钟使用必须遵循以下规则:

- RXUSRCLK和RXUSRCLK2必须是上升沿对齐,尽可能保持较小的时钟偏移。
 可以使用低偏移资源,如BUFG和BUFRs,驱动RXUSRCLK和RXUSRCLK2。
- 如果通道发送器和接收器配置为相同的时钟,TXOUTCLK时钟可以按照驱动 TXUSRCLK和TXUSRCLK2时钟的方式来驱动RXUSRCLK和RXUSRCLK2。当时 钟校准关闭或者RX buffer旁路时,RX相位对齐电路必须用来对齐串行时钟和 并行时钟。
- 如果通道发送器和接收器配置为不同的时钟,并且时钟校准未使用, RXUSRCLK和RXUSRCLK2必须由RXOUTCLK驱动,同时RX相位对齐电路必须 使用。
- 如果时钟校准使用,RXUSRCLK和RXUSRCLK2可以由RXOUTCLK或者 TXOUTCLK驱动。

1.4 端口定义

FPGA RX端口如图5所示。

端口	方向	时钟域	描述						
RXCHARDISPMODE[7:0]	output	RXUSRCLK2							
RXCHARDISPVAL[7:0]	output	RXUSRCLK2							
RXDATA[63:0]	output	RXUSRCLK2	FPGA 发送端口,该端口位宽基于 RX_DATA_WIDTH: ■ RX_DATA_WIDTH =16, 20: RX_DATA[15:0] = 16bits 位宽; ■ RX_DATA_WIDTH =64, 80: RX_DATA[63:0] = 16bits 位宽。						
RXUSRCLK	output	时钟	为 TX PCS 内部提供时钟						
RXUSRCLK2	output	时钟	同步 FPGA RX接口信号。当 RXUSRC 中田户提供的 地时钟 必须与 RXUSRCLK 上升沿保持对齐						

图5、FPGA RX端口定义

2.RX时钟校准

2.1 功能描述

RX弹性缓冲器用来设计桥接RXUSRCLK和XCLK时钟域。理想情况下这两个时钟应该频率和相位相同,实际应用中两者在频率和相位上会存在一定偏移。RX弹性缓冲器可以实现两个时钟域数据稳定传输。RX时钟校准功能通过删除或者复制特定的空闲字符来防止RX弹性缓冲器上溢出或者下溢出。

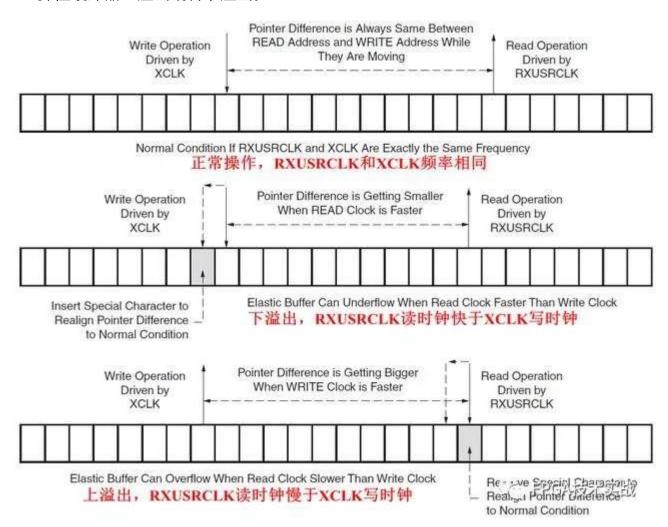


图6中举例RXUSRCLK和XCLK时钟三种应用场景。正常情况下,读时钟RXUSRCLK和XCLK时钟频率相同,此时RX弹性缓冲器保持半满状态。当读时钟RXUSRCLK快于写时钟XCLK时,为避免出现读空RX弹性缓冲器,需要进行重复读或者空读操作。当读时钟RXUSRCLK慢于写时钟XCLK时,为避免出现RX弹性缓冲器溢出,需要丢弃一些数据。

3.RX 通道绑定

3.1 功能概述

XAUI和PCIe等协议使用多个串行收发器以产生更高的数据速率。由于每个收发器所在的通道延迟可能存在差异,这会导致通道间数据会存在"错位"现象,RX通道绑定功能就解决此问题。

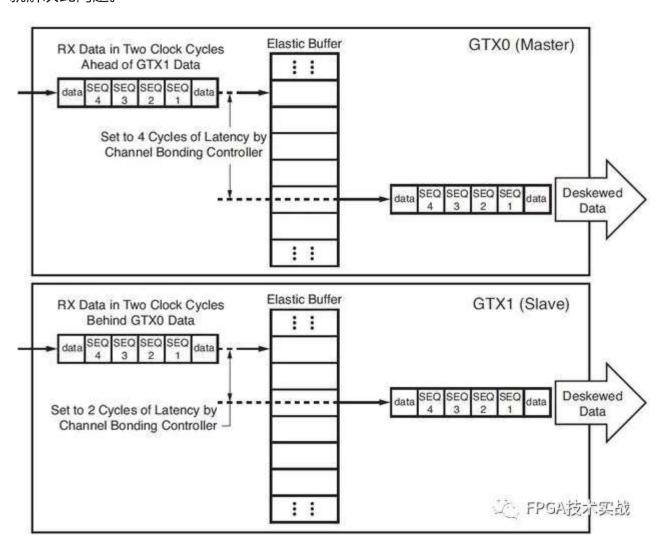


图7、通道绑定概念示意图

通常在收发器TX发送端发送一串特殊字符,称为通道绑定序列。每个收发器接收到特殊字符后,GTX/GTH接收器可以决定每个通道之间的偏移,通过RX弹性缓冲器调整延迟,保证用户接口可以无偏移接收。



欢迎关注FPGA技术实战公众号,持续更新原创!

收录于话题 #Xilinx7系列收发器详解·20个

上一篇

Xilinx 7系列FPGA收发器架构之硬件设计 Xilinx 7系列FPGA收发器架构之接收器 指导(一)

(RX) (十三)

下一篇

阅读 72

分享 收藏 赞 在看