

# Xilinx 7系列FPGA收发器架构之发送器（TX）（七）

原创 FPGA技术实战 FPGA技术实战 2020-04-20

收录于话题

#Xilinx7系列收发器详解

20个

**引言：** 本文我们继续介绍FPGA收发器TX结构和功能。通过文本你可以了解一下内容：

- TX 8B/10B编码器结构和使用
- TX Gearbox功能介绍
- TX 差分管脚极性控制

## 1.TX 8B/10B编码器

PCIe、SRIO、STAT等高速串行协议数据发送都采用了8B/10B编码方案，它是一种行业标准编码方案。8B/10B以每字节（8bits）两比特的开销来换取DC直流平衡，来确保时钟可以从数据流中正确恢复。如图1所示，GTX/GTH收发器内置8B/10B TX路径实现TX数据编码，无需消耗FPGA逻辑资源。

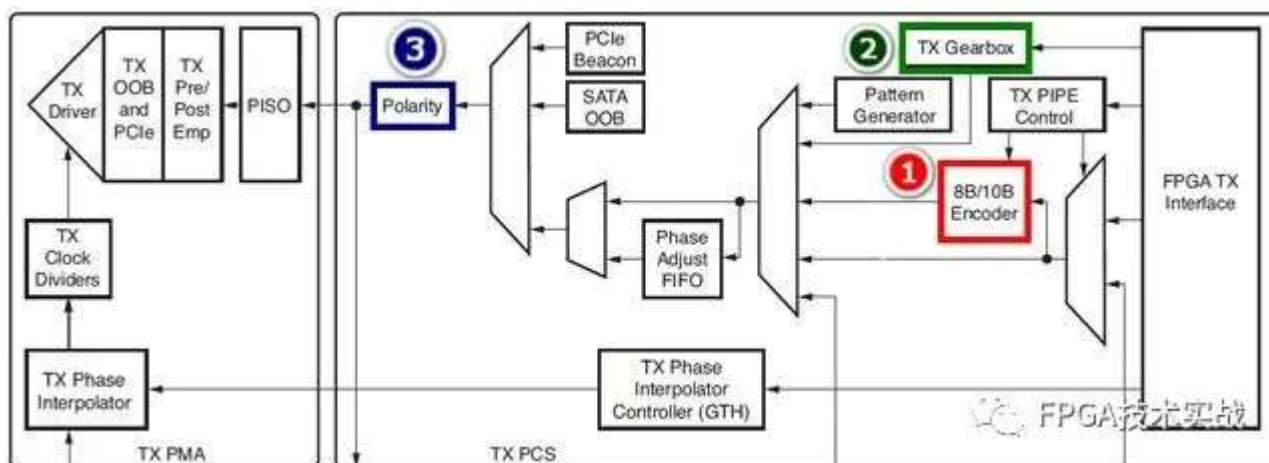


图1、GTX/GTH收发器TX内部结构（点击看大图）

使能8B/10B编码会增加TX路径上数据延迟，如果不需要，可以旁路8B/10B编码，以减少TX路径延迟。

### 1.1 8B/10B比特和字节顺序

图2显示了收发器TX 8B/10B编码流程。8B/10B是否使能会影响FPGA TX接口TXDATA的数据格式，这一点我们在上一节内容中有详细描述。

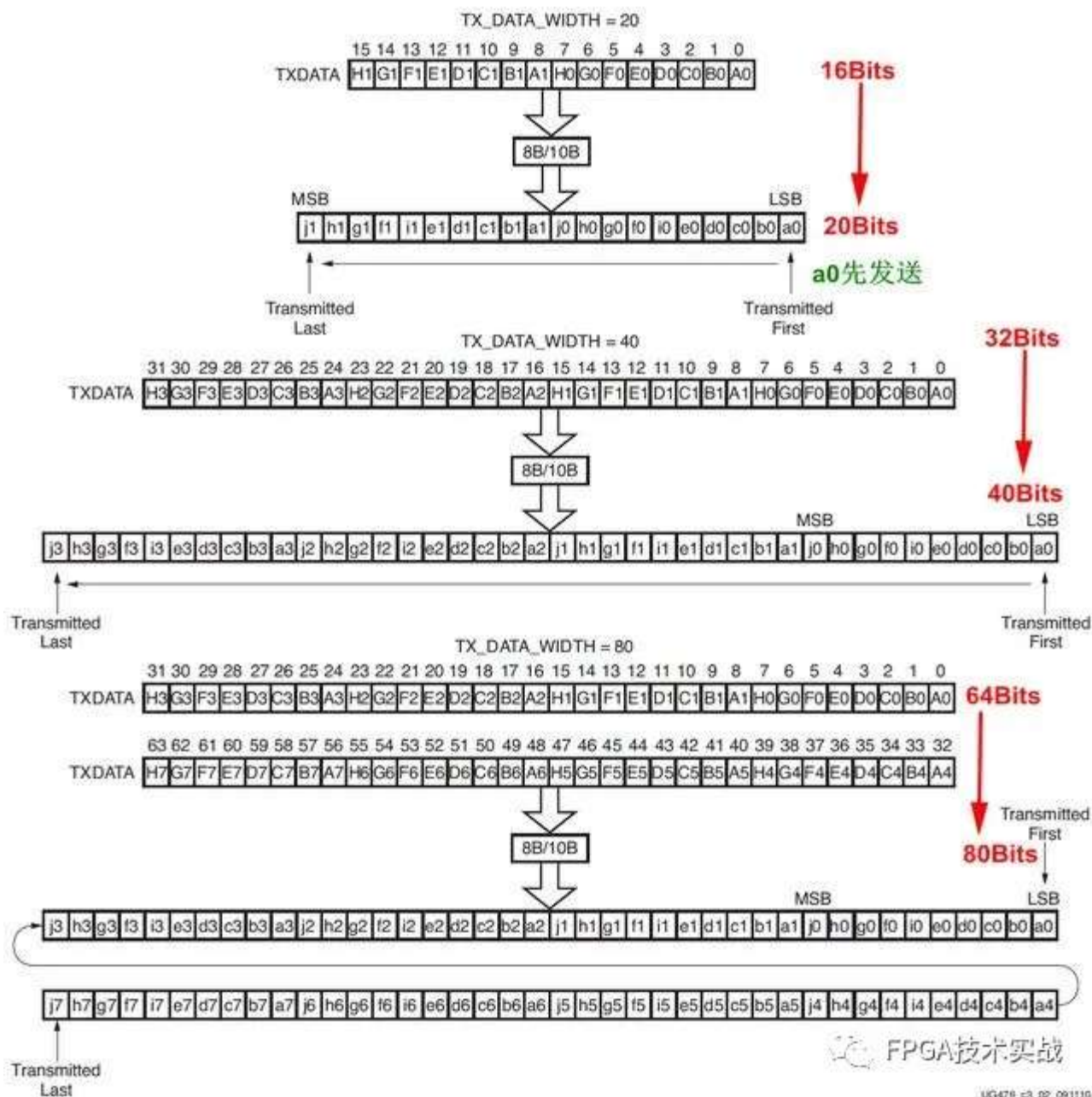


图2、收发器TX 8B/10B编码流程

8B/10B编码器要求a0比特先发送，GTX/GTH收发器优先发送最右侧比特。因此为了匹配8B/10B编码，GTX/GTH收发器内部的8B/10B编码器自动翻转发送数据比特。

## 1.2 K字符和差异极性控制

8B/10B编码表使用特殊的字符（K字符）用作控制功能。TXCHARISK端口用来指示TXDATA端口的数据是否为K字符。8B/10B编码器检查接收到的TXDATA字节，如果匹配为K字符，则TXCHARISK比特为置为高。

TXCHARDISPMODE	TXCHARDISPVAL	输出差异极性
0	0	8B/10B 编码器计算
0	1	TXDATA 编码时翻转差异极性
1	0	TXDATA 编码时强制差异极性为“-1”
1	1	TXDATA 编码时强制差异极性为“+1”

图3、差异极性控制

由于8B/10B是直流平衡的，所以发送“1”和“0”的个数比例应该为1:1，为了实现这一要求，编码器总是计算发送“1”和“0”之间的差值。每发送一个字符后，这种差值要么为“+1”，要么为“-1”，这种不同被称为“运行差异”。GTX/GTH收发器允许控制这种差异极性，如图3所示。图4举例了8B/10B编码方式选择及差异极性控制选择GTX/GTH IP核界面。

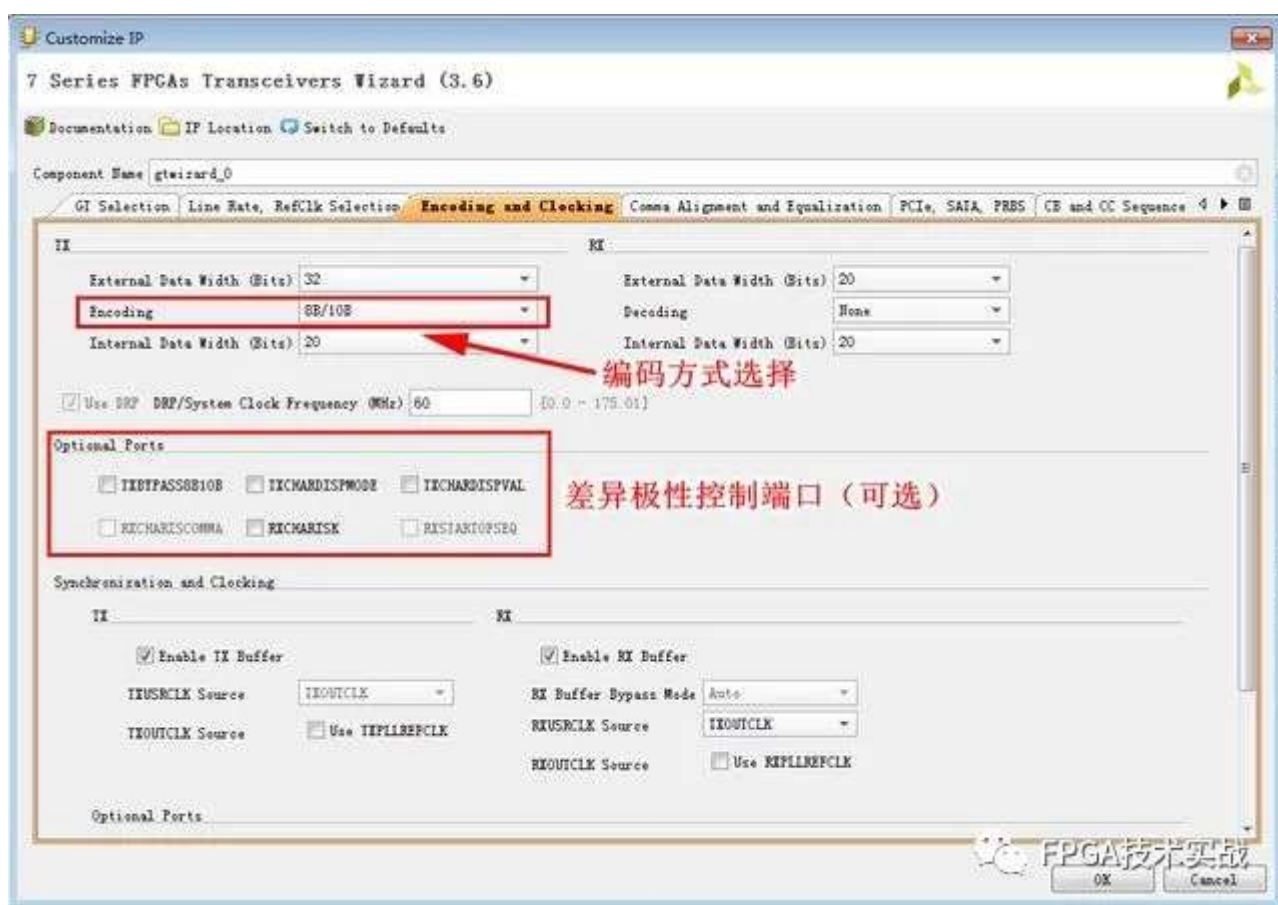


图4、编码方式及差异极性控制配置界面

## 1.3 8B/10B端口 (Port) 定义

端口	方向	时钟域	描述
TX8B10BBYPASS[7:0]	input	TXUSRCLK2	旁路 8B/10B 编码字节。 TX8B10BBYPASS[x]=1 对应字节旁路编码 TX8B10BBYPASS[x]=0 对应字节使能编码  TX8B10BBYPASS[7]对应于 TXDATA[63:56] TX8B10BBYPASS[6]对应于 TXDATA[55:48] TX8B10BBYPASS[5]对应于 TXDATA[47:40] TX8B10BBYPASS[4]对应于 TXDATA[39:32] TX8B10BBYPASS[3]对应于 TXDATA[31:24] TX8B10BBYPASS[2]对应于 TXDATA[23:16] TX8B10BBYPASS[1]对应于 TXDATA[15:8] TX8B10BBYPASS[0]对应于 TXDATA[7:0]
TX8B10BEN	input	TXUSRCLK2	TX8B10BEN 设置为高时，使能 8B/10B 编码器，此时 TX_DATA_WIDTH 必须为 20,40 或者 80。
TXCHARDISPMODE[7:0]	input	TXUSRCLK2	改端口与 TXCHARDISPVAL 配合使用，控制差异极性。 TXCHARDISPMODE[7]对应于 TXDATA[63:56] TXCHARDISPMODE[6]对应于 TXDATA[55:48] TXCHARDISPMODE[5]对应于 TXDATA[47:40] TXCHARDISPMODE[4]对应于 TXDATA[39:32] TXCHARDISPMODE[3]对应于 TXDATA[31:24] TXCHARDISPMODE[2]对应于 TXDATA[23:16] TXCHARDISPMODE[1]对应于 TXDATA[15:8] TXCHARDISPMODE[0]对应于 TXDATA[7:0]
TXCHARDISPVAL[7:0]	input	TXUSRCLK2	改端口与 TXCHARDISPMODE 配合使用，控制差异极性。 TXCHARDISPVAL[7]对应于 TXDATA[63:56] TXCHARDISPVAL[6]对应于 TXDATA[55:48] TXCHARDISPVAL[5]对应于 TXDATA[47:40] TXCHARDISPVAL[4]对应于 TXDATA[39:32] TXCHARDISPVAL[3]对应于 TXDATA[31:24] TXCHARDISPVAL[2]对应于 TXDATA[23:16] TXCHARDISPVAL[1]对应于 TXDATA[15:8] TXCHARDISPVAL[0]对应于 TXDATA[7:0]
TXCHARISK[7:0]	input	TXUSRCLK2	当为高时，对应的 TXDATA 位 K 码，否则为 D 码（数据）。 TXCHARISK[7]对应于 TXDATA[63:56] TXCHARISK[6]对应于 TXDATA[55:48] TXCHARISK[5]对应于 TXDATA[47:40] TXCHARISK[4]对应于 TXDATA[39:32] TXCHARISK[3]对应于 TXDATA[31:24] TXCHARISK[2]对应于 TXDATA[23:16] TXCHARISK[1]对应于 TXDATA[15:8] TXCHARISK[0]对应于 TXDATA[7:0]

图5、8B/10B编码器端口定义



## 2.TX Gearbox (速率变换箱)

图1中②为TX Gearbox在GTX/GTH收发器结构中的位置。一些高速数据速率协议使用64B/66B编码来减少8B/10B编码的开销，同时保留编码方案的优点。TX Gearbox提供了对64B/66B和64B/67B编码支持。常见的高速协议Interlaken就采用了64B/67B编码方案。TX Gearbox支持2字节、4字节和8字节接口定义，数据加扰是在FPGA逻辑内实现的。在GTH收发器中，CAUI接口模式支持附加的TX Gearbox特性。

## 3.TX管脚极性控制

图1中③为TX 极性控制在GTX/GTH收发器结构中的位置。如果GTX/GTH收发器TXP和TXN差分管脚在PCB布线时进行了交换，差分对发送输出的比特流会取反。一种解决办法是在并串转换之前对发送的数据位逐位取反。另外一种方法是通过TX极性控制，实现TXP和TXN极性交换。图6给出了TX极性控制端口操作。

端口	方向	时钟域	描述
TXPOLARITY	input	TXUSRCLK2	TXPOLARITY 端口用来翻转输出数据极性。 0: 不翻转，TXP 为正极，TXN 为负极 1: 翻转，TXP 为负极，TXN 为正极

图6、TX极性控制端口操作

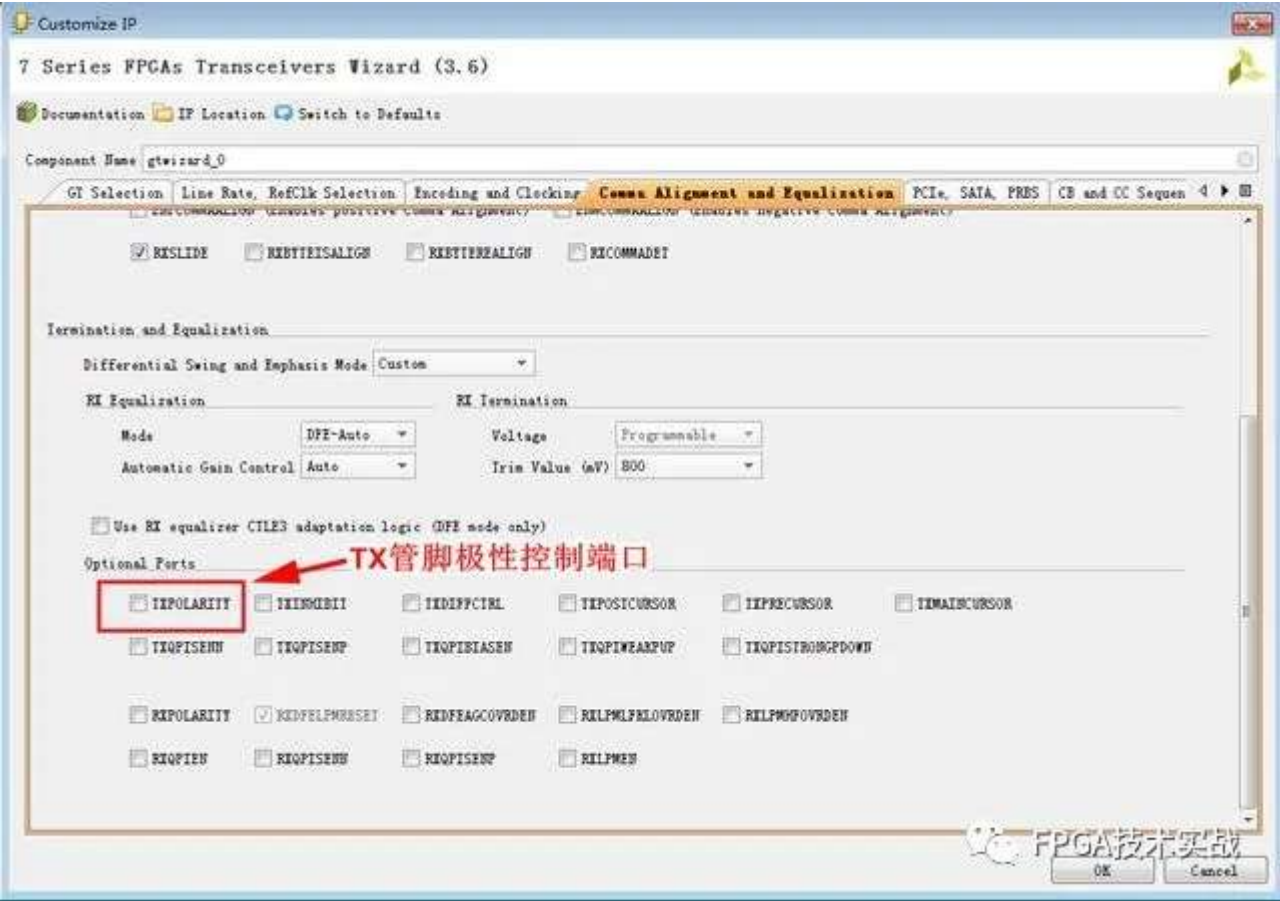


图7、TX管脚极性控制配置界面

## 7系列FPGA收发器架构详解连载六：Xilinx 7系列FPGA收发器架构之发送器 (TX) (六)



欢迎关注FPGA技术实战公众号，持续更新原创！

收录于话题 #Xilinx7系列收发器详解·20个

上一篇

Xilinx 7系列FPGA收发器架构之发送器  
(TX) (八)

下一篇

Xilinx 7系列FPGA收发器架构之发送器  
(TX) (六)

阅读 69

分享

收藏

赞

在看 1