

利用IBERT IP核实现GTX收发器硬件测试

原创 FPGA技术实战 FPGA技术实战 2020-04-05

收录于话题

#Xilinx7系列收发器详解

20个

引言： Xilinx公司的Vivado开发软件提供了IBERT IP核，可以实现GTX收发器硬件测试。通过该IP核我们可以对FPGA高速收发器硬件接口进行误码率测试、调整收发器参数配置、验证硬件PCB信号完整性以及硬件数据传输的可靠性。本文我们基于Xilinx公司xc7z035ffg676-2芯片进行测试。通过本文可以了解到：

- GTX收发器IBERT眼图测试原理
- GTX收发器IBERT眼图测试方法

1.IBERT测试原理

Bit Error Ratio Tester简称IBERT，即误码率测试，其测试原理框图如图1所示。我们使用光纤将收发器的TX和RX进行短接，实现Loopback。图1中可以看到在近端回环测试中，可以实现PCS回环（图中①所示）和PMA回环测试（图中②所示）。

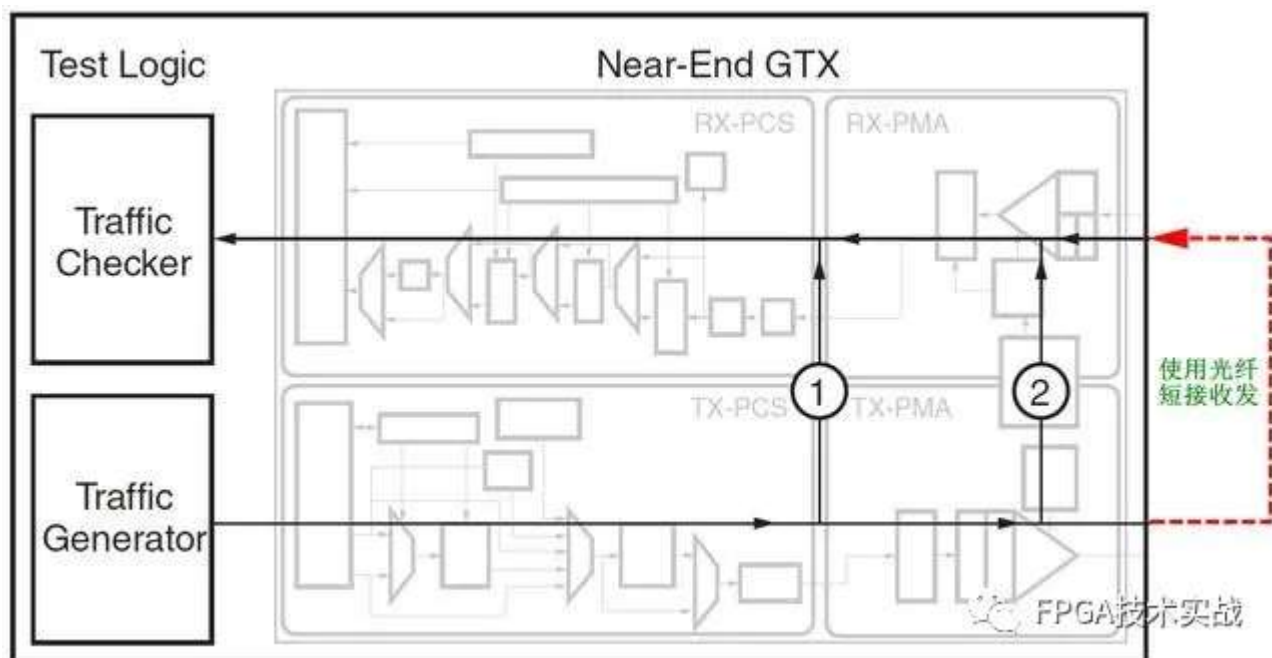


图1、IBERT回环测试原理图（点击看大图）

2.工程建立

2.1 新建IP核工程

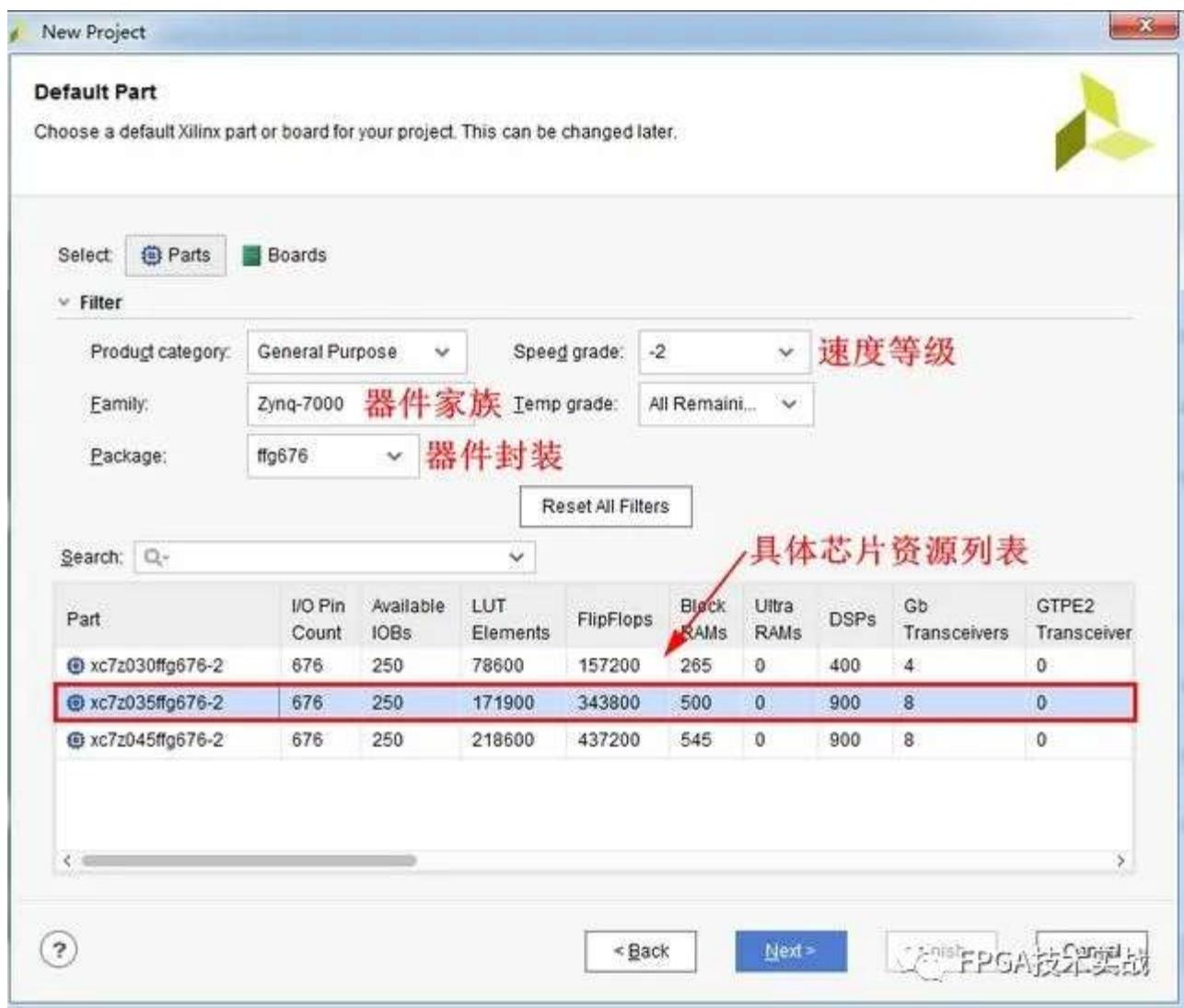


图2、电路板芯片选择

2.2 IBERT IP核配置

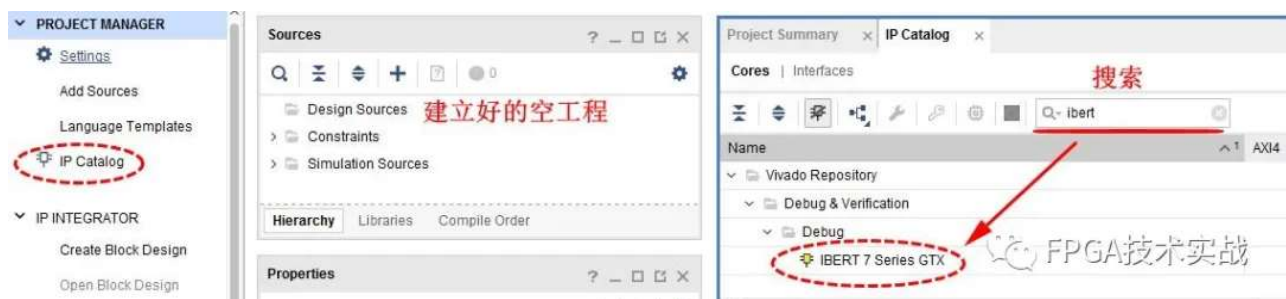


图3、IBERT IP核查找

图4为IBERT协议配置定义界面，IP核有一些预置的协议，我们选择用户自定义 Custom1，收发器线速率选择1.25Gbps，位宽32bit，收发器参考时钟为原理图 MGT112REFCLK0输入时钟125MHz。



图4、IP核协议配置界面

图5为要测试的GTX收发器位置定义及参考时钟来源选择。本设计两路SFP+均来自Quad112，参考时钟来自MGTREFCLK1_112。

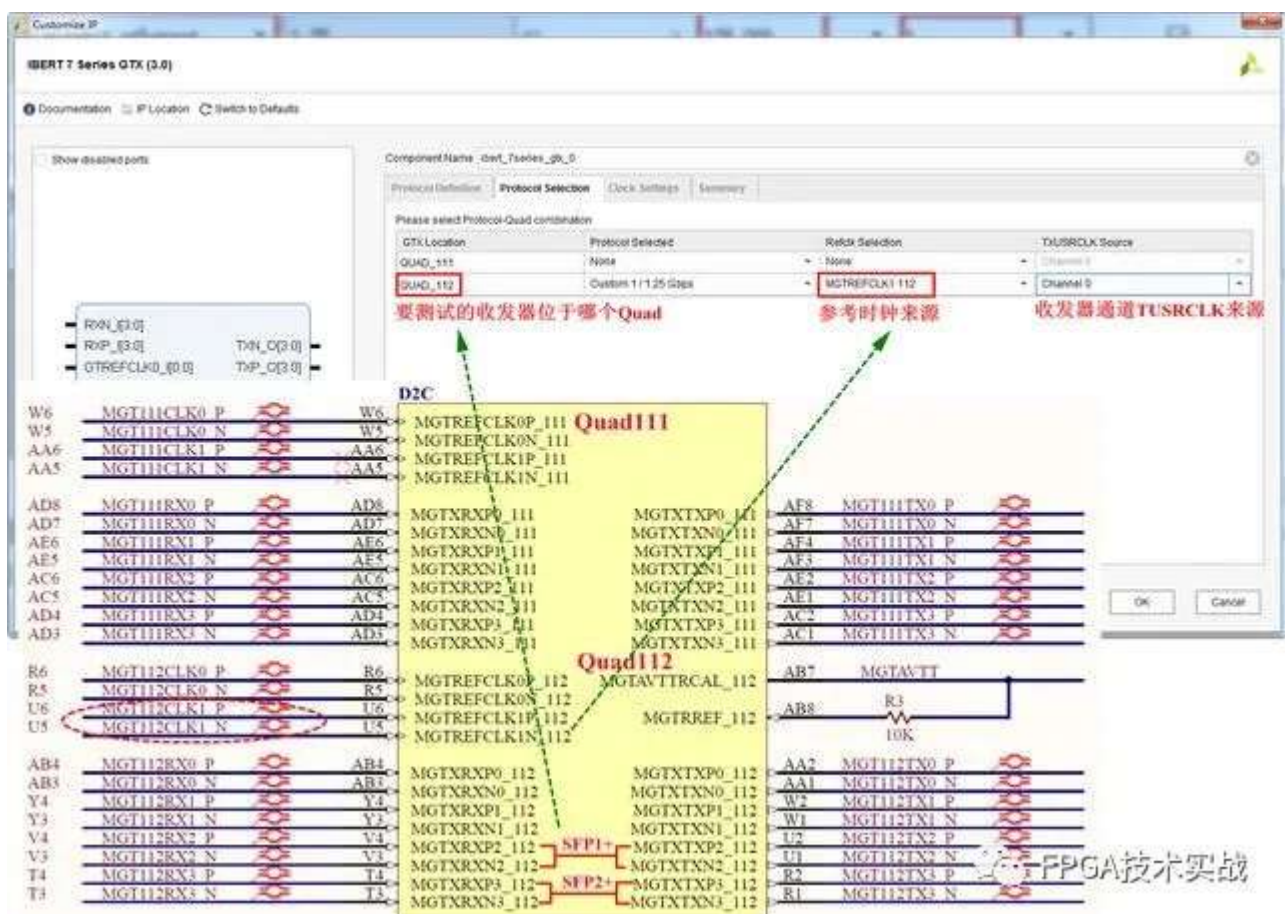


图5、GTX收发器位置及参考时钟来源

图6为IBERT IP核工作时钟，本设计将GTX收发器参考输入时钟作为其系统时钟。

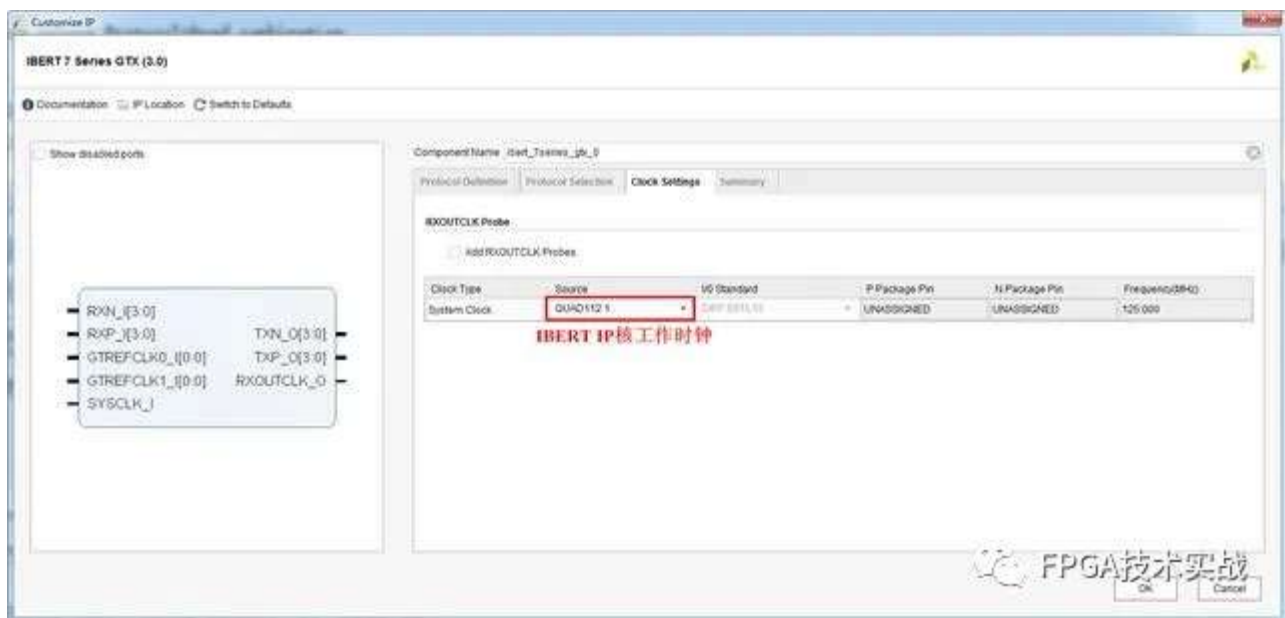


图6、IBERT IP核系统工作时钟选择

配置完成后，点击“OK”，然后生成IP核，如图7所示。

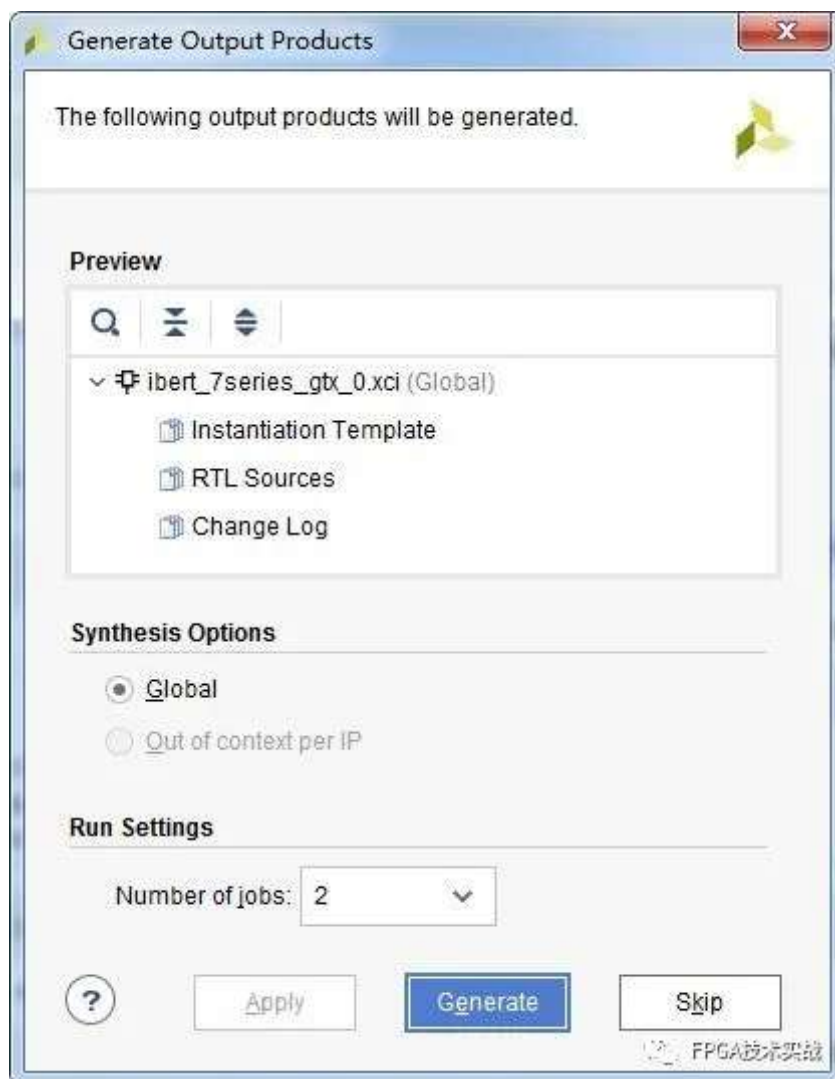


图7、IBERT IP核生成

2.3建立GTX收发器测试工程

生成IBERT IP核后，我们在工程名上右键，选择生成example design，如图8所示。

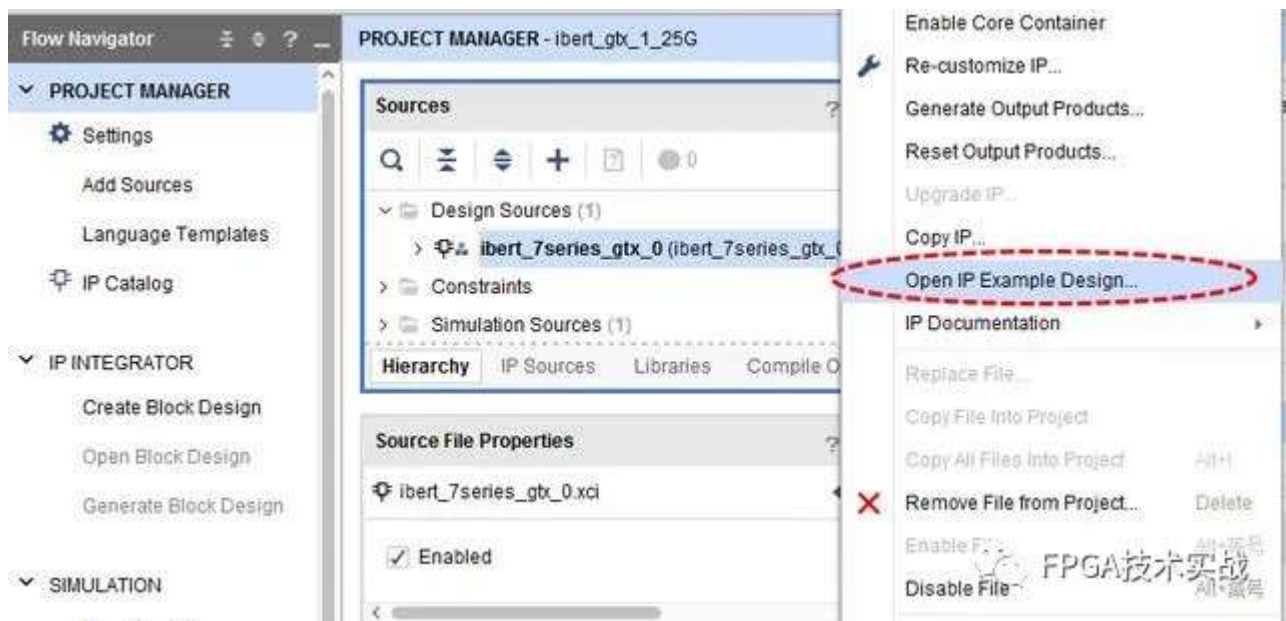


图8、生成IBERT example design

如图9所示，打开顶层文件，为了使能电路板上的SFP+模块，需要添加部分代码。同时，修改.xdc约束文件，如图10所示。


```

21 module example_ibert_7series_gtx_0
22 (
23     // GT top level ports
24     output [(4*C_NUM_QUADS)-1:0]    TXN_0,
25     output [(4*C_NUM_QUADS)-1:0]    TXP_0,
26     input  [(4*C_NUM_QUADS)-1:0]    RXN_I,
27     input  [(4*C_NUM_QUADS)-1:0]    RXP_I,
28     input  [ C_REFCLKS_USED-1:0]    GTREFCLKOP_I,
29     input  [ C_REFCLKS_USED-1:0]    GTREFCLKON_I,
30     input  [ C_REFCLKS_USED-1:0]    GTREFCLKIP_I,
31     input  [ C_REFCLKS_USED-1:0]    GTREFCLKIN_I,
32     //User add
33     output wire [1:0] sfp_disable
34 );

```

用户添加

```

35
36 //
37 // Ibert refclk internal signals
38 //
39 wire [ C_NUM_QUADS-1:0]    gtreclk0_i;
40 wire [ C_NUM_QUADS-1:0]    gtreclk1_i;
41 wire [ C_REFCLKS_USED-1:0]    refclk0_i;
42 wire [ C_REFCLKS_USED-1:0]    refclk1_i;
43
44 //
45 //User add
46 //
47 assign sfp_disable = 2'b0;
48
49 //
50 // Refclk IBUFDS instantiations

```

收发器参考输入时钟必须经过IBUFDS_GTE2

```

51 IBUFDS_GTE2 u_buf_q3_clk0
52 (
53     .O          (refclk0_i[0]),
54     .ODIV2      (),
55     .I          (GTREFCLKOP_I[0]),
56     .IB         (GTREFCLKON_I[0])
57 );

```

```

58 IBUFDS_GTE2 u_buf_q3_clk1
59 (
60     .O          (refclk1_i[0]),
61     .ODIV2      (),
62     .CEB        (1'b0),
63     .I          (GTREFCLKIP_I[0]),
64     .IB         (GTREFCLKIN_I[0])
65 );

```

```

66 //
67 // Refclk connection from each IBUFDS to respective quads depending on the source selected in gui
68 //
69 assign gtreclk0_i[0] = refclk0_i[0];
70 assign gtreclk1_i[0] = refclk1_i[0];
71
72 //

```

```

78 // IBERT core instantiation 例化IBERT IP核
79
80 ibert_7series_gtx_0 u_ibert_core
81 (
82     .TXN_0(TXN_0),
83     .TXP_0(TXP_0),
84     .RXN_I(RXN_I),
85     .RXP_I(RXP_I),
86     .GIREFCLK0_I(gtrefclk0_i),
87     .GIREFCLK1_I(gtrefclk1_i)
88 );
89
90 endmodule

```

FPGA技术实战

图9、测试文件代码

```

set_property PACKAGE_PIN D13 [get_ports {sfp_disable[0]}]
set_property PACKAGE_PIN E12 [get_ports {sfp_disable[1]}]
set_property IOSTANDARD LVCMOS18 [get_ports {sfp_disable[*]}]

```

添加用户I/O约束
FPGA技术实战

图10、添加用户I/O约束

上述操作完成后，生成bit流文件，完成FPGA配置文件生成。

3.实物测试

3.1误码率测试

按照测试原理，我们将两路SFP+的光纤模块各自将其TX和RX短接。如图11所示。连接好硬件，将bit文件下载到硬件电路板，下载完成后，如图12所示。



图11、测试实物图

从图12中，可以看到，逻辑分析仪已经发现链接的两路收发器链路。

MGT_BANK_112

XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y12	AB3 MGTXRXP0_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y12	AA1 MGTXTXN0_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	AA2 MGTXTXP0_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	Y3 MGTXRXP1_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	Y4 MGTXTXN1_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	W1 MGTXTXP1_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	W2 MGTXTXN1_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	W2 MGTXTXP1_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	R5 MGTREFCLK0N_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	R6 MGTREFCLK0P_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	U5 MGTREFCLK1N_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y13	U6 MGTREFCLK1P_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y14	V3 MGTXRXP2_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y14	V4 MGTXTXN2_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y14	U1 MGTXTXP2_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y14	U2 MGTXTXN2_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y15	T3 MGTXRXP3_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y15	T4 MGTXTXN3_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y15	R1 MGTXTXP3_112
XC7Z35/XC7Z45-FBG676: GTXE2_CHANNEL_X0Y15	R2 MGTXTXN3_112

localhost (1) Connected

- xilinx_tcf/Digilent/2102498552... Open
- arm_dap_0 (0) N/A
- xc7z035_1 (2) Programmed
- XADC (System Monitor)
- IBERT (IBERT)
 - Quad_112 (5)
 - COMMON_X0Y3 Locked
 - MGT_X0Y12 No Link
 - MGT_X0Y13 No Link
 - MGT_X0Y14 1.250 Gbps
 - MGT_X0Y15 1.250 Gbps

FPGA技术实战

图12、下载完成后发现两路收发器链路

如图13、我们点击“Serial I/O Links”，如果未出现如图所示链路，右键“Refresh Serial I/O objects”。在图13中，可以看到出现很多Errors，此时，我们需要将IBERT进行复位，重新测试。复位之后，如图14所示，我们可以看到收发器串行链路稳定，未出现误码。

Tcl Console Messages Serial I/O Links x Serial I/O Scans								
Name	TX	RX	Status	Bits	Errors	BER	BERT Reset	TX Pattern
Ungrouped Links (0)								
Found Links (2)								
Found 0	MGT_X0Y14/TX	MGT_X0Y14/RX	1.250 Gbps	3.438...	6.546E6	1.904E-4	Reset	PRBS 7-bit
Found 1	MGT_X0Y15/TX	MGT_X0Y15/RX	1.250 Gbps	3.438...	7.701E6	2.24E-5	Reset	PRBS 7-bit

图13

图14中只显示了有链接的串行接口，未链接的MGT_X0Y12和MGT_X0Y13收发器未显示。

Tcl Console Messages Serial I/O Links x Serial I/O Scans								
Name	TX	RX	Status	Bits	Errors	BER	BERT Reset	TX Pattern
Ungrouped Links (0)								
Found Links (2)								
Found 0	MGT_X0Y14/TX	MGT_X0Y14/RX	1.250 Gbps	7.591...	0E0	1.317E...	Reset	PRBS 7-bit
Found 1	MGT_X0Y15/TX	MGT_X0Y15/RX	1.250 Gbps	7.359...	0E0	1.359E...	Reset	PRBS 7-bit

图14、复位IBERT之后的测试结果

3.2眼图测试

按照图15，选择需要查看眼图的链路，眼图参数可以使用默认参数，第一路收发器眼图测试结果如图16所示。第二路眼图扫描结果如图17所示。

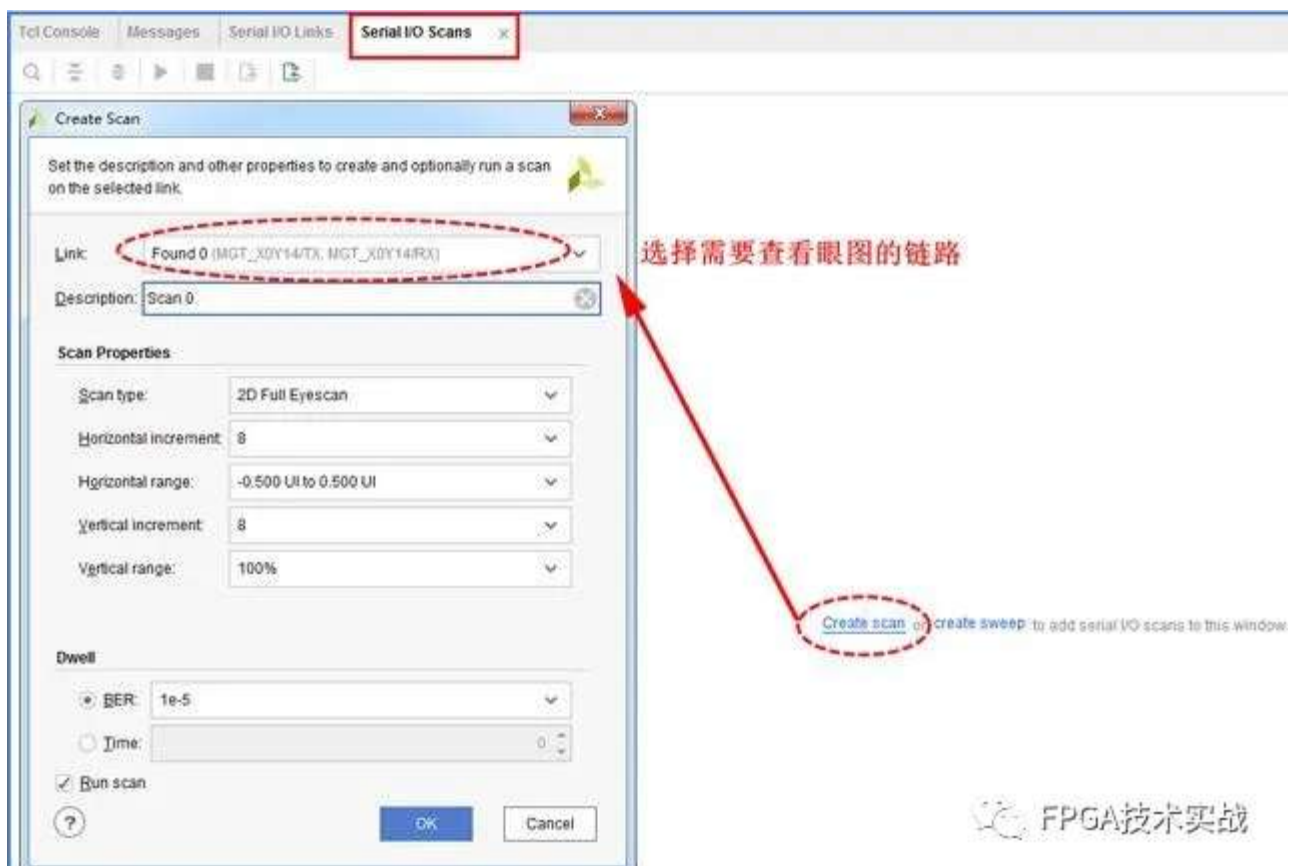


图15、收发器眼图设置

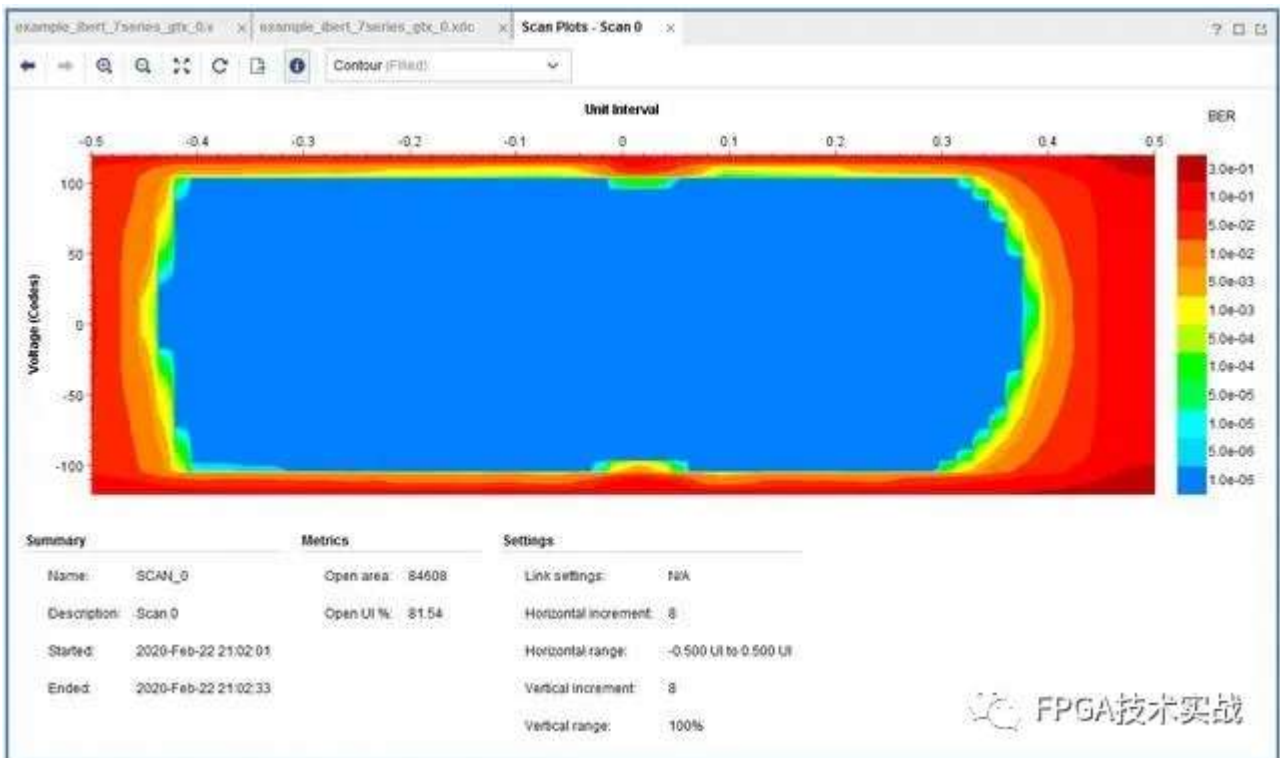


图16、第一路收发器眼图测试结果

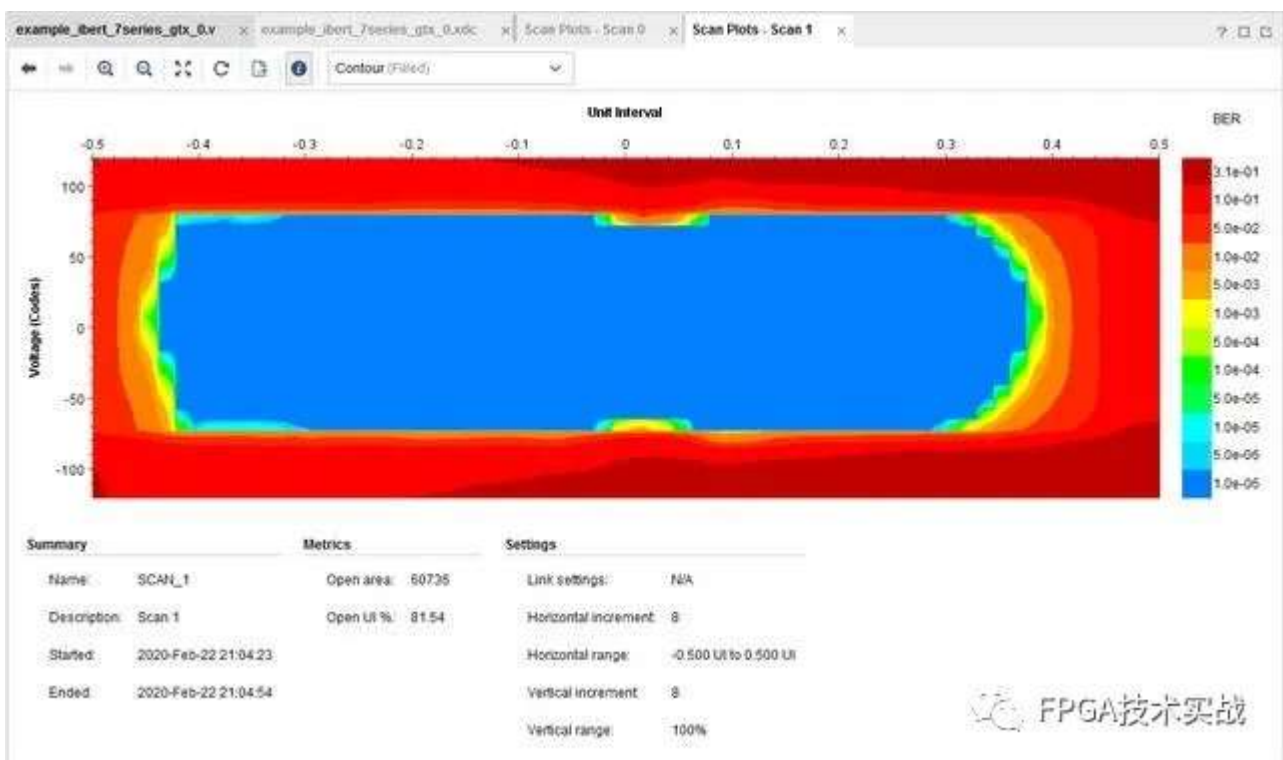


图17、第二路收发器眼图测试结果

如图18所示，我们可以通过修改收发器串行I/O参数，优化连接链路信号质量（眼图张开大小）。可以选择Loopback模式，进行所需要的回环测试。

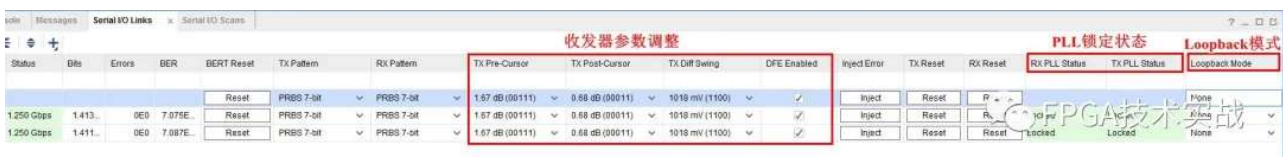


图18、收发器参数配置及测试模式选择（点击看大图）

图19为将Loopback模式选择为近端PMA测试结果，对比图16，可以看到图19比图16眼图更好，之所以更好，这是因为数据流只在FPGA内部进行回环，未经过外部光纤。从信号完整性角度来看，眼图中间蓝色区域越大，表明PCB板信号完整性越好。



图19、收发器近端PMA回环测试



欢迎关注FPGA技术实战公众号，持续更新原创！

声明：转载请声明来源公众号，作者等，欢迎转载，收藏



FPGA技术实战

“亲，意思意思就行了。”

喜欢作者

收录于话题 #Xilinx7系列收发器详解·20个

上一篇

Xilinx FPGA收发器参考时钟设计应用

下一篇

Xilinx 7系列FPGA收发器架构之接收器
(RX) (十一)

阅读 152

分享

收藏

赞 1

在看