

Xilinx 7系列FPGA收发器架构之发送器（TX）（九）

原创 FPGA技术实战 FPGA技术实战 2020-04-26

收录于话题

#Xilinx7系列收发器详解

20个

引言：本章继续介绍7系列FPGA收发器TX结构，通过本文可以学习以下内容：

- TX时钟输出控制结构
- TX配置驱动器结构

1.TX时钟输出控制结构

1.1概述

TX时钟分频器控制模块有两个主要的组件：串行时钟分频器控制模块和并行时钟分频器及选择器控制。图1给出了时钟分频器和选择器详细的结构。

1.2 串行时钟分频器

每个发送器PMA模块有一个D分频器，用来将PLL时钟分频为较低的线速率要求的时钟。该分频器可以用于设置为固定线速率或者动态线速率。静态（或固定）线速率和动态线速率配置如图2所示。

D 分频器	静态（或固定）线速率设置	动态线速率设置
1	TXOUT_DIV=1 TXRATE= 3'b000	TXOUT_DIV= 忽略 TXRATE= 3'b001
2	TXOUT_DIV=2 TXRATE= 3'b000	TXOUT_DIV= 忽略 TXRATE= 3'b010
4	TXOUT_DIV=4 TXRATE= 3'b000	TXOUT_DIV= 忽略 TXRATE= 3'b011
8	TXOUT_DIV=8 TXRATE= 3'b000	TXOUT_DIV= 忽略 TXRATE= 3'b100
16	TXOUT_DIV=16 TXRATE= 3'b000	TXOUT_DIV= 忽略 TXRATE= 3'b101

图2、静态（或固定）线速率和动态线速率配置

1.3 并行时钟分频器和选择器

从TX时钟分频器模块输出的并行时钟可以用于FPGA逻辑时钟，Xilinx推荐的FPGA逻辑时钟为TXOUTCLK（该时钟应用方案在第（六）篇有介绍）或者使用MGTREFCLK管脚输入时钟直接作为FPGA逻辑资源时钟。TX时钟输出控制端口定义如图3所示。

端口	方向	时钟域	描述
TXOUTCLKSEL[2:0]	input	异步	该端口控制复用器选择： 3'b000: 静态 1 3'b001: TXOUTCLKPCS 路径 3'b010: TXOUTCLKPMA 路径 3'b011: TXPLLREFCLK_DIV1 路径 3'b100: TXPLLREFCLK_DIV2 路径 其他: 预留
TXRATE[2:0]	input	TXUSRCLK2	该端口动态控制 TX 串行时钟分频器 D，并和 TXOUT_DIV 属性配合使用。 3'b000: 使用 TXOUT_DIV 值 3'b001: 设置 D 分频器值为 1 3'b010: 设置 D 分频器值为 2 3'b011: 设置 D 分频器值为 4 3'b100: 设置 D 分频器值为 8 3'b101: 设置 D 分频器值为 16
TXOUTCLKFABRIC	output	时钟	预留输出，用于测试。
TXOUTCLK	output	时钟	TXOUTCLK 为推荐的 FPGA 逻辑时钟。
TXOUTCLKPCS	output	时钟	冗余输出时钟。
TXRATEDONE	output	TXUSRCLK2	高电平用于指示 TXRATE 改变完成。
TXDLYBYPASS	input	异步	TX 延迟对齐旁路： 0: 使用 TX 延迟对齐电路，当 TX Buffer 旁路时设置为 0； 1: 旁路 TX 延迟对齐电路，当 TX Buffer 使用时；

图3、TX时钟输出控制端口定义

2.TX配置驱动器

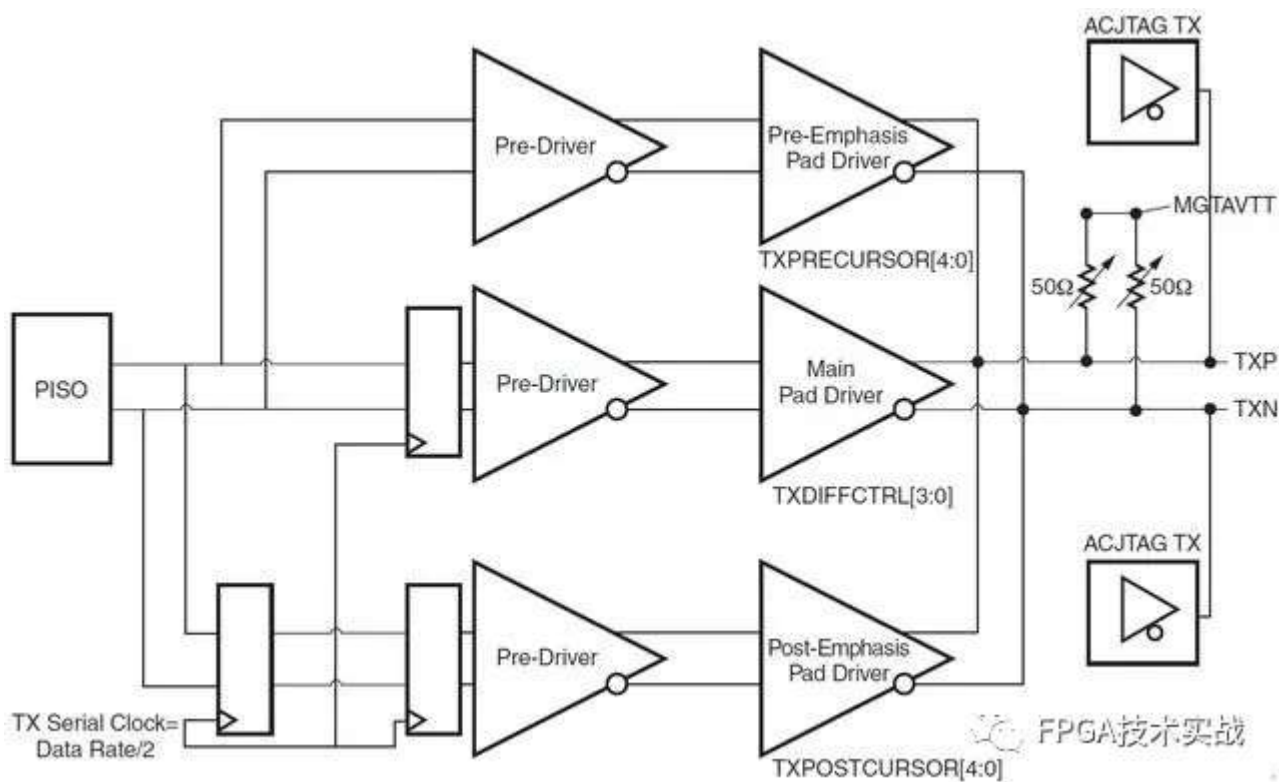


图4、TX配置驱动器模块

GTX/GTH收发器的TX驱动器是一个高速电流模式差分输出缓冲器。为了最大信号完整性，它包括以下特性：

- 差分电压控制
- Pre-cursor和Post-cursor发送器预加重
- 校准端接电阻

TX配置驱动器端口如图5所示。

端口	方向	时钟域	描述																																		
TXBUFDIFFCTRL[2:0]	input	TXUSRCLK2	Pre-driver 摆幅控制，默认 3'b100（正常值），不要修改此值。																																		
TXDEEMPH	input	TXUSRCLK2	TX PCIe 去加重控制接口。																																		
TXDIFFCLRL[3:0]	input	异步	驱动器摆幅控制。 <table><tr><th>[3:0]</th><th>VPPD</th></tr><tr><td>4'b0000</td><td>0.269</td></tr><tr><td>4'b0001</td><td>0.336</td></tr><tr><td>4'b0010</td><td>0.407</td></tr><tr><td>4'b0011</td><td>0.474</td></tr><tr><td>4'b0100</td><td>0.543</td></tr><tr><td>4'b0101</td><td>0.609</td></tr><tr><td>4'b0110</td><td>0.677</td></tr><tr><td>4'b0111</td><td>0.741</td></tr><tr><td>4'b1000</td><td>0.807</td></tr><tr><td>4'b1001</td><td>0.866</td></tr><tr><td>4'b1010</td><td>0.924</td></tr><tr><td>4'b1011</td><td>0.973</td></tr><tr><td>4'b1100</td><td>1.018</td></tr><tr><td>4'b1101</td><td>1.056</td></tr><tr><td>4'b1110</td><td>1.092</td></tr><tr><td>4'b1111</td><td>1.119</td></tr></table>	[3:0]	VPPD	4'b0000	0.269	4'b0001	0.336	4'b0010	0.407	4'b0011	0.474	4'b0100	0.543	4'b0101	0.609	4'b0110	0.677	4'b0111	0.741	4'b1000	0.807	4'b1001	0.866	4'b1010	0.924	4'b1011	0.973	4'b1100	1.018	4'b1101	1.056	4'b1110	1.092	4'b1111	1.119
[3:0]	VPPD																																				
4'b0000	0.269																																				
4'b0001	0.336																																				
4'b0010	0.407																																				
4'b0011	0.474																																				
4'b0100	0.543																																				
4'b0101	0.609																																				
4'b0110	0.677																																				
4'b0111	0.741																																				
4'b1000	0.807																																				
4'b1001	0.866																																				
4'b1010	0.924																																				
4'b1011	0.973																																				
4'b1100	1.018																																				
4'b1101	1.056																																				
4'b1110	1.092																																				
4'b1111	1.119																																				
TXELECIDLE	input	TXUSRCLK2	高电平，将 MGTXTXP/MGTHTXP 和 MGTXTXN/MGTHTXN 强制为共模模式，产生电气初始化信号。																																		
TXINHIBIT	input	TXUSRCLK2	高电平时，该信号模块发送 TXDATA，强制 MGTXTXP/MGTHTXP 为 0，MGTXTXN/MGTHTXN 为 1。																																		
TXMAINCURSOR[6:0]	input	异步	允许直接设置 main cursor 系数。																																		
TXMARGIN[2:0]	input	异步	PCIe 接口 TX 余量控制。																																		
TXQPIBIASEN	input	异步	使能到 GND 偏置 TX 输出																																		
TXQPISENN	output	异步	检测 MGTXTXN/GTHTXN 输出																																		
TXQPISENP	output	异步	检测 MGTXTXP/GTHTXP 输出																																		
TXQPISTRONGPDOWN	input	异步	强制 TX 输出到 GND																																		
TXQPIWEAKPUP	input	异步	TX 输出弱上拉到 MGTAVTT																																		
TXPOSTCURSOR[4:0]	input	异步	发送器 post-cursor TX 预加重控制																																		
TXPOSTCURSORINV	input	异步	1: 翻转 TXPOSTCURSOR 系数极性																																		
TXPRECURSOR[4:0]	input	异步	发送器 pre-cursor TX 预加重控制																																		
TXPRECURSORINV	input	异步	1: 翻转 TXPRECURSOR 系数极性																																		
MGTXTXP/MGTHTXP MGTXTXN/MGTHTXN	output	TX 串行时钟	收发器发送管脚																																		
TXSWING	input	异步	PCIe 接口摆幅控制。 0: 满摆幅 1: 低摆幅																																		
TXDIFFD	input	异步	预留																																		
TXPISOPD	input	预留	预留																																		

图5、TX配置驱动器端口

延伸阅读：Xilinx 7系列FPGA收发器架构之发送器（TX）（八）



欢迎关注FPGA技术实战公众号，持续更新原创！

收录于话题 #Xilinx7系列收发器详解·20个

上一篇

Xilinx 7系列FPGA收发器架构之接收器
(RX) (十)

下一篇

Xilinx 7系列FPGA收发器架构之发送器
(TX) (八)

阅读 76

分享

收藏

赞

在看 1