

Esercizio 2: Verilog

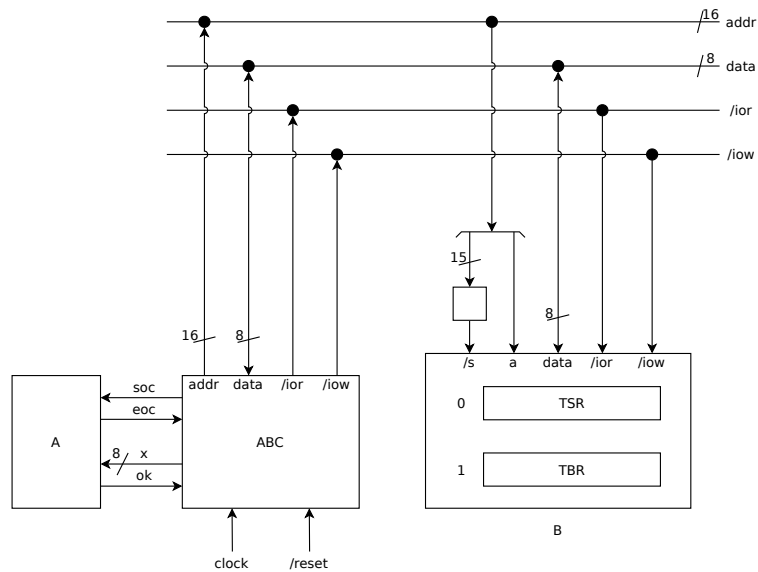


Figura 1: Schema del sistema

L'unità A è una rete tester, che verifica la conformità del byte `x` che gli viene fornito (e che campiona al fronte in salita di `soc`) e mette `ok` a 1 a seconda che il byte `x` abbia passato o meno il suddetto test. La rete ABC colloquia ciclicamente con A finché non trova un byte `x` che superi il test (si assuma che ce ne sia solo uno). Quando lo ha trovato, lo trasferisce all'interfaccia parallela di uscita B, montata all'indirizzo `'h0ABC`; poi si ferma fino al nuovo reset.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Il file `testbench.v` è al link: <https://tinyurl.com/yckkffyy>