

Esercizio 2: Verilog

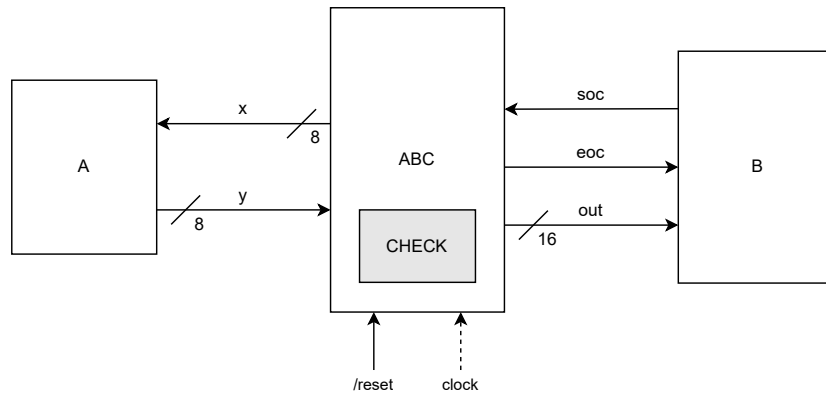


Figura 1: Schema del sistema

Il modulo ABC, come da schema in Figura 1, è connesso ad una rete combinatoria A e a un consumatore B. Dato l'input x , sia y il valore corrispondente nella tabella di verità di A. Ciclicamente, e su richiesta di B, ABC cerca la prossima coppia $\{x, y\}$ tale che $x \cdot y \geq 0xABBA$, ed invia quindi tale coppia a B.

Note:

- Si cominci la ricerca da $x = 0$, incrementando di volta in volta
- Due output consecutivi di ABC devono essere distinti

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima. Non è consentito l'uso di microsalti a più di due vie o del registro MJR. Sintetizzare come modulo a parte la rete combinatoria CHECK utilizzata per la verifica della condizione, utilizzando le reti combinatorie fornite nel file `reti_standard.v`. I file `testbench.v` e `reti_standard.v` sono forniti al link: <https://tinyurl.com/46t3m2xn>