

Esercizio 2: Verilog

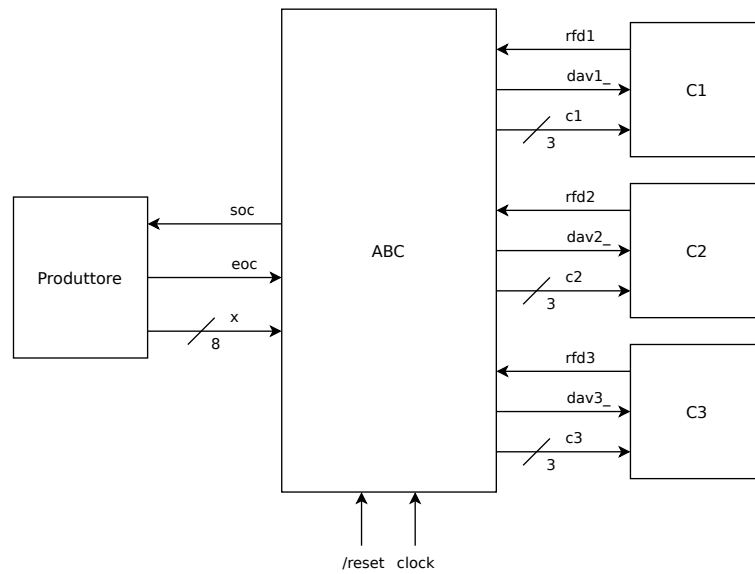


Figura 1: Schema del sistema

L'Unità ABC che compie ciclicamente le seguenti operazioni:

1. Preleva dal produttore P un nuovo dato x
2. Esamina x calcolando il numero di bit 1 di posto pari.
3. Invia il risultato della elaborazione ai consumatori

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Nota: si ricorda che la posizione di un bit è uguale all'indice i , 0-based, che si utilizza per accedervi usando la sintassi vettoriale $x[i]$. Si ricorda altresì che tale posizione è pari se $i/2$ dà resto 0.

Il file testbench.v è al link: <https://tinyurl.com/kza9n8xu>