

Esercizio 2: Verilog

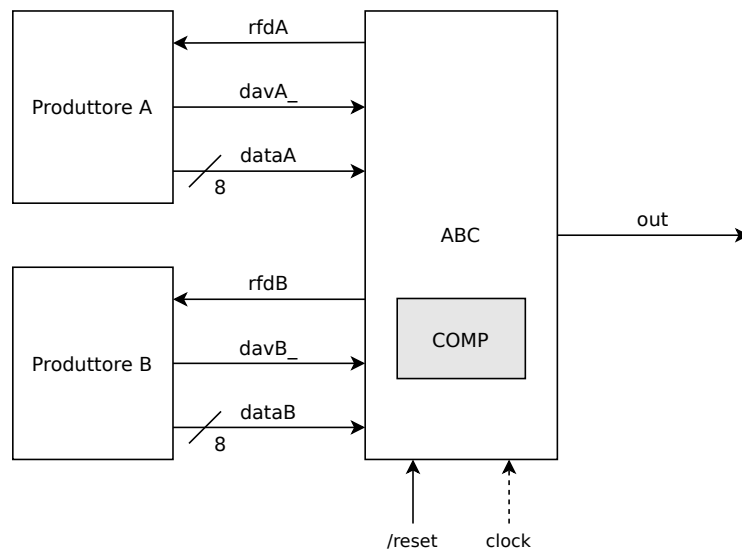


Figura 1: Schema del sistema

Il modulo ABC in Figura 1, ciclicamente

- Preleva due byte dataA e dataB dai produttori A e B
- Li interpreta come rappresentazioni di numeri naturali su 8 bit, rispettivamente come a e b
- Pone l'uscita out a 1 per esattamente 12 cicli di clock se $b \geq a$, altrimenti per esattamente 6 cicli di clock.

Nota: non si faccia alcuna ipotesi sui tempi di risposta dei due produttori.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo. Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria COMP utilizzata per la comparazione. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file reti_standard.v