

## Esercizio 2: Verilog

L'Unità ABC in fig. 1 preleva ciclicamente quattro campioni delle tensioni v1, v2, v3 e v4 tramite quattro convertitori A/D unipolari e trasferisce al consumatore la media di questi, calcolata arrotondando verso l'intero più basso.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria MEDIA\_4 utilizzata per calcolare la media fra quattro valori. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file reti\_standard.v.

Nota: non si faccia alcuna ipotesi sui tempi di risposta dei quattro convertitori.

I file testbench.v e reti\_standard.v sono al link: <https://tinyurl.com/ysph5u56>

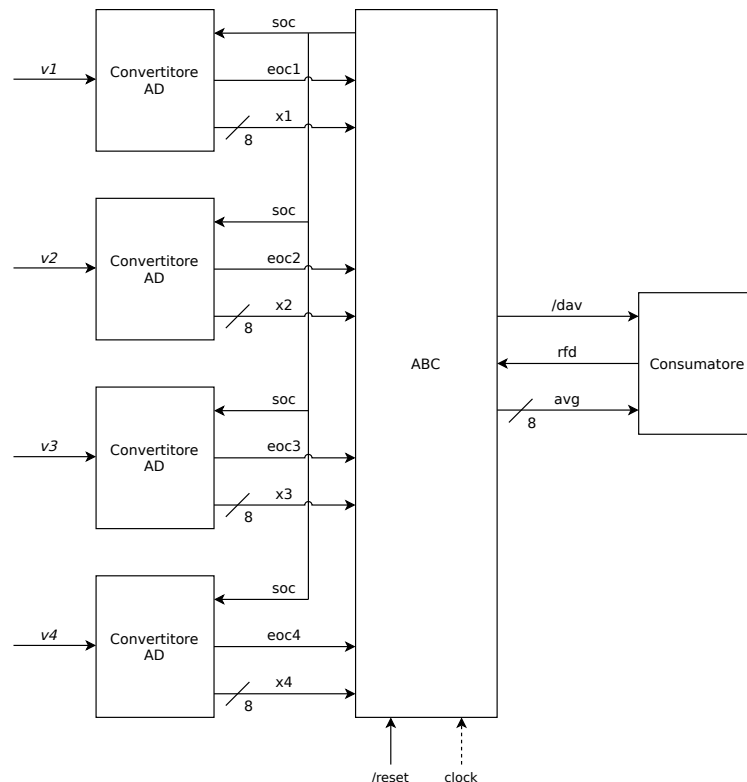


Figura 1: Schema del sistema