

# Computer-Aided Design for VLSI Design

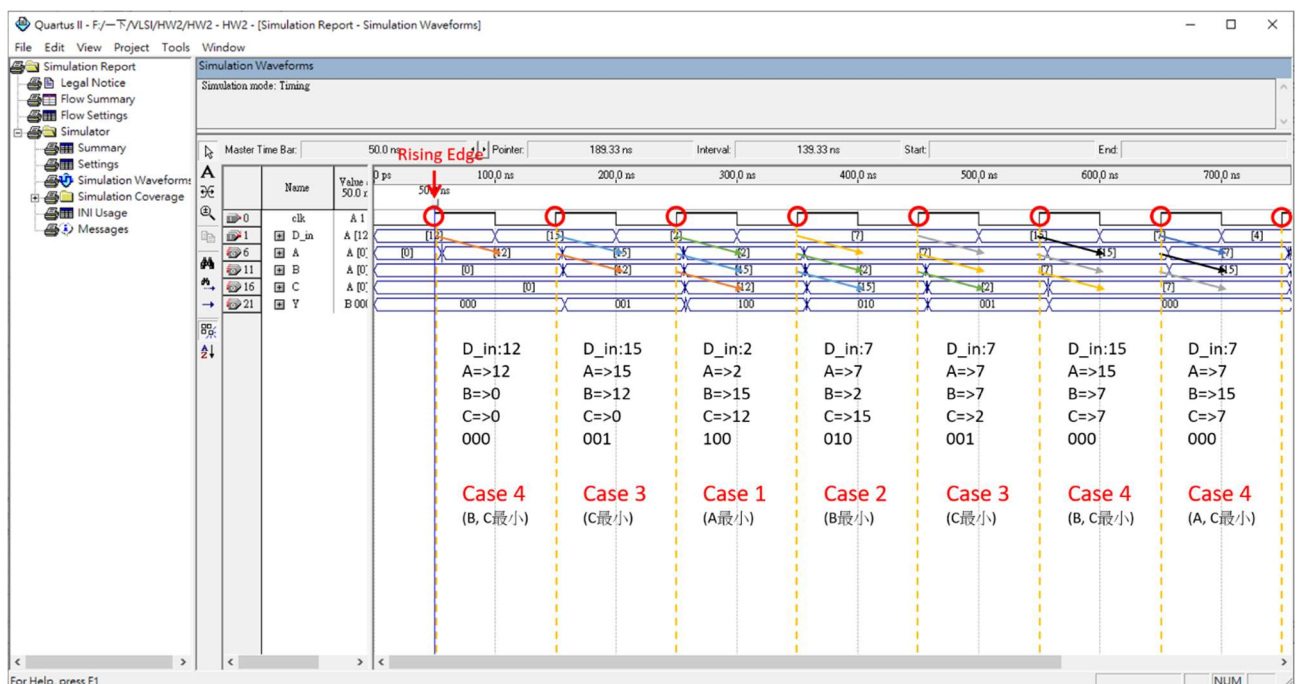
Homework2 ( Student ID: 61047046S | Name: 林宣佑 )

## 1. Provide a simple explanation of your code.

這次的作業使用 2 個 input port：clk、D\_in；4 個 output port：Y、A、B、C。我使用 3 個 std\_logic\_vector 實作 shift register 的功能，並採用 ieee.std\_logic\_1164.all 函式庫中的 rising\_edge 進行 clk 的判斷，當 rising\_edge(clk)為 True 時，將 D\_in 的值傳遞給 Reg\_0 並依此類推進行位移。

接下來將作業一的程式引用為 HW1 的 component，並將 shift register 的值分別 mapping 至 HW1 的輸入 A、B、C 中，並將 HW1 的輸出 A\_min、B\_min、C\_min 合成為 std\_logic\_vector(3 downto 0)傳入 Y 中作為最後輸出。

## 2. Waveform diagram here (Simulation Results)



### 3. Reflections and discussions

作業二主要使用到 component 元件以及 shift register 的概念，相較於第一次作業較為複雜。使用作業一的成果作為 component 引入讓作業之間有相互連貫，讓我有一步一步建立專案的成就感，且對 Quartus II 的操作以及 VHDL 的撰寫方式又更為熟悉一些。

在此次實驗中可觀察到傳遞的時間點確實是在 clk 升起動作開始後才會進行傳遞，D\_in 的輸入值沿著斜直箭頭依序傳入暫存器中，而 Y 的計算也是經過稍微延遲才會產出，是跟作業一觀察到一樣的現象。

附圖為產生出的 RTL 電路圖：

