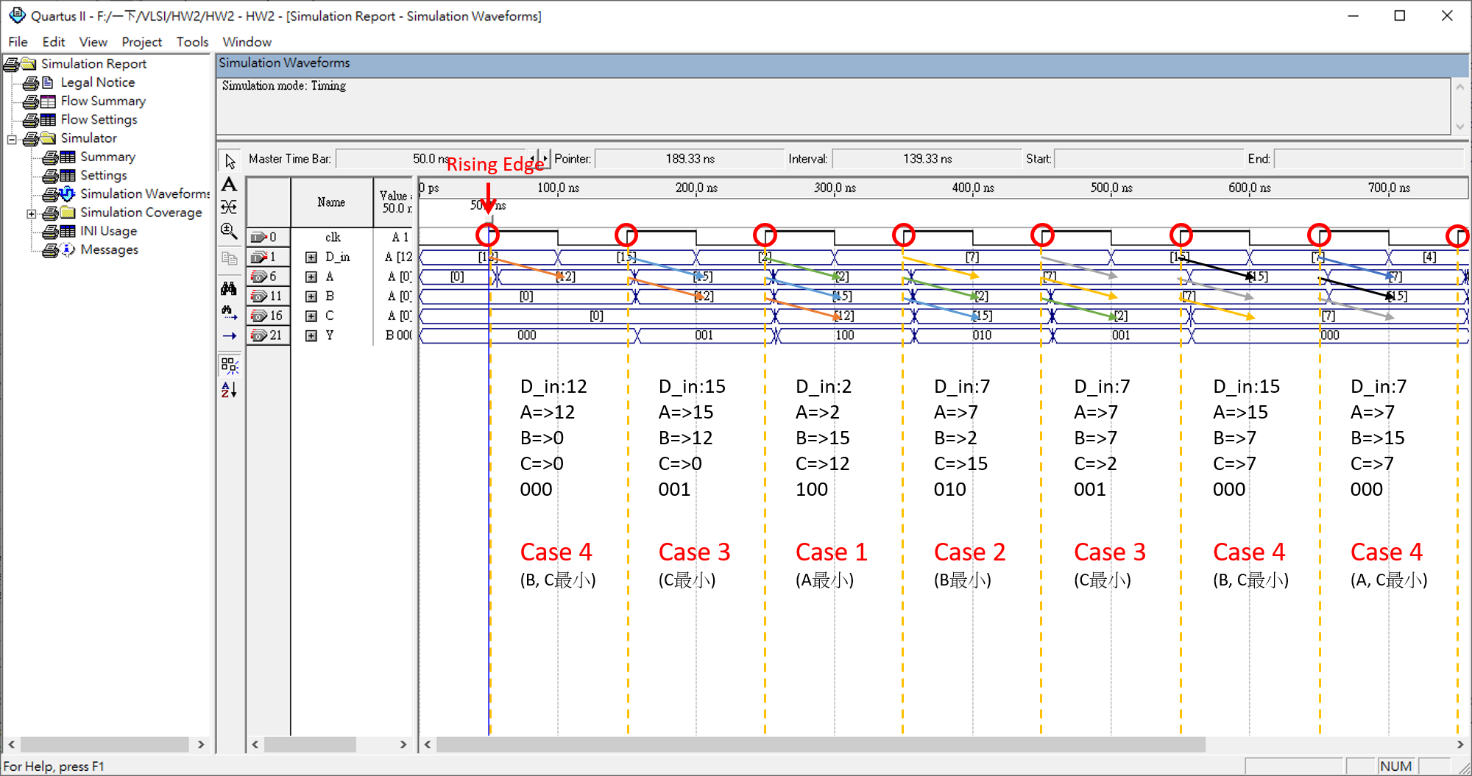
|  |
| --- |
| **Computer-Aided Design for VLSI Design** |
| Homework2（Student ID: 61047046S｜Name: 林宣佑） |

1. Provide a simple explanation of your code.

這次的作業使用2個input port：clk、D\_in；4個output port：Y、A、B、C。我使用3個std\_logic\_vector實作shift register的功能，並採用ieee.std\_logic\_1164.all函式庫中的rising\_edge進行clk的判斷，當rising\_edge(clk)為True時，將D\_in的值傳遞給Reg\_0並依此類推進行位移。

接下來將作業一的程式引用為HW1的compoment，並將shift register的值分別mapping至HW1的輸入A、B、C中，並將HW1的輸出A\_min、B\_min、C\_min合成為std\_logic\_vector(3 downto 0)傳入Y中作為最後輸出。

1. Waveform diagram here (Simulation Results)



1. Reflections and discussions

作業二主要使用到compoment元件以及shift register的概念，相較於第一次作業較為複雜。使用作業一的成果作為compoment引入讓作業之間有相互連貫，讓我有一步一步建立專案的成就感，且對Quartus II的操作以及VHDL的撰寫方式又更為熟悉一些。

在此次實驗中可觀察到傳遞的時間點確實是在clk升起動作開始後才會進行傳遞，D\_in的輸入值沿著斜直箭頭依序傳入暫存器中，而Y的計算也是經過稍微延遲才會產出，是跟作業一觀察到一樣的現象。

附圖為產生出的RTL電路圖：

