

## ITU-T G.729 算法及其实时实现

· 算法实现 ·

李淑红, 黄献波

(河南财经学院 计算机科学系, 河南 郑州 450002)

【摘 要】在介绍 G.729 编解码算法原理和 TMS320C541 定点 DSP 芯片的基础上, 详细讨论了 G.729 编解码算法在 TMS320C541 上实时实现的关键技术。实验结果表明, 单片 TMS320C541 能够实时实现 G.729 语音编解码算法。

【关键词】语音编码; 线性预测; 矢量量化; TMS320C541

【中图分类号】TN912.32

【文献标识码】B

## The Algorithm of ITU-T G.729 And Its Real-time Implementation

LI Shu-hong, HUANG Xian-bo

(Department of Computer Science, Henan University of Finance &amp; Economics, Zhengzhou, 450002, China)

【Abstract】Based on the introduction of the G.729 coding algorithm and the fixed-point digital signal processor TMS320C541, the key technologies of the real time implementation on TMS320C541 are discussed in details. The result of experiments demonstrate that based on single TMS320C541, the G.729 coding algorithm can be implemented real time.

【Key words】speech coding; linear prediction; vector quantization; TMS320C541

## 1 引言

在数字蜂窝移动通信和网上多媒体通信系统中, 语音压缩编码是提高系统频率利用率和通信容量、降低误码率、实现高质量语音通信的关键。国际电信联盟 (ITU) 于 1996 年 3 月推出了建议 G.729, 即共轭结构的算术码本激励线性预测 (CS-ACELP) 编码方案, 将 64 Kb/s 的 PCM 信号压缩到 8 Kb/s, 是一种性能较好的语音压缩国际标准。由于 G.729 编解码器具有很高的语音质量和很低的延时, 而且在有随机比特误码、发生帧丢失和多次转接等情况下有很好的稳定性, 被广泛应用在数据通信的各个领域。

## 2 G.729 语音编解码算法原理

## 2.1 编码器

图 1 为 G.729 语音编码器的原理框图。电话线路上的模拟语音信号, 经话路带宽滤波和 8 kHz 采样后, 量化成 16 bit 线性 PCM 数字信号进入编码器。编码器对每 10 ms 的语音帧进行一次线性预测 (LP) 分析, 计算 LP 滤波器的系数。把 LP 系数转换成线谱对参数 (LSP), 对 LSP 进行二级矢量量化 (VQ)。然后使用分析合成 (A-B-S) 法, 按照合成信号和原始信号间的感觉加权失真最小准则来提取激励参数。

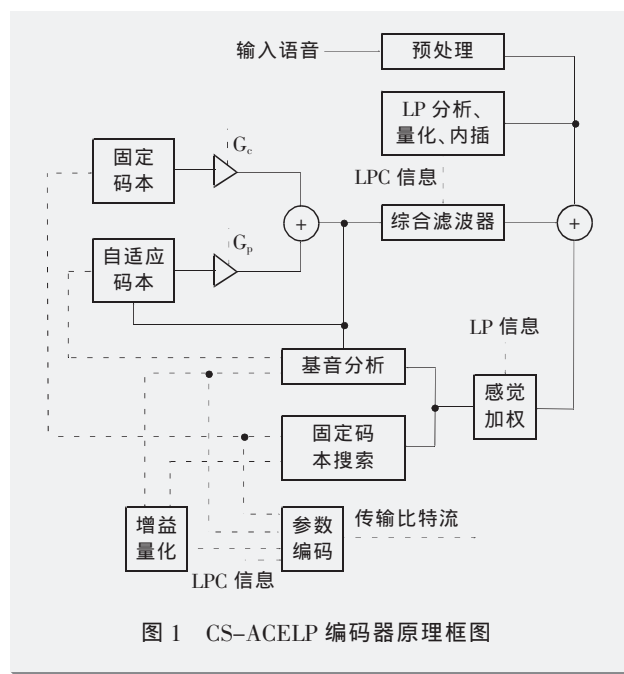


图 1 CS-ACELP 编码器原理框图

激励参数 (固定码本和自适应码本参数) 每 5 ms 子帧 (40 个样点) 计算一次。LP 系数用于第二子帧, 而第一子帧使用内插的 LP 系数。每帧利用感觉加权信号进行一次开环基音延迟的估计, 然后进行闭环基音分析, 确定自适应码本的延迟和增益。接着进行固定码本搜索, 以找到最佳激励。固定码本是一种代数码本结

构,使用交织单脉冲排列设计。

CS-ACELP 8 Kb/s 算法每帧语音(10 ms)参数用 80 bit 进行编码,分配情况如表 1 所示。

表 1 CS-ACELP 8 Kb/s 算法每帧语音参数 bit 分配表

参数	码字	第一子帧	第二子帧	每帧总计
线谱对(LSP)	L0 L1 L2 L3			18
自适应码本延迟	P1 P2	8	5	13
基音延迟校验位	P0	1		1
固定码本序号	C1 C2	13	13	26
固定码本符号	S1 S2	4	4	8
一级码本增益	GA1 GA2	3	3	6
二级码本增益	GB1 GB2	4	4	8
总计				80

## 2.2 解码器

图 2 是 G.729 解码器原理框图。主要由参数解码和后滤波处理构成。G.729 的解码亦按帧进行,对符合 G.729 标准的码流进行解码,得到相应的参数,根据语音产生的激励合成语音。

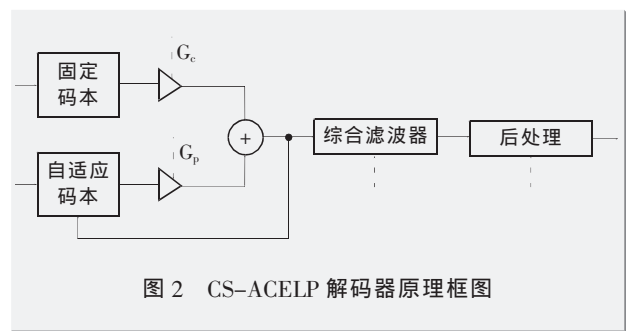


图 2 CS-ACELP 解码器原理框图

### (1) 参数解码

首先解码得到线谱对参数,将线谱对参数转换为线性预测系数。然后解码出基音周期,获得自适应码本矢量  $\mathbf{u}(n)$ 。解码出固定码本矢量的 4 个脉冲的位置和符号,计算出固定码本矢量  $\mathbf{a}(n)$ 。解码出固定码本预测增益  $\hat{g}_c$  以及自适应码本增益  $\hat{g}_p$ ,接着得到激励信号  $\mathbf{u}(n) = \hat{g}_p \mathbf{u}(n) + \hat{g}_c \mathbf{a}(n) \quad n=0 \dots 39$ 。最后将激励信号  $\mathbf{u}(n)$  输入到线性预测合成滤波器中,计算出重构语音  $\hat{s}(n)$ 。

### (2) 后滤波处理

后滤波处理主要是自适应后滤波。自适应后滤波器是由长时后滤波器、短时后滤波器、频谱倾斜补偿滤波器 3 个滤波器级联而成,后面接着进行一个自适应增益控制过程。后置滤波器的系数每一个子帧更新一次。后滤波能够有效地改善合成的语音质量。

## 3 TMS320C541 定点数字处理芯片简介

笔者选用 TMS320C541(以下简称 C541)来实时实现 G.729 语音编解码算法。

### 3.1 C541 的硬件结构

#### (1) CPU

采用了改进型哈佛结构,有 1 根程序总线、3 根数据总线和 4 根地址总线,增强了芯片性能和通用性。且具有 40 bit 算术逻辑单元(ALU)、17 bit 并行乘法器与一个专用 40 bit 加法器联合以执行单指令周期乘/加操作;具有用于微特比(Viterbi)操作加/比较选择的比较、选择存储单元(CSSU)、2 个地址发生器,包括 8 个辅助寄存器和 2 个辅助寄存器算术单元;具有指数编码器以计算 40 bit 累加器中数值的指数部分。

#### (2) 存储空间

C541 具有 192 KB 可寻址存储空间,包括 64 KB 程序存储器、64 KB 数据存储器 and 64 KBI/O 存储器;另外还有 28 KB 单口片内 ROM,其中 8 KB 既可为程序空间,也可数据空间;5 KB 双口片内 RAM。

#### (3) 外围设备

C541 的外围设备包括 1 个 16 bit 的时钟发生器、2 个全双工串口可支持 8 bit 或 16 bit 的数据传输和软件可编程等待状态发生器、片内锁相环时钟发生器及外部总线断开控制等。

### 3.2 C541 的软件资源

#### (1) 丰富的指令

C541 的指令集共有 50 多条指令,大部分是单周期的,可完成数据传输、算术逻辑运算和程序控制等功能。指令支持 8/16/32 bit 数据存取,给不同的数据操作带来了方便。此外,在 C54x 指令组中有一些专用的指令,如 FIRS、LMS 及 SQDST 等,充分利用这些指令可以极大地方便信号处理运算,提高程序的效率。

#### (2) 灵活的寻址方式

C541 支持多种寻址方式,如寄存器寻址、直接寻址、短立即数寻址、长立即数寻址和相对寻址。此外,还提供循环寻址,用于相关和卷积运算的存储器寻址。

## 4 G.729 在 TMS320C541 上的实时实现

### 4.1 硬件结构

笔者采用了 TI 公司的 TMS320C541 EVM 板。它是 PC/AT 插入式半长板,板上配有一片 C541,128 KB 的快速静态 RAM(SRAM)和一个 TLC320AC01 模拟接口芯片。EVM 板通过 ISA 总线和 PC 机相连,启动时由

PC 机将程序装入 C541 的片内存储空间,在 C541 全速运行时,PC 机可查询其运行状态,读取压缩后的 G.729 码流,或送入待解码的 G.729 码流。串口 1 接 TLC320AC01,进行 A/D 和 D/A 变换,用以接收和发送模拟信号,图 3 是实时实现的示意图。

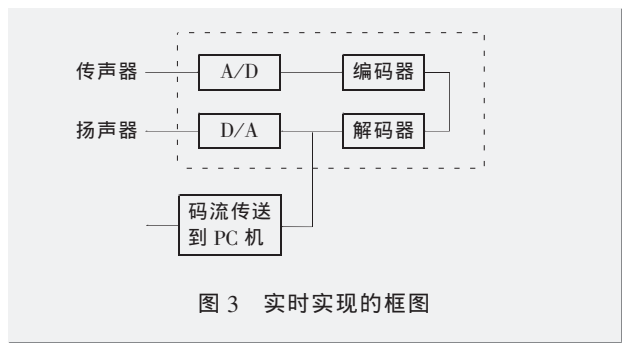


图 3 实时实现的框图

## 4.2 软件开发

编解码软件采用定点算法,用 TMS320C541 汇编语言编写完成。在编程中,注意了以下几点:

### (1) 多缓冲区的使用

由于 C541 只提供标准串行口,在设计软件时设置了 4 个相连的等长(80 字长)缓冲区 A、B、C 和 D。初始化时,缓冲区 A、B 及 C 的前 40 个字置 0,并读入 40 个语音样点到 C 区的后 40 个位置,然后启动程序开始处理第一帧语音信号(全零),同时读语音信号到缓冲区 D。缓冲区 D 读满后,指针自动转到缓冲区 A 继续读入语音数据,这时程序处理 B、C、D 3 个区中的数据。缓冲区 A 读满后,指针自动转到缓冲区 B 继续读入语音数据,这时程序处理 C、D、A 3 个区中的数据。缓冲区 B 读满后,指针自动转到缓冲区 C 继续读入语音数据,这时程序处理 D、A、B 3 个区中的数据。缓冲区 C 读满后,指针自动转到缓冲区 D 继续读入语音数据,这时程序处理 A、B、C 3 个区中的数据。如此循环往复,直到语音文件处理完毕。

以上操作充分利用了 TMS320C54x 的循环寻址方式和块操作指令,从而缩短了程序的运行时间,保证在一帧语音数据读入的 10 ms 间隔内,程序完成对 1 帧数据的处理。

### (2) 数据精度的处理

由于 TMS320C541 是 16 bit 定点数字信号处理器,为实现浮点运算,必须用定点数来表示浮点数,这样尽管提高了速度,却很可能导致运算精度不够。在程序设计过程中,对于精度过高的地方,采用将计算的中间变量变为长操作数来表示的方法,即将其用 32 bit

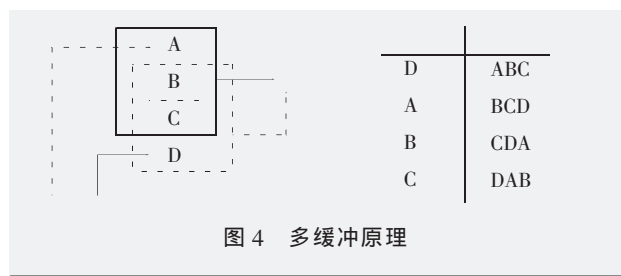


图 4 多缓冲原理

表示,这对提高计算精度非常有效。另外,适当地利用四舍五入指令,也可以在一定程度上提高计算精度。

### (3) 存储空间的分配

充分利用片内存储器。C541 片内存储器包括 5 KB 双口 RAM 和 28 KB 的单口 ROM。因此在分配存储空间时,依据 C541 片内存储空间的组织把程序代码和码本及系数表放到片内 ROM 中,而把数据放到 RAM 里,从而提高程序性能。

### (4) 溢出处理

除了判断溢出位外,主要是根据具体的运算,确定数值的范围,保证在计算过程中不发生溢出。因为语音信号幅度变化不大,所以对于语音信号处理并不困难。

## 4.3 实验结果

表 2 为 G.729 语音编解码算法在定点数字处理芯片 TMS320C541 上实时实现时所需的计算量和内存占用状况。从表中可见,G.729 算法实现编码需 20.4 MCps,解码需 10.3 MCps,程序空间和数据空间分别占用 25.6 KB 和 3.2 KB。由于 TMS320C541 的处理速度为 40 MIps,片内有 5 KBRAM 和 28 KBROM,因此单片 C541 可完成全部的编解码功能。

表 2 G.729 编解码复杂度分析

编码复杂度	解码复杂度	程序空间(包括码本)	数据空间
20.4 MCps	10.3 MCps	25.6 KB	3.2 KB

对 G.729 编解码器还进行了实时语音处理性能实验。男声、女声、音乐等多种音源输入的实验表明,系统具有良好的适应性。非正式试听测试,恢复语音保留了较好的讲话人特征,具有较高的自然度和可懂度。

综上所述,ITU-T G.729 标准是 ITU-T 的 8 Kb/s 语音编解码协议,具有低延迟、高质量的特点,在公众通信网中有着广泛的应用。笔者在新型 TMS320C541 定点 DSP 芯片上设计了基于 G.729 的实时语音编解码系统。系统构造简单,运行效率高,单片 C541 即可实时实现 G.729 语音编解码。

(下转第 26 页)

应中断的,否则会出现错误,在调试的过程中可在指令后加空操作指令来避开。

### 3.4 存储单元分配

对系统来说,可用的存储单元包括 TMS320VC33 片上 RAM 共 34 K、外部高速 RAM 和用于存储固化程序的外部 FLASH。其中在系统上电复位时,FLASH 中的程序和数据通过 TMS320VC33 内部固化的引导程序 (BOOT) 搬移至内部高速 RAM 中,实现全速运行。表 1 是存储单元分配的方案。

表 1 存储单元分配

地址	内容
0H-0FFFH	片内固化的 Boot 程序代码空间
1000H-1FFFFH	外部 RAM 程序、数据存储单元
400000H-47FFFFH	外部 FLASH 固化程序、数据存储单元
800000H-803FFFFH	内部 RAM2 数据空间
804000H-807FFFFH	内部 RAM3 程序空间
808000H-8097FFFH	控制寄存器的存储映射单元
809800H-809BFFFH	内部 RAM0 语音帧数据缓冲和中间结果暂存
809C00H-809FC0H	内部 RAM 中间结果暂存
809FC1H-809FFFFH	中断矢量和陷阱设置单元
其它空间	保留

数据采集是由内部 DMA 管理,采集到的数据存储在内 RAM 块中,数据总线和地址总线与 CPU 分开,这样在读取数据时不会发生冲突,可与 CPU 并行工作。TMS320VC33 片内集成了 34 K 的 RAM 空间,由于

工艺的优势,读取速度要比片外 RAM 快,因此应尽可能地吧常用的数据和中间结果放在片内 RAM 中,有利于提高速度。还应注意的在片内 RAM 块的最后部分设置了中断矢量、陷阱矢量的专用单元,在系统初始化时,应保证这 63 字的空间为空,在运行过程中,也应避免误写这些单元,否则可能破坏程序运行。

### 3.5 实时计算要求

由于采用了 1/2 帧长的帧间叠接,因此需在 1/2 帧长内(16 ms)完成所有运算。经测试算法实际使用时间为:VAD 为 0.1 ms,FFT 为 0.25 ms,IFFT 为 0.36 ms,其它为 1.69 ms,合计为 2.4 ms,可见采用 TMS320VC33 能满足实时运算要求。

## 4 结束语

基于 TMS320VC33 实时实现的谱减语音增强算法,可用于语音编码、语音识别等语音数字处理系统。

### 参考文献

- [1] Boll S.F.. Suppression of Acoustics Noise in Speech Using Spectral Subtraction. ASSP-27 2,1979(4):113-121.
- [2] Davídek, V., Sovka, P. Real-Time Implementation of Spectral Subtraction Algorithm for Suppression of Acoustic Noise in Speech. In: proc. of EUROSPEECH'95, Madrid,1995-09,141-144.
- [3] TMS320C3X User's Guide,1994.

### 作者简介

王瑜,博士研究生,研究方向:无线局域网技术。

[收稿日期] 2003-10-15

(上接第 23 页)

### 参考文献

- [1] ITU-T Recommendation G.729. Coding of Speech At 8 kbit/s Using Conjugate-Structure Algebraic-Code-Excited Linear-Prediction(CS-ACELP). Geneva,1996-03.
- [2] G.Schreder. The Standardization Process for the Proposed ITU-T 8kb/s Speech Coder Standard. IEEE Speech Coding Workshop. Annapolis, 1995. 1-2.
- [3] R.Salami et al. Description of the Proposed ITU-T 8kb/s Speech Coding Standard. IEEE Speech Coding Workshop. Annapolis, 1995. 3-4.
- [4] D.Maddaloux, S.Proust. Spectral Shaping in Proposed ITU-T 8kb/s Speech Coding Standard. IEEE Speech Coding Workshop. Annapolis, 1995. 9-10.
- [5] TMS320C54x DSP CPU and Peripherals. Reference Set,

1999,1.

- [6] TMS320C54x DSP Assembly Language Tools. User's Guide, 1997.
- [7] TMS320C54x DSP Mnemonic Instruction Set. Reference Set,1996-02.
- [8] TLC320AC01C Single-Supply Analog Interface Circuit. Data Manual, 1996.
- [9] TMS320C54x Evaluation Module. Technical Reference, 1995.

### 作者简介

李淑红,毕业于哈尔滨工程大学,获博士学位,现河南财经学院计算机科学讲师,研究领域为小波变换、语音编码、多媒体通信、网络通信等。

[收稿日期] 2003-12-28