

Sistema Supervisório de Motor com FPGA

Alternative Title: Supervisory System for Motor with FPGA

Ricardo G. de Aguiar

Instituto de Engenharia

Universidade Federal do Mato Grosso

Cuiabá, Mato Grosso, 78060-900

riagoagui@gmail.com

Fernando Lessa

Instituto de Engenharia

Universidade Federal do Mato Grosso

Cuiabá, Mato Grosso, 78060-900

nando.less@gmail.com

RESUMO

O objetivo deste projeto é mostrar de forma simplificada e atraente um sistema supervisório de controle de motor. Para tal, foi desenvolvido um painel de controle utilizando a saída VGA do kit FPGA. O uso de um FPGA para um sistema qualquer se deve à alta velocidade de processamento, processamento paralelo e grande quantidade de portas e dispositivos digitais disponíveis, o que permite facilidade na expansão do sistema e o sincronismo desses com o sistema mecânico, porém, em nossa aplicação, fez-se o uso de tal tecnologia visando o aprendizado e a capacidade de modificação do sistema descrito.

Palavras-Chave

FPGA, Supervisório, VGA, Motor, Sensor, PWM e VHDL.

ABSTRACT

The purpose of this project is to show in a simplified and attractive way a supervisory motor control system. For this, a control panel was developed using the VGA output of the FPGA kit. The use of an FPGA for any system is due to the high processing speed, parallel processing and a large number of ports and digital devices available, which allows for easy system expansion and synchronization with the mechanical system. The use of such technology was made in order to learn and modify a described system.

1. ARQUITETURA DO PROJETO

O projeto consiste em um controle simples de motor por PWM, criação e manipulação de sistemas digitais via descrição de hardware em VHDL, aquisição de dados e representação gráfica.

A imagem 1, representa a estrutura topológica do projeto. Este, organizado e implementado em uma plataforma física com todos os itens.

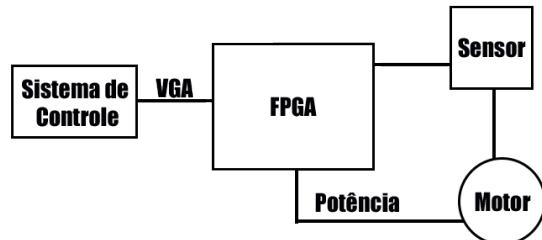


Figure 1. Arquitetura do Projeto.

2. DESCRIÇÃO CONCEITUAL DOS COMPONENTES

Nesta fundamentação teórica são abordados os componentes principais no desenvolvimento deste projeto são eles:

2.1. MOTOR DC



Figure 2. Motor 12V da Bühler Motor.

O motor utilizado é um motor da Bühler Motor, representado na figura 2, sem especificações ou modelos en-

contrados e obtido de sucata. Entretanto, a característica de corrente nominal ou em vazio foi aferida e buscou-se modelos similares para determinar a tensão de operação. Para fins de teste, aplicou-se 12V DC e obtida uma corrente em estado contínuo de 120mA. Este motor possui caixa de redução e encoder óptico integrado. O encoder óptico integrado não foi utilizado e representado na figura 3.

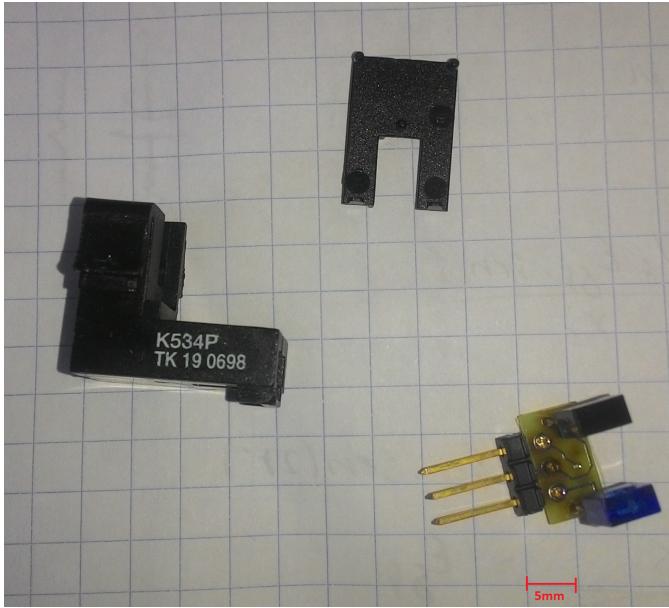


Figure 3. Encoder integrado ao motor totalmente desmontado de seu encapsulamento plástico.

2.2. FPGA

Kit De Desenvolvimento FPGA da Terasic Inc., De10-lite. Este, com o FPGA MAX 10M50DAF484C7G da Altera/Intel [1].

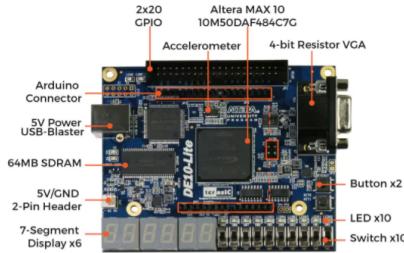


Figure 4. FPGA DE10-LITE [1].

2.3. SENSOR INDUTIVO

Como alternativa ao sensor óptico integrado, optou-se por uma nova abordagem e construção com um sensor indutivo amplamente utilizado na indústria. Este, montado em um braço e com encaixe na carcaça do motor. No rotor do motor, fixou-se uma fração de papel alumínio com adesivo



Figure 5. Conjunto de motor com sensor indutivo acoplado. 1) Sensor indutivo. 2) Suporte em plástico ABS. 3) Peça ranhurada fixada ao rotor. 4) Motor.

na peça com ranhuras do encoder original e exemplificado na figura 5.

2.4. VHDL

O projeto foi implementado utilizando a codificação VHDL ou VHSIC Hardware Description Language. Como a linguagem VHDL suporta projetos com múltiplos níveis de hierarquia, a descrição pode consistir na interligação de outras descrições menores, a um código que representa o comportamento esperado do circuito. Esses estilos são denominados estrutural e comportamental, e podem ser mesclados em uma mesma descrição. A estrutura hierárquica e a opção de combinar diversos estilos de descrição facilitam a condução de projetos complexos que partem de um nível mais elevado para um nível mais baixo de especificação, conhecidos como top down design [2].

3. CIRCUITO CONTROLADOR MOTOR

3.1. PWM

Para controlar a velocidade de um motor DC ou direct current utiliza-se a modulação da largura de pulso (PWM-Pulse Width Modulation) de uma onda quadrada. Com este método de controle, o motor gira a uma velocidade determinada pela tensão média em todos os instantes. Como um motor DC tem sua velocidade determinada pela tensão aplicada em seus terminais, esta técnica se faz eficaz. Observe a figura 6.

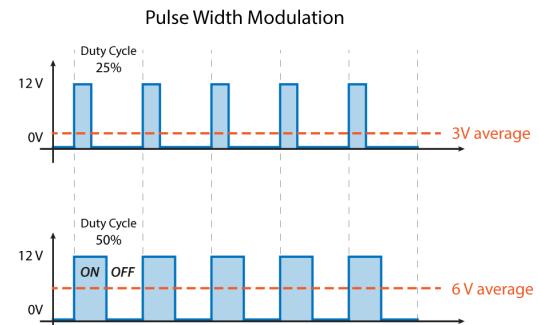


Figure 6. PWM: Duty Cycle de 25% e 50%.

A figura 7 representa a simulação do bloco PWM (figura 8). Para essa simulação foram levados em consideração os

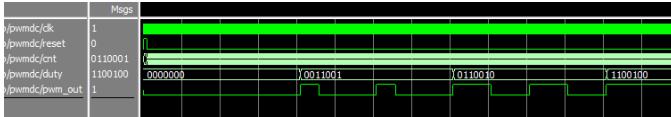


Figure 7. PWM: Simulação.

seguintes parâmetros: 7 bits destinado a representar o duty cycle, clock de 50MHz, 1 bit destinado a saída PWM. A tabela 1 representa o duty cycle utilizado para simulação.

Table 1. DUTY CYCLE

Duty(bits)	Duty(%)
0000000	0
0011001	25
0110010	50
1100100	100

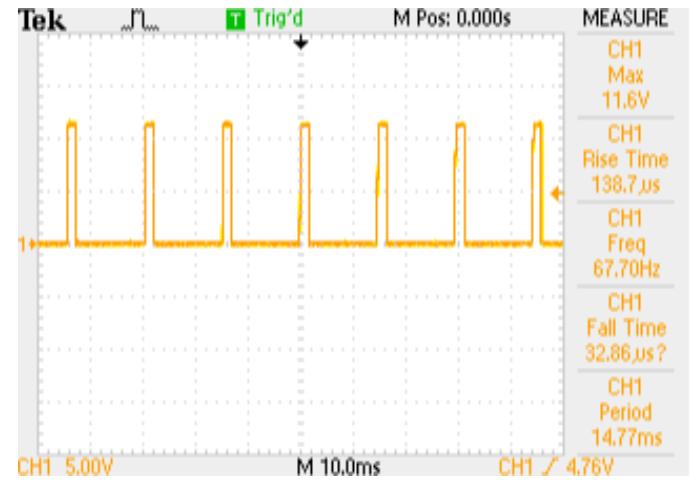


Figure 9. Formato de onda obtido de cada interrupção no sensor indutivo, logo, cada pulso, representando uma volta completa no eixo do motor. Imagem obtida na saída de sinal do sensor e captada por um osciloscópio.

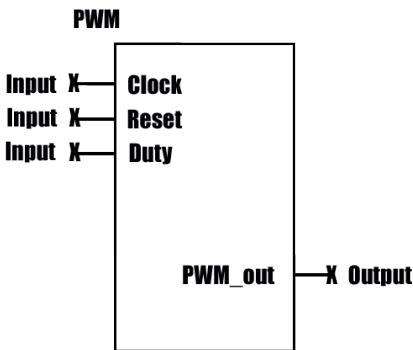


Figure 8. Bloco PWM.

3.2. RPM

O tacômetro foi simplificado utilizando apenas a contagem do sensor indutivo. Para cada pulso, é sabido que houve uma rotação completa. Formato de onda é representado na figura 9. Então, a cada interrupção no sensor, o FPGA contabiliza uma volta e realiza uma contagem. Essa contagem perdura o tempo de um segundo (RPS), quando o contador pára e multiplica o resultado por 60 afim de obter o resultado em RPM.

3.3. CIRCUITO ELÉTRICO

Os circuitos elétricos foram implementados em cima de uma protoboard. O circuito de chaveamento do PWM é representado na figura 10. Por se tratar de um motor de baixa corrente, não foi necessário dissipador.

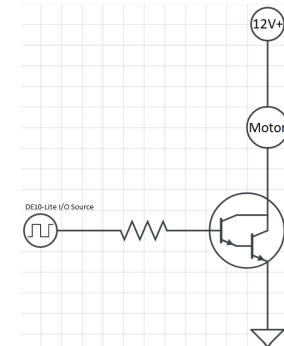


Figure 10. Representação do circuito de chaveamento. Utilizou-se para chaveamento um transistor Darlington NPN TIP120.

A alimentação do FPGA é oriunda da USB conectada ao computador e devidamente referenciada ao GND do circuito de motor e sensor.

4. CIRCUITO CONTROLADOR VGA

4.1. VGA SYNC

O VGA Sync é responsável pela geração dos sinais necessários para exibição do vídeo. Para sincronizar o vídeo é necessários dois contadores, que serão utilizados para realizar o mecanismo de varredura da tela. O contador H_Sync realiza a contagem horizontal e o contador V_Sync a vertical. Os contadores H_Sync e V_Sync são responsáveis pela geração do endereço da linha e da coluna do pixel que ficam disponível para serem utilizados em outros processos. A partir do endereço da linha e da coluna de cada pixel é possível determinar suas coordenadas X e Y em relação ao vídeo atual e definir suas componentes RGB [3].

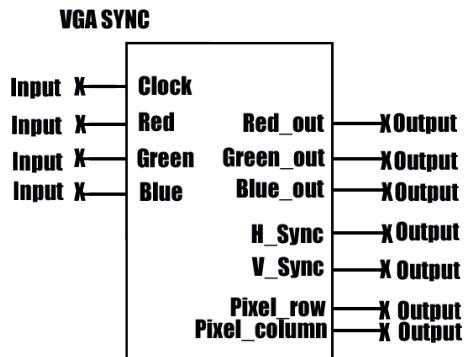


Figure 11. Bloco do VGA Sync.

4.2. ESCRITA NA VGA

Os caracteres são armazenados em uma memória, em que um determinado byte corresponde à parte da representação de um caractere.

Para realizar a escrita na VGA foi utilizada o arquivo *font_rom.vhd*, que representa essa memória, pode ser encontrado [4].

Para exibir os caracteres, foi criado vários módulos que recebem como entrada as coordenadas X e Y adquirida do processo de varredura horizontal e vertical definida no VGA Sync. Assim, esses valores serão utilizados como estrutura condicional para exibir na saída VGA o texto desejado.

O processo de escrita no monitor consiste em busca na memória ROM o endereço do caractere que deseja representar. O endereço que será acessado na memória de caracteres é composto pelo código do caractere e da respectiva linha, observe a figura 13. Cada caractere é representado por uma matriz 8x8 [3], observe a figura 12.

Address	Font Data
000001000 :	00011000 ;
000001001 :	00111100 ;
000001010 :	01100110 ;
000001011 :	01111110 ;
000001100 :	01100110 ;
000001101 :	01100110 ;
000001110 :	01100110 ;
000001111 :	00000000 ;

Figure 12. Representação do caractere na ROM. [3]

4.3. TESTE DO CIRCUITO VGA

A figura 15 representa o teste do circuito controlador VGA descrito em VHDL e implementado na FPGA. Nela,

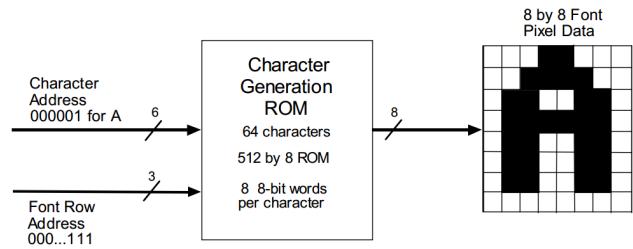


Figure 13. Acessando um caractere na ROM. [3]

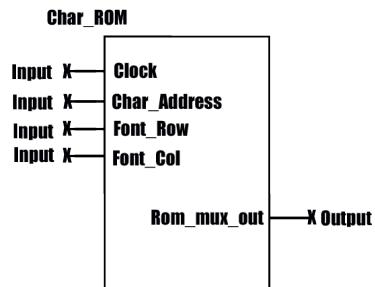


Figure 14. Bloco caractere ROM.

podemos observar o design da interface do sistema supervisório.

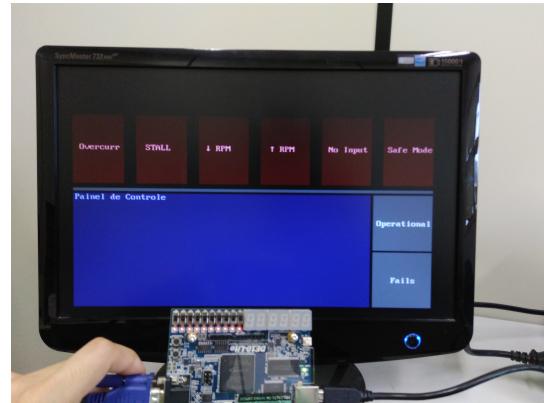


Figure 15. Teste do circuito VGA : Interface do Sistema Supervisório.

5. VALIDAÇÃO DO SISTEMA

5.1. TESTES

5.1.1. INTERFACE DE POTÊNCIA. Inicialmente os testes foram realizados na protoboard. Utilizando uma fonte externa de 12V, ligando diretamente no motor DC, foram

aplicadas sequências de pulsos no motor fazendo-o girar. Foram verificados as correntes e tensões nas entradas e saídas.

5.1.2. MOTOR DC. No teste do motor DC, foi utilizado a interface de potência. Os pulsos para girar o motor eram controlados pelo código PWM descrito em VHDL e implementado na FPGA de acordo com a seção 3.1.

5.1.3. SISTEMA SUPERVISÓRIO. A figura 16 representa a implementação final do sistema supervisório. Nela, podemos observar a rotação do motor descrita na seção 3.2.

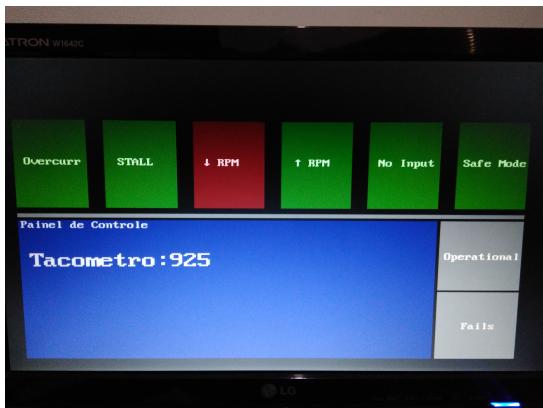


Figure 16. Sistema Supervisório.

References

- [1] “De10-lite,” https://www.altera.com/content/dam/altera-www/global/en_US/portal/dsn/42/doc-us-dsnbk-42-2912030810549-de10-lite-user-manual.pdf, accessed: 2018-03-06.
- [2] R. d’ Amore, *VHDL: Descrição e Síntese de Circuitos Digitais*, 2nd ed. LTC, 2012.
- [3] J. O.Hamble, *Rapid Prototyping of Digital Systems*. Springer, 2008.
- [4] “Font rom,” http://ece320web.groups.et.byu.net/labs/VGATextGenerator/list_ch13_01_font_rom.vhd, accessed: 2018-03-06.