

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение
высшего профессионального образования

«САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
АЭРОКОСМИЧЕСКОГО ПРИБОРОСТРОЕНИЯ»

КАФЕДРА № 14

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

Доц. к. т. н.

должность, уч. степень, звание

подпись, дата

С. И. Ковалев

инициалы, фамилия

ОТЧЕТ ПО КУРСОВОЙ РАБОТЕ

Описание цифровых устройств с помощью Verilog.

по дисциплине: Электротехника, электроника, схемотехника. Схемотехника.

РАБОТУ ВЫПОЛНИЛ

В.А. Седов

СТУДЕНТ ГР.

1742

подпись, дата

Д.В. Коробков

инициалы, фамилия

Санкт-Петербург 2019

1. Постановка задачи:

Реализовать схему на базе микросхемы 74150 совместно с четырехразрядным счётчиком 74161.

- на базе микросхемы 74150 построить модель работы мультиплексора;
- Используя логические элементы проверить правильность работы схемы.

2. Схема устройства:

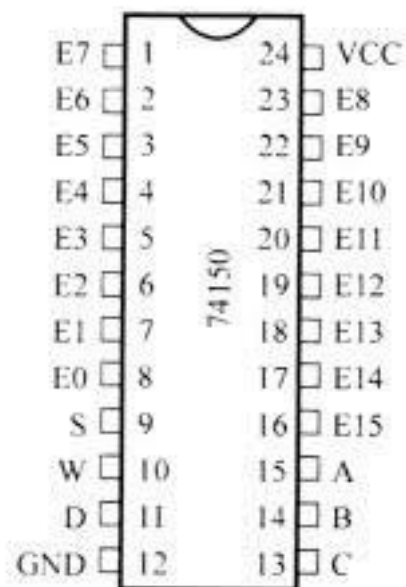


Рисунок 1 – Микросхема 74150

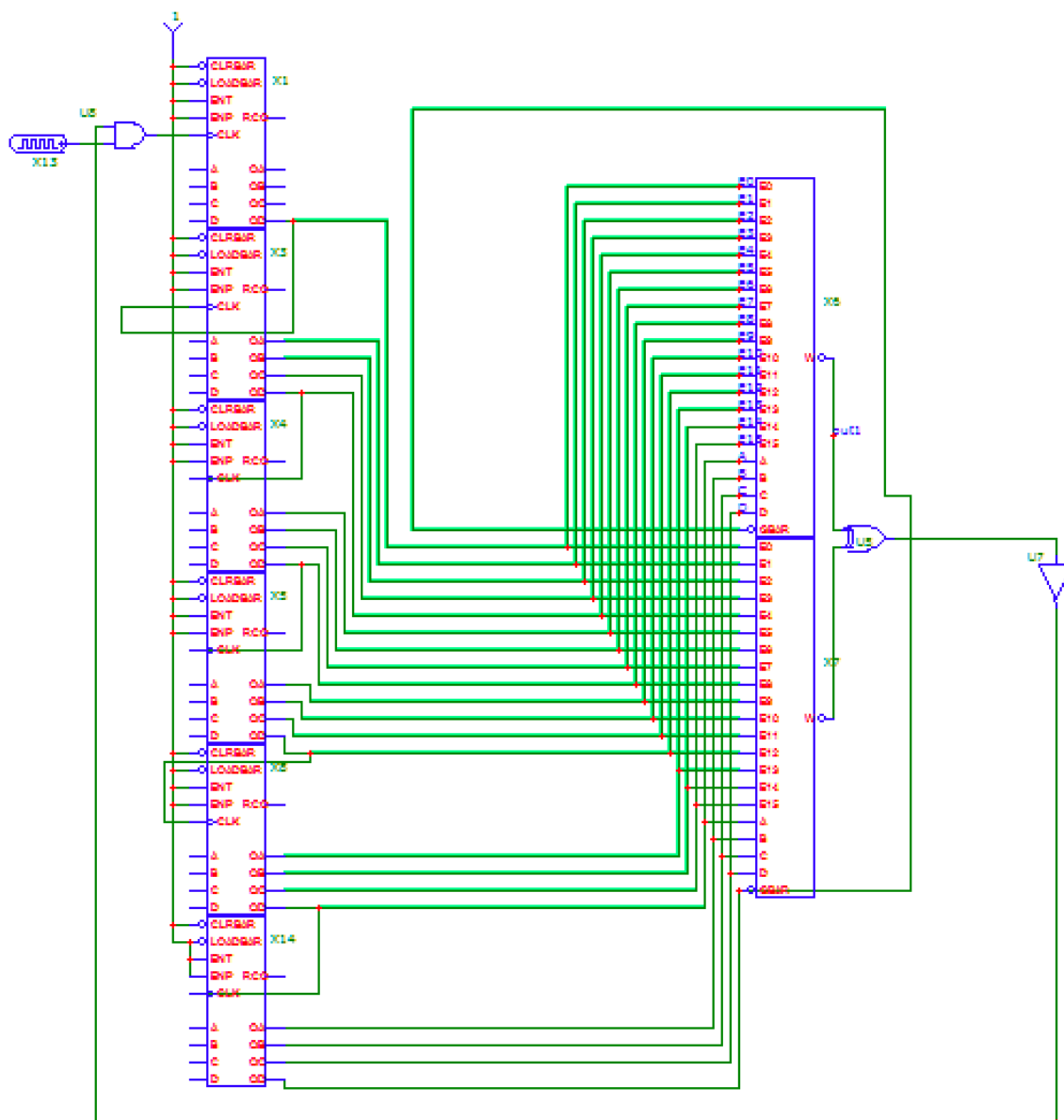


Рисунок 3 – Итоговая схема.

4. Код:

```
`timescale 1 ns/ 1 ps //количество тактов на 1 наносекунду
```

```
module mux(
```

```
    input clk,
```

```
    input enable,
```

```
    input reset,
```

```
    input [3:0]addr, //вход адреса
```

```
    input [15:0]data, //входы данных
```

```
    output reg out //выход - значение по адресу, указанному на соответственном входе
```

```
);
```

```
always @(posedge clk)
```

```

begin
    case(addr) //выборка адреса
    0: out <= ~data[0]; //запись в данные нужные биты по addr
    1: out <= ~data[1];
    2: out <= ~data[2];
    3: out <= ~data[3];
    4: out <= ~data[4];
    5: out <= ~data[5];
    6: out <= ~data[6];
    7: out <= ~data[7];
    8: out <= ~data[8];
    9: out <= ~data[9];
    10: out <= ~data[10];
    11: out <= ~data[11];
    12: out <= ~data[12];
    13: out <= ~data[13];
    14: out <= ~data[14];
    15: out <= ~data[15];
    default: out <= ~4'd0;
    endcase
end
endmodule

```

5. Testbench:

```

`timescale 10 ps / 1 ps
module mux_vlg_tst();
    reg clk;
    reg enable;
    reg reset;
    wire out;
    reg[15:0] data;
    reg[3:0] addr;
    mux il_1(

```

```
.clk(clk),
.data(data),
.addr(addr),
.out(out),
.enable(enable),
.reset(reset)
);
```

```
//Инициализация
```

```
initial
```

```
begin
```

```
    $display("Testbench launched");
```

```
    clk <= 0;
```

```
    enable <= 1;
```

```
    reset <= 1;
```

```
end
```

```
//Задаем частоту
```

```
integer i=0;
```

```
initial
```

```
begin//работа симуляции
```

```
    clk = 0;
```

```
        for (i=0; i<256; i=i+1)
```

```
        begin
```

```
            #1 clk = ~clk;
```

```
            if (i % 2 == 0)
```

```
            begin
```

```
                data = $urandom%21845;//данные, что подаются
```

в мультиплексор

```
                addr = i%16;//формирование адресного входа
```

```
            end
```

```
        end
```

```
end

always @(posedge clk)
begin
    if (data[addr]==out)
    begin
        $display("Okay");
    end
    else
    begin
        $display("Wrong");
    end
end

end

endmodule
```

6. Результаты симуляции:

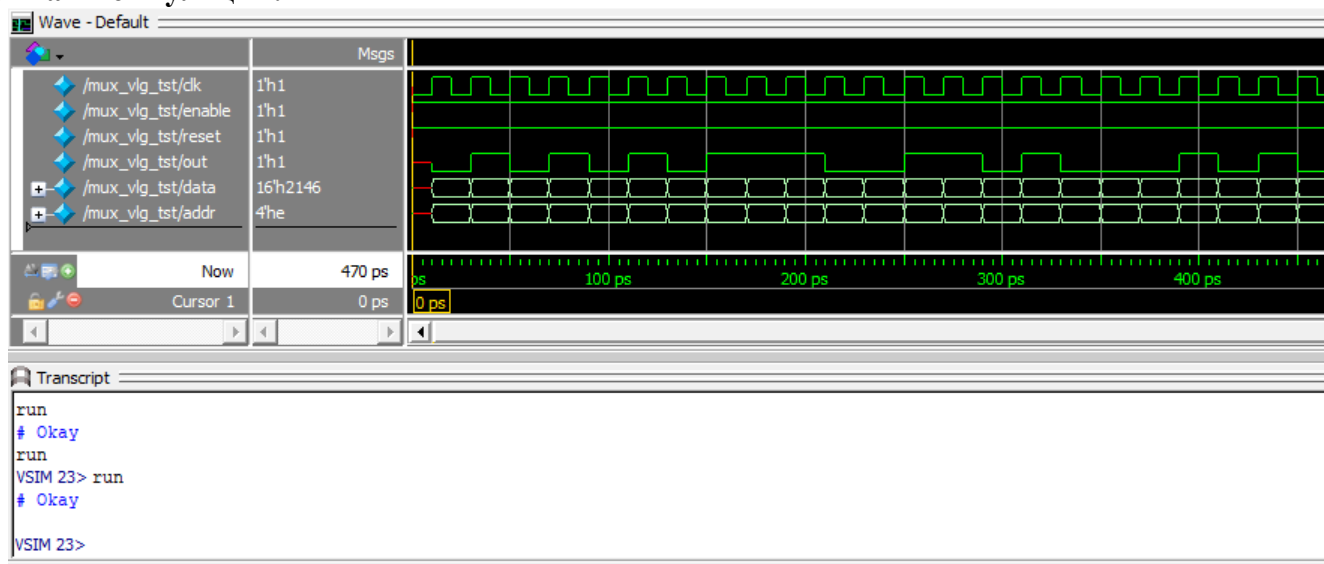


Рисунок 3 – Результат работы тестирующей программы для микросхемы 74150.

7. Выводы:

В данной курсовой работе были получены навыки описания цифровых устройств на языке Verilog, симуляции работы этих устройств и анализа графиков, полученных при симуляции. В результате анализа работы программы-теста видно, что при корректной работе тестируемой микросхемы программа работает правильно. А при некорректной работе программа выдаёт ошибку.

8. Список литературы.

- А.К. Поляков. «Языки VHDL и Verilog в проектировании цифровой аппаратуры»
- Акчурин А.Д. Юсупов К.М. «Программирование на языке Verilog». – Казань 2016
- В.В. Соловьев. «Основы языка проектирования цифровой аппаратуры Verilog». - Москва 2020