**汇编与接口课程设计**

**实验报告**

**硬件逻辑调试实验**

**学号 姓名**

**班级：XXXXX**

二零一七年九月十八号

**硬件逻辑调试实验**

1. **实验目的**
2. 学习并掌握Vivado内部逻辑分析仪ILA来协助FPGA开发的方法。
3. **实验内容**

通过流水灯实验，利用Vivado内部功能强大的逻辑分析仪ILA来协助在指定开发板上进行FPGA开发。

1. **实验器材及环境**

操作系统：Windows 10

开发环境环境：Vivado

开发板：Xilinx Artix-7系列开发板

1. **实验步骤**

实验步骤基本上就是按照老师给的《HW Debug-流水灯.pdf》实验手册做的，在这里就简单列举一下实验步骤，就不展开了。

## 创建工程

创建一个新的工程“hw\_debug”

## 添加源文件和约束文件

创建源文件“flow\_led\_top.v”，“clk\_div.v”和“flow\_led.v”，并用 Verilog 语言输入流水灯设计。完成后添加约束文件“flow\_led.xdc”。代码请参考源码。

## 综合

在“Flow Navigator”栏中的“Synthesis”下点击“Run Synthesis”。右上角的进度条“Running synth\_design”指示正在对工程进行综合。综合完成之后在弹出的对话框中点击“Cancel”取消。在“Flow Navigator”一栏中，找到“Synthesis”->“Open Synthesised Design”->“Schematic”，点击 “Schematic”。

## Mark Debug

在“Schematic”标签页中，点击左侧工具栏中的放大镜图标，将电路图放大到合适大小。找到“clk\_div”模块和“flow\_led”模块之间的连线“clk\_pulse”， 选中后右击，选择“Mark Debug”。找到与“flow\_led”模块的输出端口相连的信号线“led\_OBUF”，选中后右击，选择“Mark Debug”。

## Set up Debug

在“Debug”窗口中(可通过在菜单栏中点击“Layout”->“Debug”打开)，单击选中“Unassigned Debug Nets”，然后右击选择“Set Up Debug”。在“Set Up Debug”向导中连续点击“Next”，最后点击“Finish”。

在菜单栏中点击 “File”-> “Save Constraints”。在弹出的对话框中点击“OK”。然后在“Source”窗口中打开“flow\_led.xdc”，在文档的底部可以看到“Mark Debug”及“Set Up Debug”的相关信息被添加上去了。

## 生成bit文件

在“Flow Navigator”一栏中的“Program and Debug”下点击“Generate Bitstream”，此时会提示工程没有实现，点击“Yes”，会自动执行实现过程。

## 下载

用 Micro USB 线连接电脑与板卡上的 JTAG 端口，打开电源开关。生成比特流文件完成后，打开“Hardware Manager”。在“Hardware Manager”界面点击“Open target”，选择“Auto Connect”。连接成功后，在目标芯片上右击，选择“Program Device”。在弹出的对话框中“Bitstream File”一栏已经自动加载本工程生成的比特流文件，点击“Program”对FPGA芯片进行编程。

下载完成后在板卡上可观察到四位led灯为一组从右向左循环点亮。

## Hardware Debug

选中目标芯片，点击上方的“Run Trigger Immediate”，在波形窗口中可看到触发信号。在“Trigger Setup”窗口中点击加号，选中“clk\_puse”，双击添加到窗口中。在“Trigger Setup”窗口中将“led\_OBUF”的“Compare Value”设为“[H] 00F0”，将“clk\_puse”的“Compare Value”设为 1。

在“Waveform”窗口点击加号，在“Add Probes”列表中双击“clk\_pulse”将其添加到波形窗口中。在“hw\_ila\_1”的“Settings”窗口中，将“Trigger position in window”一栏设为 512。

在“Hardware”窗口选中“hw\_ila\_1”，然后点击上方的“Run Trigger”按钮。在“Status”窗口可观察到状态由“Idle”跳转到“Waiting for Trigger”。当状态跳转到“Full”后回到“Idle”状态，此时将波形图中红色竖线标注出了触发的时刻。将波形图放大之后，可以看到触发时刻的信号 “led\_OBUF”和“clk\_pulse”与设置的触发条件一致。

1. **实验总结**

本次试验老师已经下发了实验手册，只要按照实验手册一步一步做即可，没什么难度。实验主要在于让我们了解ILA的用法，学会使用ILA来协助FPGA的开发，在实验二中我就用到了ILA来协助debug，也算是学以致用吧。