



V 1.0May 30, 2025

# CheatSheet Digital Design

Fs 2025 – Prof. Dr. Paul Zbinden

Autoren: Ricca Aaron

<https://github.com/Rin-Ha-n/DigDes>

## 1 Realizzazione

Kriterien	Standard Bausteine	ROM	PLD	FPGA	Semi-Custom	Full-Custom
Machbarkeit	++	--	--	+	+	+++
Zeit Realisierung	+	++	++	++	-	--
Iterationszeit	-	++	++	++	-	--
NRE	++	+	+	+	-	---
Stückpreis	--	+	+	-	+	+++

## 2 Processi

I processi sono sezioni di codice che vengono eseguite ogni volta che un **Segnale** nella lista sensibile cambia.

```
1 process (clk, reset, SegnaliSensibili)
2 begin
3     if reset = '1' then
4         -- codice di reset
5         elsif rising_edge(clk) then
6             -- codice di clock
7         end if;
8     end process;
```