

## STM32G4 MCUを内蔵した高性能三相モーターコントローラー



VFQFPN 9x9x1.0 64L

### 特徴

- モーター電源電圧は 5.5 V ~ 75 V • 三相ゲート ドライバ
  - 1 A シンク/ソース電流能力 – パ
  - ワースト MOSFET の VDS モニタリング – 内蔵ブー
  - トストラップ ダイオード – アプリケーションに最適な I2C アクセス
  - 可能な構成およびステータス レジスタ – ク
  - ロス- 伝導防止
  - 32 ビット ARM® Cortex®-M4 MCU+FPU コアを搭載した STM32G431 マイクロコントローラー:
    - 最大 170 MHz のクロック周波数
    - 三角関数用の CORDIC 数学ハードウェア アクセラレータ – 独自のコード読み出し保護 (PCROP) を備えた 128 KB フラッシュ メモリ、保護可能なメモリ領域、1 KB OTP
    - ハードウェア パリティ チェック付き 32 kB SRAM メモリ – モ
    - ーター制御用の 2 倍のアドバンスド タイム、最大 6 個の PWM チャンネルを備えた 16 ビット – 8 個の汎用タイマー – 2 個の ADC 12 ビット分解能
    - (最大 19 チャンネル)、4 個 Msps 変換レート – 4 x 12 ビット DAC チャンネル
    - 4 x 超高速レールツーレール コンパレータ – PGA モ
    - ードでも使用可能な 3 x レールツーレール オペアンプ
    - 内部高精度電圧リファレンス
    - 最大 40 個の GPIO
    - インターフェイスのフルセット: I2C, SPI, UART, CAN
  - 柔軟な電源管理が組み込まれているため、自己供給が可能
    - 最大 200 mA の VCC 降圧コンバータ、プログラム可能な出力と埋め込み MOSFET
    - 最大 150 mA の 3.3 V LDO リニア レギュレータ – スタン
    - バイ時の MCU 電源用の低静止リニア レギュレータ – フルセットの保護機能: サーマルシャットダウン、短絡、過負荷、VLOOK
  - 同じ MCU から 2 つのモーターを同時に制御可能 • 消費電力を削減するスタンバイ モード • SWD または JTAG によるオンチップ デバッグ サポート • 拡張
- 温度範囲: -40 ~ +125°C

商品ステータスリンク

STSPIN32G4

製品ラベル



### 応用

- 産業用およびホームオートメーション
- 掃除機、乾燥機、掃除ロボットなどの家電製品 • サーボドライブと電動自転車
- サービスロボットと自動化ロボット
- 電動工具および園芸工具 • ポンプおよびファン • ドローンおよび航空モデリング



## 説明

STSPIN32G4 は、3 相ブラシレス モーターを駆動するための非常に統合された柔軟なモーター コントローラーであり、設計者が最適な駆動モードを選択し、PCB 面積と全体的な部品表を削減するのに役立ちます。

1 A (シンクおよびソース) の電流能力でパワー MOSFET を駆動できるトリプル ハーフブリッジ ゲート ドライバーが組み込まれています。ブートストラップ ダイオードも 3 つ内蔵されています。統合されたインターロック機能により、同じハーフブリッジのハイサイド スイッチとローサイド スイッチを同時にハイに駆動することはできません。追加の保護機能は、6 つの外部 MOSFET をそれぞれ常に監視し、そのうちの 1 つに過電圧が検出された場合には、すべてのゲート ドライバ出力をオフにするハードウェア VDS 監視回路によって表されます。過電圧しきい値は専用の SCREF ピンを通じて設定されます。

このデバイスは、モータ供給電圧 VM から開始して必要なすべての電源を生成できる、統合された柔軟な電源管理構造のおかげで完全に自己供給されます。外部から提供される唯一のものです。組み込みパワー MOSFET を備えた組み込みプログラマブル降圧レギュレータは、モータ電源電圧 VM から開始してゲート ドライバ用の電源電圧を生成します。専用設定レジスタを使用して、8 V (デフォルト値)、10 V、12 V、15 V の 4 つの異なる VCC 出力値を選択できます。

内部の高精度低ドロップ リニア レギュレータ (LDO) は、REGIN 入力電圧から開始して 3.3 V 電源 (VREG3V3) を生成するために使用されます。3.3 V の出力電圧は、ゲート ドライバ ロジックとマイクロコントローラーの両方に供給されます。短絡、過負荷、低電圧状態から保護されています。

降圧レギュレータと LDO レギュレータは両方とも、外部から VCC および VREG3V3 電源を供給してバイパスできます。

STSPIN32G4 がスタンバイ モードの場合は、追加の超低静止レギュレータが使用され、全体の消費電流を標準値 15  $\mu$ A まで削減できます。

統合 MCU (STM32G431VBx3) は、高性能 32 ビット ARM® Cortex®-M4 コアをベースにしており、最大 170 MHz の周波数で動作し、単精度浮動小数点ユニット (FPU)、フルセットの DSP を備えています。(デジタル信号処理) 命令とメモリ保護ユニット (MPU) を備えており、アプリケーションのセキュリティを強化します。

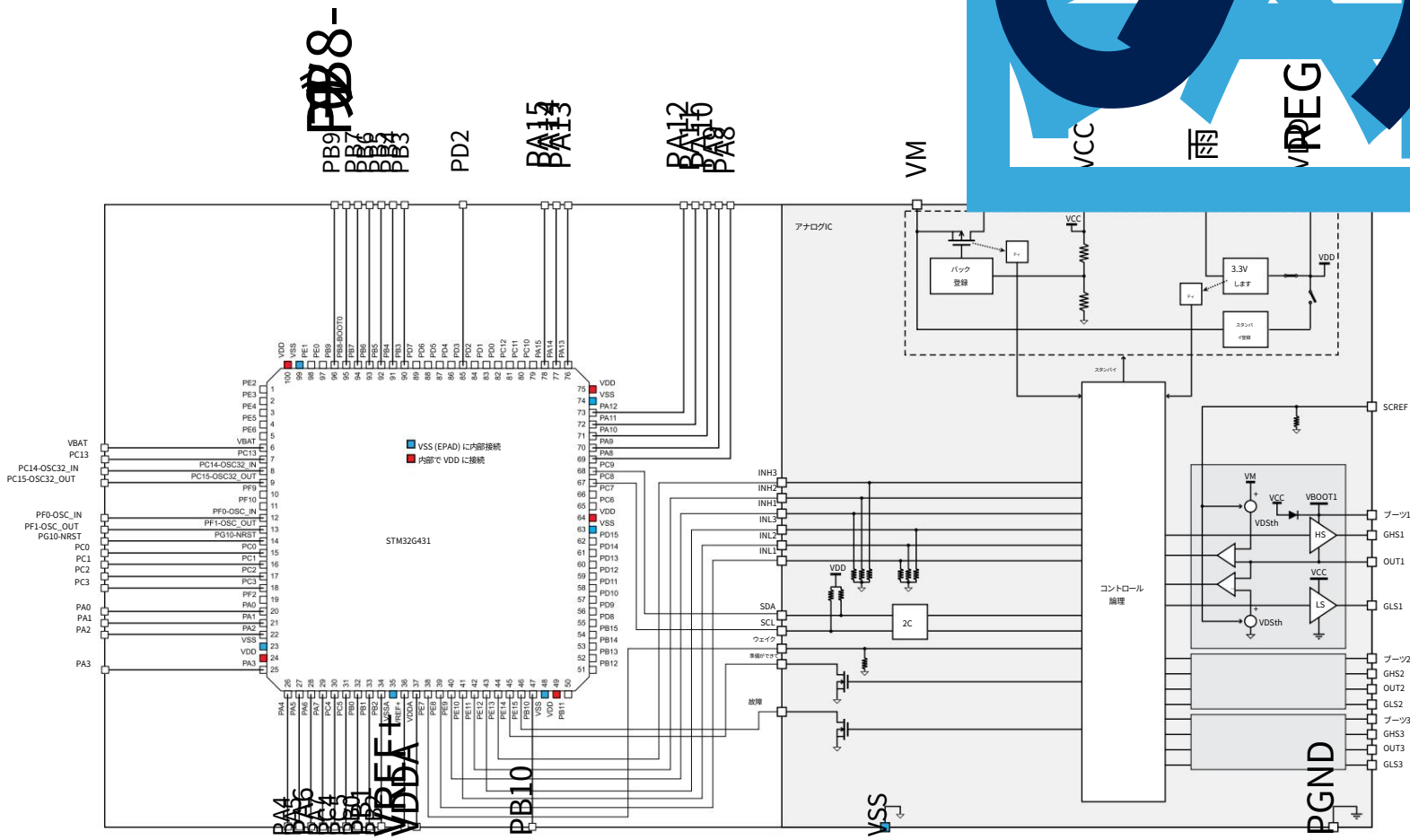
このマイクロコントローラーは、2 つの高速 12 ビット ADC (4 Msps)、4 つのコンパレータ、3 つのオペアンプ、4 つの DAC チャンネル (2 つの外部チャンネルと 2 つの DAC チャンネル) などの非常に豊富で特殊な機能セットのおかげで、高度なモータ制御アプリケーションの主流の選択肢となります。内部)、内部電圧リファレンス バッファ、1 つの汎用 32 ビット タイマ、2 つのモータ制御専用 16 ビット PWM タイマ、7 つの汎用 16 ビット タイマ、1 つの 16 ビット低電力タイマ。

また、いくつかの保護メカニズムを備えた高速メモリ (128 kB のフラッシュ メモリと 32 kB の SRAM)、最大 40 個の利用可能な GPIO、数学/算術関数アクセラレーション ペリフェラル (三角関数用の CORDIC およびフィルタ関数用の FMAC ユニット)、メインインターフェイス (I2C、SPI、UART、CAN)、包括的な省電力モードセット、ADC、DAC、オペアンプ、コンパレータ用のアナログ独立電源入力を備えています。

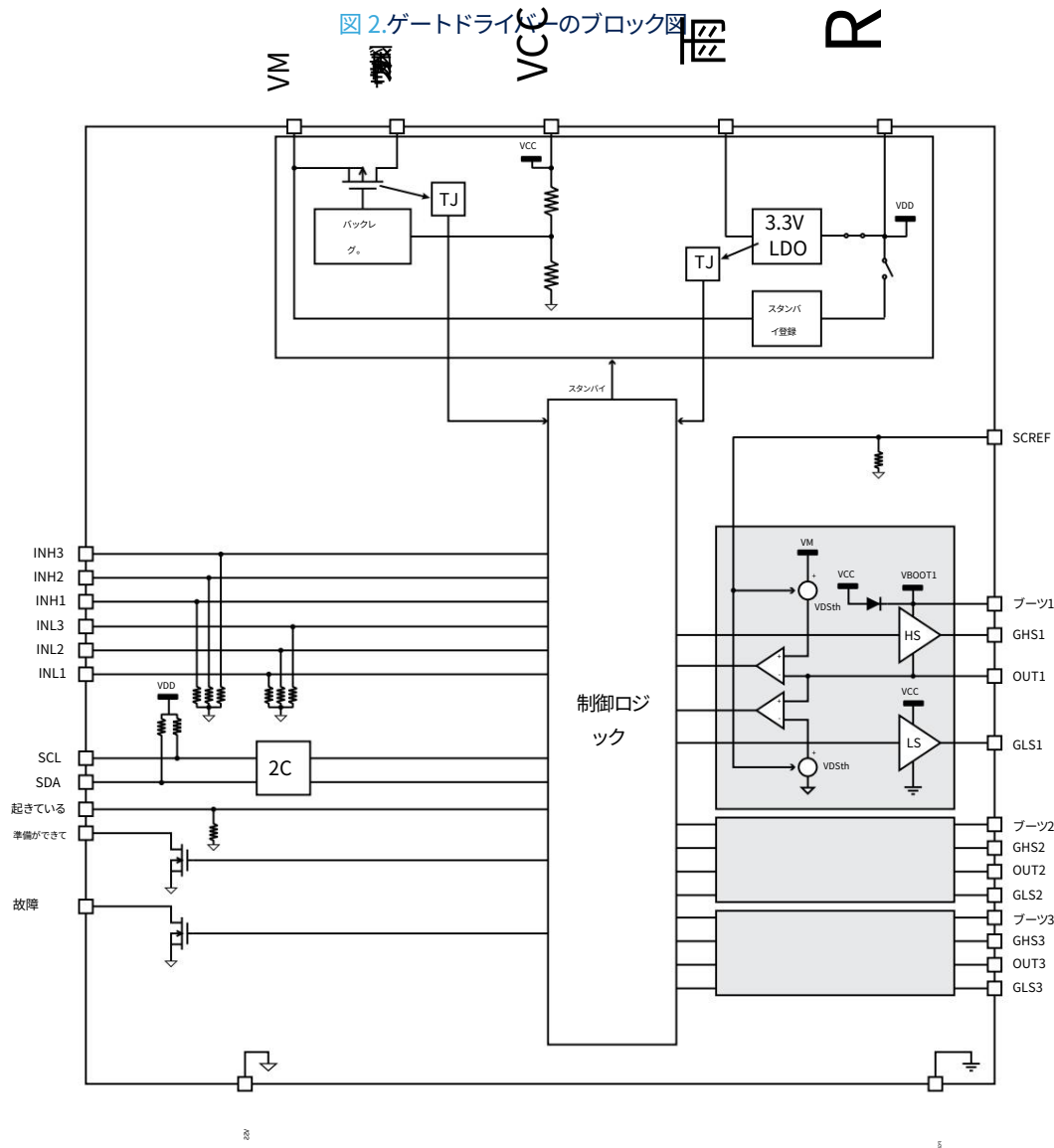
このような機能豊富なマイクロコントローラーにより、非常に高性能なモータ制御アルゴリズムを実行できるようになり、最も困難なモーション制御アプリケーションであっても、最適な制御を選択する際に前例のない柔軟性が得られます。ユーザーは、STSPIN32G4 をプログラムして、1 つ、2 つ、または 3 つのシャントを備えたセンサーレスまたはセンサー付きのフィールド指向制御 (FOC)、より高度な位置またはトルク制御アルゴリズム、またはより伝統的な 6 ステップ制御モードを実行できます。

STSPIN32G4 は、完全な保護機能と拡張温度範囲 (-40°C ~ +125°C) も備えており、最も要求の厳しい産業用途でも安定した動作を保証します。SWD インターフェイスと JTAG インターフェイスの両方が、マイクロコントローラー ファームウェアのプログラミングとデバッグのために提供されています。

最後に、追加の外部三相ドライバ (STDRI101 など) を使用すると、2 つの独立した三相 BLDC モーターを STSPIN32G4 から効率的に駆動できるため、前例のない BOM の節約とアプリケーションの最適化が実現します。



STM32





2 電気データ

2.1 絶対最大定格

表 1に記載されている絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与える可能性があります。最大定格条件に長期間さらされると、デバイスの信頼性に影響を与える可能性があります。  
特に指定がない限り、すべての電圧はグランド ピンを基準としています。

表 1.絶対最大定格

シンボル	パラメータ	試験条件	値	ユニット
VM	モーター電源電圧		-0.3~78	で
VCC	ゲート駆動電源電圧		-0.3~20	で
VSW	SW端子電圧		-2 からVM	で
ブレギン	3.3V LDOリニアレギュレータ入力		-0.3~20	で
VREG3V3	ロジック電源電圧		-0.3~3.6	で
VREG3V3,drop 3.3 V	リニア レギュレータの電圧降下	VREGIN - VREG3V3	-0.3~20	で
Pd,REG3V3	3.3 V LDO リニア レギュレータ電源 散逸		1個まで	で
VOUTx	OUTxピンの電圧		-2 ~ VM + 2	で
VBOOTx	ブートストラップピンの電圧		-0.3~98	で
VBOX	ハイスайдドライバ電源電圧	VBOOTx - VOUTx	-0.3~20	で
VGHSx	ハイスайдゲート電圧		VOUT-0.3~ Vブート+0.3	で
VGLSx	ローサイドゲート電圧		-0.3 ~ VCC+0.3	で
dVOUT/dt	出力スルーレート		±20	V/ns
VSCREF	SCREF入力		-0.3~3.6	で
VDD、VDDA、 VBAT	MCUの主電源電圧(1)		-0.3~4.0	で
見た	MCUロジック入力電圧(1) (2)	FT_c ピンを除く FT_xxx ピン	VSS-0.3~ 最小(VDD,VDDA) + 4.0(3)	で
		FT_c ピン	VSS-0.3~5.5	で
		TT_xx ピンとその他のピン	VSS-0.3~4.0	で
IIO	MCU I/O 出力電流(1)		-20~20	mA
Σ IIO	MCU I/O 合計出力電流(1) (4)		-100~100	mA
TSTG	保管温度		-55~150	°C
TJ	接合部温度		-40~150	°C

1. STM32G431VBx3 データシートの「絶対最大定格」セクションを参照してください。
2. すべての主電源 (VDD,VDDA,VBAT) ピンとグランド (VSS,VSSA) ピンは常に外部電源に接続する必要があります。  
許容範囲内です。
3. 4 V を超える電圧を維持するには、内部プルアップ/プルダウン抵抗を無効にする必要があります。
4. この電流消費は、すべての I/O および制御ピンに正しく配分される必要があります。



2.2 推奨動作条件

特に指定がない限り、すべての電圧はグラウンド ピンを基準としています。

表 2. 推奨動作条件

シンボル	パラメータ	試験条件	分。	タイプ。	最大。	ユニット
VM	供給電圧		5.5(1)		75	で
dVM/dt	電源電圧の傾き				10	V/μs
VCC	VCC降圧コンバータ 出力とゲート駆動 供給電圧	内部的に生成される、 8Viに設定		8		で
		内部的に生成される、 10Viに設定		10		で
		内部的に生成される、 12Viに設定		12		で
		内部的に生成される、 15Viに設定		15		で
		外部提供	5.5(1)		15	で
ICC	VCC降圧コンバータ 出力電流				200(2)	mA
ヴレギン	3.3V LDOリニア レギュレータ入力		3.3		15	で
VREG3V3	ロジック電源電圧			3.3		で
IREG3V3	3.3Vリニアレギュレータ 出力電流				150(2)	mA
IREG3V3,スタンバイ	スタンバイレギュレーター 出力電流	VM ≥ 8V			6	mA
VSCREF	SCREF入力	保護が有効になっています	0.2		2.5	で
		保護が無効になっています	2.9		3.3	で
VDDA	MCUアナログ電源 電圧	ADCまたはCOMPを使用	1.62		3.6	で
		DAC 1 MSPS または DAC 15MSPS	1.71		3.6	で
		使用オペアンプ	2.0		3.6	で
		VREFBUS 使用	2.4		3.6	で
		ADC、DAC、オペアンプ、 COMP、VREFBUF ではない 使用済み	0		3.6	で
VBAT	MCUのバックアップ 動作電圧		1.55		3.6	で
VREF+	ADC ポジティブ 基準電圧	VDDA < 2V	2		VDDA	で
		VDDA < 2V		VDDA		で
タンブ	動作周囲環境 温度		-40		125(2)	°C

- 1. 実際の動作範囲は、UVLO 保護によって制限される場合があります。
- 2. 実際の動作範囲は、サーマルシャットダウンによって制限される可能性があります。

2.3 熱データ

熱の値は、次の境界条件を使用したシミュレーションによって計算されます。 標準通りの 2s2p ボード。  
自然対流の JEDEC (JESD51-7)、基板寸法: 114.3 x 76.2 x 1.6 mm、周囲温度: 25°C。



表 3. 熱データ

シンボル	パラメータ	条件	値の単位
RthJA	接合部から周囲までの熱抵抗	自然対流、JESD51-2a に準拠	48.3°C/W
ΨJT	接合部から上部までの特性評価パラメータ	JESD51-2a に準拠	1.6°C/W
ΨJB	接合部から基板までの特性パラメータ	JESD51-2a に準拠	32.0°C/W

2.4 電気感度特性

表 4. ESD 保護定格

シンボル	パラメータ	試験条件	クラス値の単位
	HBM 人体モデル	ANSI/ESDA/JEDEC JS-001-2014 準拠	2 kV
CDM	充電デバイスモデル	すべてのピン ANSI/ESDA/JEDEC JS-002-2014 に準拠	500 V
CDM	充電デバイスモデル	コーナーピンのみ ANSI/ESDA/JEDEC JS-002-2014 に準拠	750 V



3 電気的特性

テスト条件:特に指定のない限り、VM = 60 V、VCC = 12 V、VREGIN = VREG3V3 = 3.3 V。  
代表値はTamb = 25°C でテストされており、最小値と最大値は熱によって保証されています。  
特に指定がない限り、特性評価は -40 ~ 125°C の温度範囲で行われます。

表 5.電気的特性 – ゲートドライバー IC

シンボル	パラメータ	試験条件	分。	タイプ。	最大。	ユニット
供給						
VREG3V3(オン)	制御ロジック起動閾値VREG3V3上昇				2.5	で
VREG3V3(オフ)	制御ロジックオフ閾値VREG3V3低下		1.9			で
VREG3V3Stby(オフ)	制御ロジックのオフ閾値スタンバイ中	VREG3V3立ち下がり		2.4		で
IREG3V3,qu	制御ロジックは静止状態消費	MCU消費は除く また= 25°C		1.9	3	μA
VCC(オン)	VCC UVLO ターンオンしきい値	VCC上昇			5.5	で
VCC(ハイス)	VCC UVLO ヒステリシス	VCC立ち下がり	70			mV
ICC、あれ	VCC静止消費電力			850	1700	μA
VBO(オン)	VBOOT - VOUT UVLO ターンオンしきい値	VBOOTの立ち上がり			5	で
VBO(ヒスト)	VBOOT - VOUT UVLO ヒステリシスVBOOT立ち下がり		100			mV
IBO、ク	VBOOT - VOUT 静止現在			170	250	μA
IM,q	VMの静止時の消費量	VCC = 15V 外部  すべてのゲート ドライバの出力は Low になります。		1500 3000	μA	
VCC降圧レギュレータ						
バックから	レギュレータのターンオンしきい値	VMの上昇	3		4.5	で
Vヒスト/バック	レギュレータのターンオフヒステリシス	VMの落下	50	150	250	mV
VCC、平均	安定化出力電圧	8Vに設定、平均値	7.2	8	8.8	で
		10Vに設定、平均値	9	10	11	
		12Vに設定、平均値	10.8	12	13.2	
		15Vに設定、平均値	13.5	15	16.5	
VCC、PkPk	ピークツーピーク出力リップル	ターゲットVCCを参照する割合		1.875		%
バックアイピーク	ピーク電流閾値			750		mA
fSW、バック	スイッチング周波数			500		kHz
tON、降圧、分	最小降圧オン時間				220	ns
tOFF、降圧最小値	最小降圧オフ時間			220		ns
RDS(ON)、SW PMOSスイッチのオン抵抗				3		mΩ
tSS、バック	ソフトスタート時間			3.3		ms
fSW、SS	ソフトスタートスイッチング周波数			60		kHz
tdisable、バック	無効化時間			4		ms





シンボル	パラメータ	試験条件	分。	タイプ。	最大。	ユニット
IOC、バック	降圧コンバータの過電流しきい値			1.2		あ
TSD	シャットダウン温度		140		160	°C
TSI(ハイス)	サーマルシャットダウンヒステリシス			30		°C
3.3Vリニアレギュレータ						
VREG3V3	3.3Vリニアレギュレータ出力およびロジック電源電圧	VREGIN = 5V IREG3V3 = 150mA	3.1	3.3	3.5	で
IREG3V3lim	3.3Vリニアレギュレータ電流限界	REG3V3がグランドに短絡	151			マイクロアンペア
TSD	シャットダウン温度		140		160	°C
TSI(ハイス)	サーマルシャットダウンヒステリシス			30		°C
ゲートドライバー						
イゲート	シンク/ソース電流機能	VCC = 5.5V~15V VBOx = 5.5 V ~ 15 V また= 25°C	700	1000	1300mA	
		VCC = 5.5V~15V VBOx = 5.5 V ~ 15 V 全温度範囲	500		1500mA	
RPMOS	PMOSオン抵抗	VCC = 12 V、 VBOx = 12 V 電流源= 100mA また= 25°C		3.7		おお
		VCC = 12 V、 VBOx = 12 V 電流源= 100mA 全温度範囲			5.8	おお
RNMOS	NMOSオン抵抗	VCC = 12 V、 VBOx = 12 V Iシンク= 100mA また= 25°C		1.6		おお
		VCC = 12 V、 VBOx = 12 V Iシンク= 100mA 全温度範囲			2.6	おお
tDT	デッドタイム	最小デッドタイムが有効になりました		150		ns
IOUTx、バイアス	OUTxバイアス電流	VOUTx = VM = 60 V		180	260	μA
		VOUTx = 0V		180	260	μA
あなた、トフ	入力から出力への伝播遅れ	VCC = 5.5V~15V VBOOTx-VOUTx = 5.5 V ~ 15 V		30	60	ns
		VCC = 5.5V~15V VBOOTx-VOUTx = 5.5 V ~ 15 V 全温度範囲			120	ns
MT	遅延マッチング、HS および LS オン/オフ	(1)		0	50	ns



シンボル	パラメータ	試験条件	分。	タイプ。	最大。	ユニット
みっち	間の遅延マッチング チャンネル	(2)		0	50	ns
RDS_ダイオード	ブートストラップダイオードのオン抵抗			100	200	おお
RPDin	入力ラインのプルダウン抵抗			500		kΩ
tFAULT、リセット	フォルトリセット時間				160	マイクロ秒
RPU,I2C	I2C ラインのプルアップ抵抗			4		kΩ
I 2C 速度	I2Cの速度		0.1		1	Mbps
待機する						
イストビー	全体的なスタンバイ消費量 VMから	VM = 75V スタンバイレギュレーター有効、MCU 消費は除く		15	30	μA
tSTBY	待機時間			100		マイクロ秒
VREGStby	スタンバイレギュレータ出力 電圧	VM = 5V IREG3V3 = 1mA	3	3.3	3.6	で
IREGStby、リム	スタンバイ レギュレータ電流制限VM = 5.5 V、 Tamb = 25°C		5			マイクロアンペア
ひっくり返って、LDO	3.3V LDO ウェイクアップ時間			10		マイクロ秒
VDS監視保護						
VDSth	VDS監視保護 しきい値	VSCREF = 0.2 V、 Tamb = 25°C	0.1	0.2	0.3	で
		VSCREF = 1 V、 Tamb = 25°C	0.8	1	1.2	
		VSCREF = 2.5 V、 Tamb = 25°C	2.2	2.5	2.8	
VSCREF、	VDS監視保護 イネーブル電圧				2.55	で
VSCREF、ディス	VDS監視保護 電圧を無効にする		2.9			で
RSCREF	VDS監視保護 基準プルダウン抵抗			400		kΩ
tDFSC	VDS監視保護 グリッチ除去フィルター時間	VDS_P_DEG = 00		6		マイクロ秒
		VDS_P_DEG = 01		4		
		VDS_P_DEG = 10		3		
		VDS_P_DEG = 11		2		

1. MT = 最大値(|ton(GLS) - toff(GLS)|、 |ton(GHS) - toff(GHS)|、 |toff(GLS) - ton(GHS)|、 |toff(GHS) - ton(GLS)|)。  
2. MTCH は、チャンネルのtonとtoffと他のチャンネルの同じタイミングとの差です。



4      ピンの説明

図 3. STSPIN32G4 ピンの接続

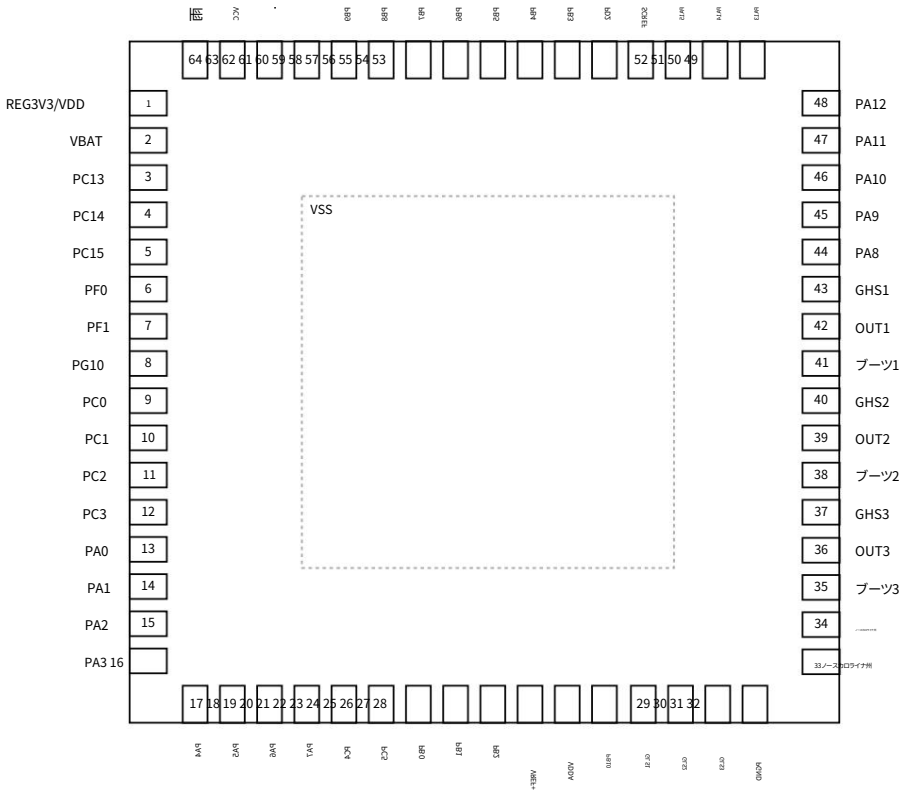


表 6. STSPIN32G4 ピンのリスト

N.	名前	タイプ	機能(1)
1	REG3V3/VDD	カ	3.3V LDOレギュレータ出力および制御ロジック供給電圧
2	VBAT	カ	MCUバックアップ電源
3	PC13	I/O – FT	TIM8_CH4N、イベントアウト、WKUP2、 RTC_TAMP1、RTC_TS、RTC_OUT1
4	PC14	I/O – FT	イベントアウト、OSC32_IN
5	PC15	I/O – FT	イベントアウト、OSC32_OUT
6	PF0	私 – FT_fa	I2C2_SDA、SPI2_NSS/I2S2_WS、 イベントアウト、ADC1_IN10、OSC_IN
7	PF1	O – FT_a	SPI2_SCK/I2S2_CK、イベントアウト ADC2_IN10、COMP3_INM、OSC_OUT
8	PG10	I/O – FT	MCO、イベントアウト、NRST
9	PC0	I/O – FT_a	LPTIM1_IN1、LPUART1_RX、EVENTOUT、ADC12_IN6、COMP3_INM
10	PC1	I/O – TT_a	LPTIM1_OUT、LPUART1_TX、SAI1_SD_A、EVENTOUT、ADC12_IN7、 COMP3_INP
11	PC2	I/O – FT_a	LPTIM1_IN2、COMP3_OUT、EVENTOUT、ADC12_IN8
12	PC3	I/O – FT_a	LPTIM1_ETR、SAI1_D1、SAI1_SD_A、EVENTOUT、ADC12_IN9



N.	名前	タイプ	機能(1)
13	PA0	I/O – TT_a	TIM2_CH1,USART2_CTS,COMP1_OUT,TIM8_BKIN,TIM8_ETR、 TIM2_ETR、 EVENTOUT,ADC12_IN1,COMP1_INM,COMP3_INP,RTC_TAMP2、 WKUP1
14	PA1	I/O – TT_a	RTC_REFIN,TIM2_CH2,USART2_RTS_DE,TIM15_CH1N,EVENTOUT、 ADC12_IN2,COMP1_INP,OPAMP1_VINP,OPAMP3_VINP
15	PA2	I/O – TT_a	TIM2_CH3,USART2_TX,COMP2_OUT,TIM15_CH1,LPUART1_TX、 UCPD1_FRSTX,EVENTOUT,ADC1_IN3,COMP2_INM,OPAMP1_VOUT、 WKUP4/LSCO
16	PA3	I/O – TT_a	TIM2_CH4,SAI1_CK1,USART2_RX,TIM15_CH2,LPUART1_RX、 SAI1_MCLK_A,EVENTOUT,ADC1_IN4,COMP2_INP,OPAMP1_VINM/ OPAMP1_VINP
17	PA4	I/O – TT_a	TIM3_CH2,SPI1_NSS,SPI3_NSS/I2S3_WS,USART2_CK,SAI1_FS_B、 イベントアウト,ADC2_IN17,DAC1_OUT1,COMP1_INM
18	PA5	I/O – TT_a	TIM2_CH1,TIM2_ETR,SPI1_SCK,UCPD1_FRSTX,EVENTOUT、 ADC2_IN13,DAC1_OUT2,COMP2_INM,OPAMP2_VINM
19	PA6	I/O – TT_a	TIM16_CH1,TIM3_CH1,TIM8_BKIN,SPI1_MISO,TIM1_BKIN、 COMP1_OUT,LPUART1_CTS,EVENTOUT,ADC2_IN3,OPAMP2_VOUT
20	PA7	I/O – TT_a	TIM17_CH1,TIM3_CH2,TIM8_CH1N,SPI1_MOSI,COMP2_OUT、 UCPD1_FRSTX,EVENTOUT,ADC2_IN4,COMP2_INP,OPAMP1_VINP、 OPAMP2_VINP
21	PC4	I/O – FT_fa	I2C2_SCL,USART1_TX,EVENTOUT,ADC2_IN5
22	PC5	I/O – TT_a	TIM15_BKIN,SAI1_D3,USART1_RX,EVENTOUT,ADC2_IN11、 OPAMP1_VINM,OPAMP2_VINM,WKUP5
23	PB0	I/O – TT_a	TIM3_CH3,TIM8_CH2N,UCPD1_FRSTX,EVENTOUT,ADC1_IN15、 COMP4_INP,OPAMP2_VINP,OPAMP3_VINP
24	PB1	I/O – TT_a	TIM3_CH4,TIM8_CH3N,COMP4_OUT,LPUART1_RTS_DE、 EVENTOUT,ADC1_IN12,COMP1_INP,OPAMP3_VOUT
25	PB2	I/O – TT_a	RTC_OUT2,LPTIM1_OUT,EVENTOUT,ADC2_IN12,COMP4_INM、 OPAMP3_VINM
26	VREF+	カ	MCU VREF+,VREFBUF_OUT
27	VDDA	カ	MCUアナログ電源電圧
28	PB10	I/O – TT_a	USART3_TX,LPUART1_RX,SAI1_SCK_A,EVENTOUT,OPAMP3_VINM
29	GLS1	アナログ出力	フェーズ 1 ローサイドドライバ出力
30	GLS2	アナログ出力	フェーズ 2 ローサイドドライバ出力
31	GLS3	アナログ出力	フェーズ 3 ローサイドドライバ出力
32	PGND	カ	ゲートドライバの電源グラウンド
33	内部ピン		内部的に接続されていません
34	内部ピン		内部的に接続されていません
35	ブーツ3	カ	フェーズ 3 ブートストラップ電源電圧
36	OUT3	カ	フェーズ 3 ハイサイド (フローティング) コモン電圧
37	GHS3	アナログ出力	フェーズ 3 ハイサイドドライバ出力
38	ブーツ2	カ	フェーズ 2 ブートストラップ電源電圧
39	OUT2	カ	フェーズ 2 ハイサイド (フローティング) コモン電圧
40	GHS2	アナログ出力	フェーズ 2 ハイサイドドライバ出力
41	ブーツ1	カ	フェーズ 1 ブートストラップ電源電圧



N.	名前	タイプ	機能(1)
42	OUT1	カ	フェーズ 1 ハイサイド (フローティング) コモン電圧
43	GHS1	アナログ出力	フェーズ 1 ハイサイドドライバー出力
44	PA8	I/O – FT_f	MCO,I2C2_SDA,I2S2_MCK,USART1_CK,TIM4_ETR,SAI1_CK2、 SAI1_SCK_A、イベントアウト
45	PA9	I/O – FT_fd	I2C2_SCL,I2S3_MCK,USART1_TX,TIM15_BKIN,TIM2_CH3、 SAI1_FS_A、イベントアウト,UCPD1_DBCC1
46	PA10	I/O – FT_da	TIM17_BKIN,USB_CRS_SYNC,I2C2_SMBA,SPI2_MISO,USART1_RX、 TIM2_CH4,TIM8_BKIN,SAI1_D1,SAI1_SD_A、イベントアウト、 UCPD1_DBCC2
47	PA11	I/O – FT_u	SPI2_MOSI/I2S2_SD,USART1_CTS,COMP1_OUT,FDCAN1_RX、 TIM4_CH1,EVENTOUT,USB_DM
48	PA12	I/O – FT_u	TIM16_CH1,I2SCKIN,USART1_RTS_DE,COMP2_OUT,FDCAN1_TX、 TIM4_CH2,EVENTOUT,USB_DP
49	PA13 (2)	I/O – FT_f	SWDIO-JTMS,TIM16_CH1N,I2C1_SCL,IR_OUT,USART3_CTS、 TIM4_CH3,SAI1_SD_B、イベントアウト
50	PA14(2)	I/O – FT_f	SWCLK-JTCK,LPTIM1_OUT,I2C1_SDA,TIM8_CH2,USART2_TX、 SAI1_FS_B、イベントアウト
51	PA15(2)	I/O – FT_f	JTDI,TIM2_CH1,TIM8_CH1,I2C1_SCL,SPI1_NSS,SPI3_NSS/ I2S3_WS,USART2_RX,UART4_RTS_DE,TIM2_ETR,EVENTOUT
52	SCREF	アナログ入力	短絡保護の閾値電圧を設定します。 電圧ピンが VSCREF_dis 閾値より高い場合、短絡します。 保護は無効になっています。
53	PD2	I/O – FT	TIM3_ETR,TIM8_BKIN、イベントアウト
54	PB3(2)	I/O – FT	JTDO-TRACESWO,TIM2_CH2,TIM4_ETR,USB_CRS_SYNC、 TIM8_CH1N,SPI1_SCK,SPI3_SCK/I2S3_CK,USART2_TX,TIM3_ETR、 SAI1_SCK_B、イベントアウト
55	PB4(2)	I/O – FT_c	JTRST,TIM16_CH1,TIM3_CH1,TIM8_CH2N,SPI1_MISO,SPI3_MISO、 USART2_RX,TIM17_BKIN,SAI1_MCLK_B,EVENTOUT,UCPD1_CC2
56	PB5	I/O – FT_f	TIM16_BKIN,TIM3_CH2,TIM8_CH3N,I2C1_SMBA,SPI1_MOSI、 SPI3_MOSI/I2S3_SD,USART2_CK,TIM17_CH1,LPTIM1_IN1、 SAI1_SD_B、イベントアウト
57	PB6	I/O – FT_c	TIM16_CH1N,TIM4_CH1,TIM8_CH1,TIM8_ETR,USART1_TX、 COMP4_OUT,TIM8_BKIN2,LPTIM1_ETR,SAI1_FS_B,EVENTOUT、 UCPD1_CC1
58	PB7	I/O – FT_f	TIM17_CH1N,TIM4_CH2,I2C1_SDA,TIM8_BKIN,USART1_RX、 COMP3_OUT,TIM3_CH4,LPTIM1_IN2,UART4_CTS,EVENTOUT、 PVD_IN
59	PB8(3)	I/O – FT_f	MCU PB8-ブーツ0 TIM16_CH1,TIM4_CH3,SAI1_CK1,I2C1_SCL,USART3_RX、 COMP1_OUT,FDCAN1_RX,TIM8_CH2,SAI1_MCLK_A,EVENTOUT
60	PB9	I/O – FT_f	TIM17_CH1,TIM4_CH4,SAI1_D2,I2C1_SDA,IR_OUT,USART3_TX、 COMP2_OUT,FDCAN1_TX,TIM8_CH3,SAI1_FS_A,EVENTOUT
61	VM	カ	電源電圧 (モーター電源電圧)
62	VDDP	カ	降圧型レギュレータのスイッチング出力
63	VCC	カ	ゲートドライバ電源電圧
64	雨	カ	3.3V LDOレギュレータ入力
EPAD VSS		カ	制御ロジックグランド

- MCU GPIO の代替機能および追加機能。詳細については、STM32G431VBx3 MCU のドキュメントを参照してください。
- リセット後、これらのピンは JTAG/SW デバッグ代替機能として設定され、PA15、PA13、PB4 の内部プルアップとして設定されます。  
ピンと PA14 ピンの内部プルダウンがアクティブになります。



3. ピンが残っている場合の消費を制限するために、起動後は PB8 をアナログ モード以外のモードに設定することをお勧めします。  
接続されていない。

表 7. MCU とゲートドライバーの内部接続

MCUパッド	GDパッド	ピン配列	ノート
すべての VSS (VSSA を含む)	GND	VSS	エクスポーズドパッド
すべての VDD	REG3V3	VDD	
PE7	ウェイク		プッシュプル出力
PE8号	INL1		TIM1_CH1N(1)
PE9	INH1		TIM1_CH1(1)
PE10号	INL2		TIM1_CH2N(1)
PE11	INH2		TIM1_CH2(1)
PE12	INL3		TIM1_CH3N(1)
PE13	INH3		TIM1_CH3(1)
PE14	準備ができて		ブルアップ付き入力、TIM1_BKIN2(2) (オプション)
PE15	欠陥		ブルアップ付き入力、TIM1_BKIN (2) (オプション)
PC8	SCL		I2C3_SCL
PC9	SDA		I2C3_SDA

- 1. ゲート ドライバー IC は、これらの GPIO 構成のみをサポートするように設計されています。構成が異なるとデバイスに問題が発生する可能性があります  
故障中。ブルアップまたはプルダウンのない GPIO 入力構成は常に許可されます。
- 2. 回線は構成の競合から保護されます。 MCU GPIO がプッシュプル モードで誤って設定されている場合、デバイスは  
破損していません。

## 5 デバイスの説明

STSPIN32G4 は、1 つの MCU (STM32G431) とトリプル ハーフブリッジ ゲート ドライバを組み込んだシステムインパッケージで、高性能三相ブラシレス モータ アプリケーションに適しています。

### 5.1 電源管理セクションデバイスの電源管理セクション

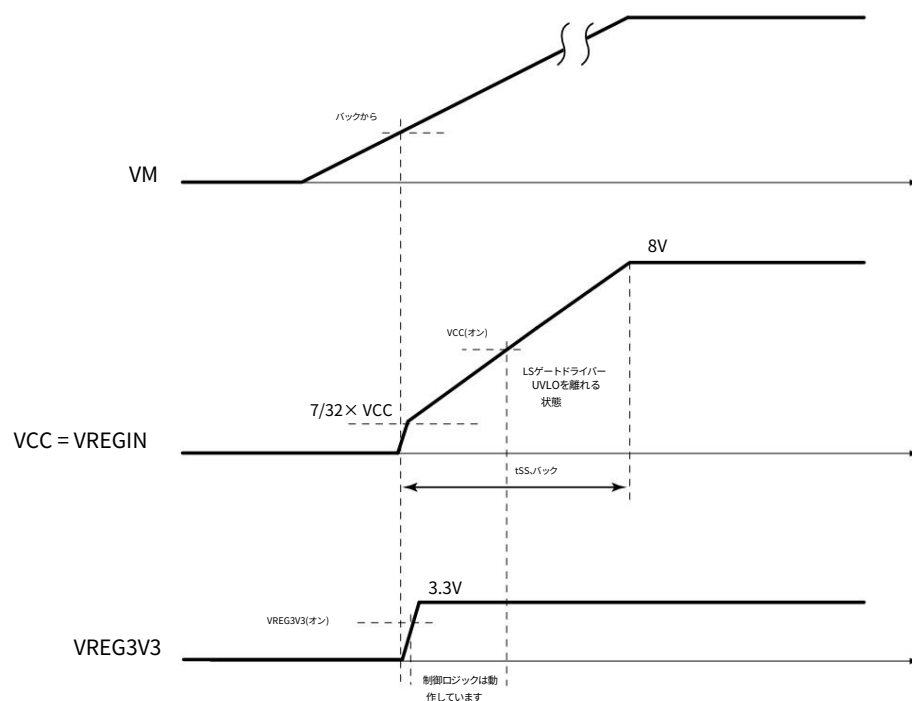
電源管理セクションは次のように構成されます。

- 主電源から VCC 電圧 (ゲート ドライバ電源) を生成する 1 つの降圧レギュレータ。
- VREGIN 入力電圧 (範囲設定) から開始して 3.3 V (VREG3V3) を生成する 1 つの LDO リニア レギュレータ
- 主電源から開始して低精度の 3.3 V を生成する 1 つの低静止リニア レギュレータ。

VM ピンはデバイスの主電源電圧です。

REG3V3 電源が VREG3V3(On) を下回ると、制御ロジックは動作せず、内部レジスタはデフォルトにリセットされます。

図 4. 電源投入シーケンス (REGIN が VCC と短絡)

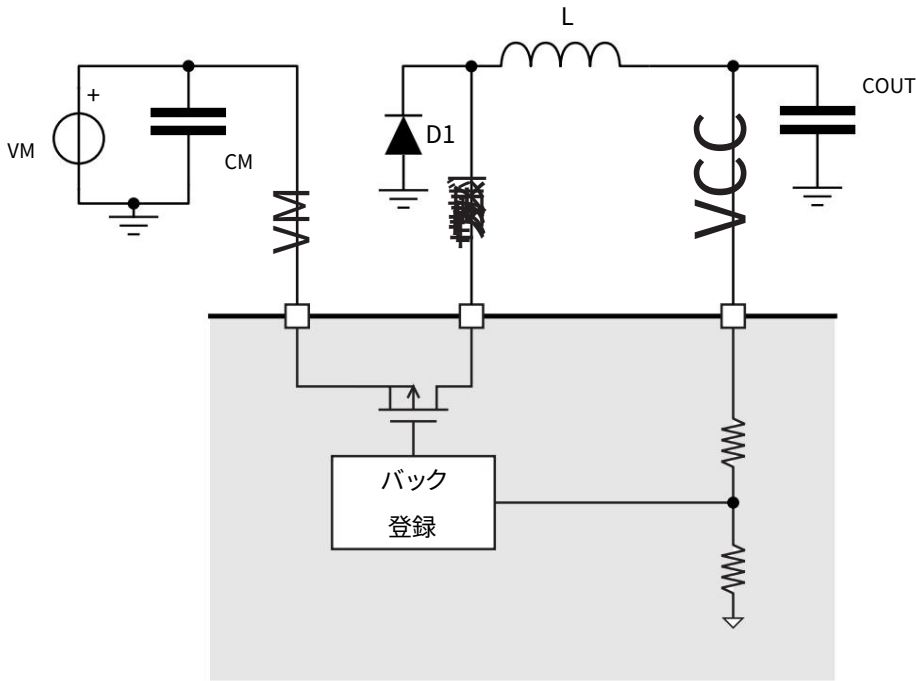


#### 5.1.1 VCC 降圧レギュレータ

デバイスには、モータ電源 (VM) から開始してゲート ドライバ用の電源電圧 (VCC) を生成する降圧レギュレータが統合されています。安定化された電圧はゲート駆動回路に供給され、ブートストラップ コンデンサを充電し、最大総消費量 200 mA で外部回路に供給されます。



図 5. VCC 降圧構成



出力電圧は、表 8 に示すようにさまざまな値に設定できます。レギュレータは固定スイッチングで動作します  
fSW,Buckの周波数、および最大デューティ サイクル 90%。

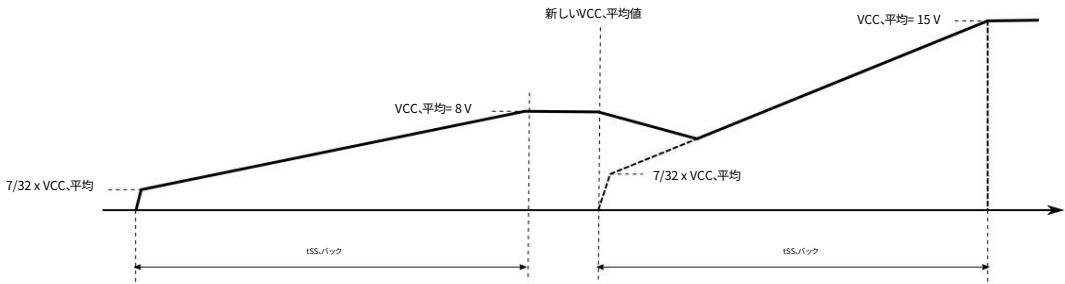
システムの電源投入時またはウェイクアップ時にソフトスタートが実装されます。出力ターゲット電圧は、最大まで徐々に増加します。  
tSS,Buck時間内のターゲットVCC (図6を参照)。 tSSの前半では、レギュレータは降圧時間で動作します。  
fSW,SSのスイッチング周波数を固定。

ターゲット出力電圧が変更されると、新しいターゲット電圧を最終値として新しいソフトスタート ランプが生成されます。  
価値。

表 8. VCC降圧レギュレータの出力電圧

VCC_VAL	VCC規定値[V]	注記
00	8	デフォルト
01	10	
10	12	
11	15	

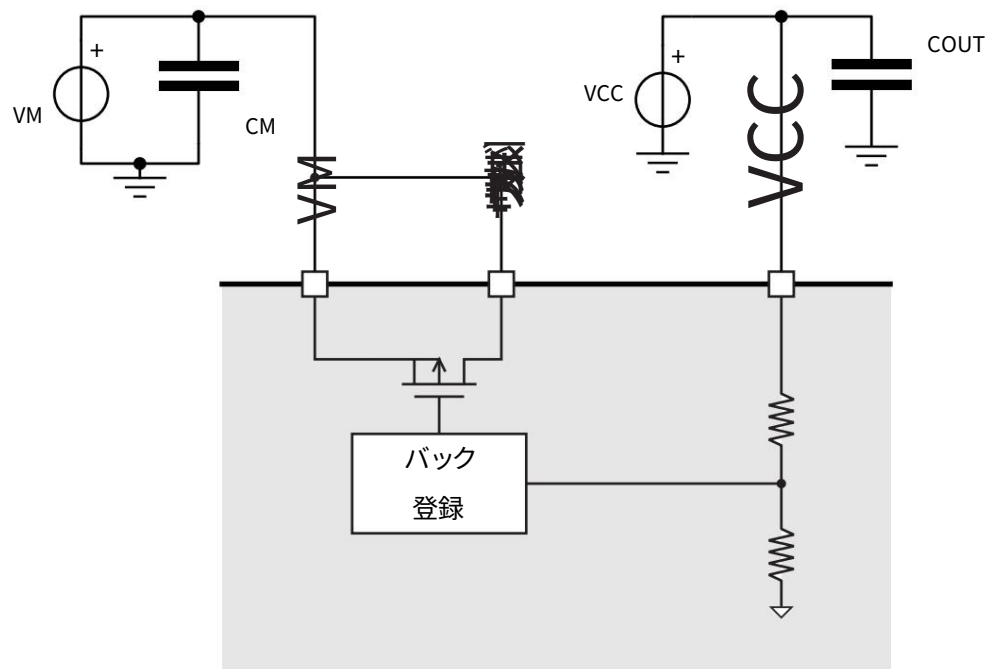
図 6. VCC 降圧レギュレータのソフトスタート



内蔵レギュレータをバイパスして、外部からVCC電源を供給することが可能です。



図 7. 外部から供給される VCC (降圧無効)



### 5.1.1.1

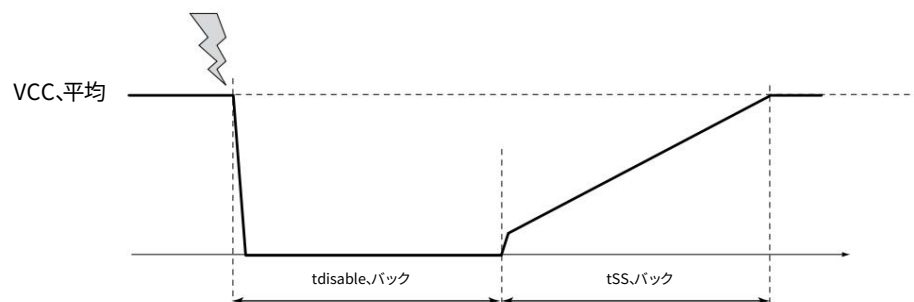
## 短絡保護レギュレータは SW

ピンの短絡から保護されます。この状態が検出されると、レギュレータは tdisable ,Buck時間停止します。

この期間の終わりに、降圧レギュレータはソフトスタートの実行を再開します。

### 図 8. VCC 降圧レギュレータの短絡保護

## 短絡イベント



### 5.1.1.2

熱保護降圧コンバータ

回路の温度が TSD スレッシュヨルドを超えると、温度が TSD - TSD(Hyst)レベル未満に戻るまで動作を停止します (自動再起動)。

レギュレータが動作に戻ると、ソフトスタートが実行されます。

### 5.1.2

### 3.3 V リニア レギュレータこの

デバイスには、低ドロップ リニア レギュレータ (LDO) が組み込まれており、REGIN 入力電圧から開始して 3.3 V 電源を生成します。3.3 V の出力電圧は、ゲート ドライバー ロジックとマイクロコントローラーの両方に供給されます。

LDO 出力電流は制限されており、レギュレータは短絡や過負荷から保護されています。

不足電圧監視回路は 3.3 V 電源でアクティブになり、電圧が VREG3V3(オフ) を下回るとリセットをトリガーします。

3.3 V 電源では 4 つの構成が可能です。

1. REGIN ピンを降圧出力 VCC に直接接続し、LDO を介して内部生成されます(図9)。
2. REGIN ピンが抵抗を介して降圧出力 VCC に接続され、LDO 経由で内部生成(図10);この構成により、デバイス内の電力損失を削減できます。
3. REGINピンを15V~15Vの範囲の外部電源電圧に接続し、LDO経由で内部生成 3.3 V (図11)。
4. 外部的には、REGIN と REG3V3 が接続されて提供されます(図12)。この場合は切断することも可能です  
または、3.3 V 電源を供給しながら、グランド VM または VCC に接続します。VM が再度提供されるとデバイスが再起動します  
パワーアップ状態から。

図 9. VCC 経由で供給される 3.3 V LDO レギュレータ

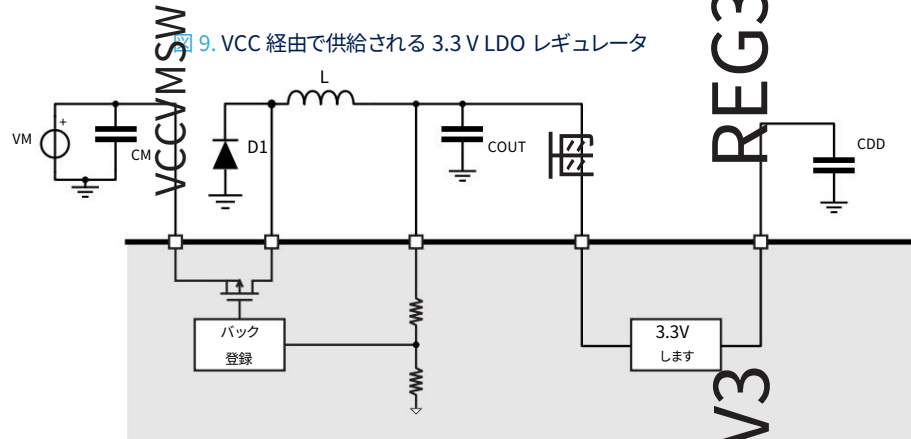


図 10. VCC (外部抵抗) を介して供給される 3.3 V LDO レギュレータ

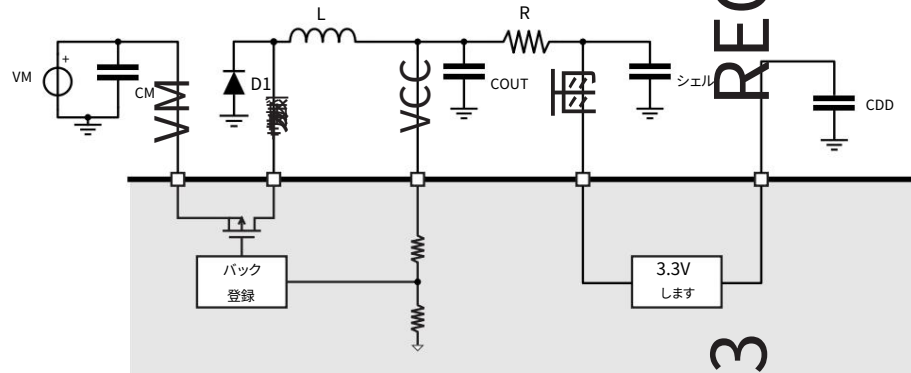


図 11. 外部電源を備えた 3.3 V LDO レギュレータ

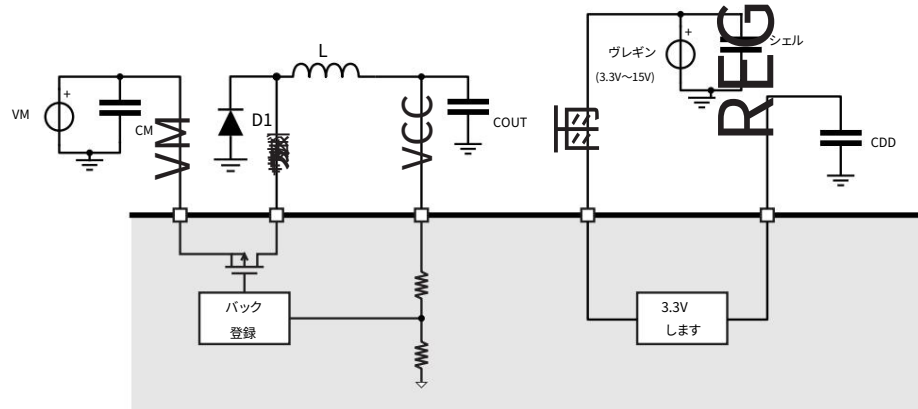
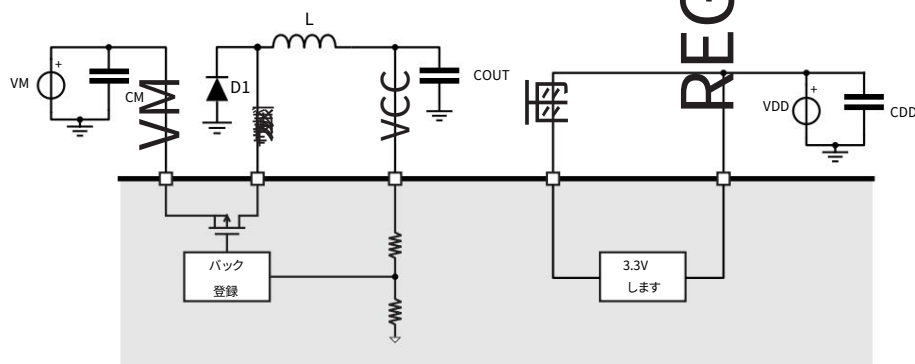


図 12. 3.3 V 外部供給 (リニア レギュレータは無効)



## 5.1.2.1 サーマルシャットダウン

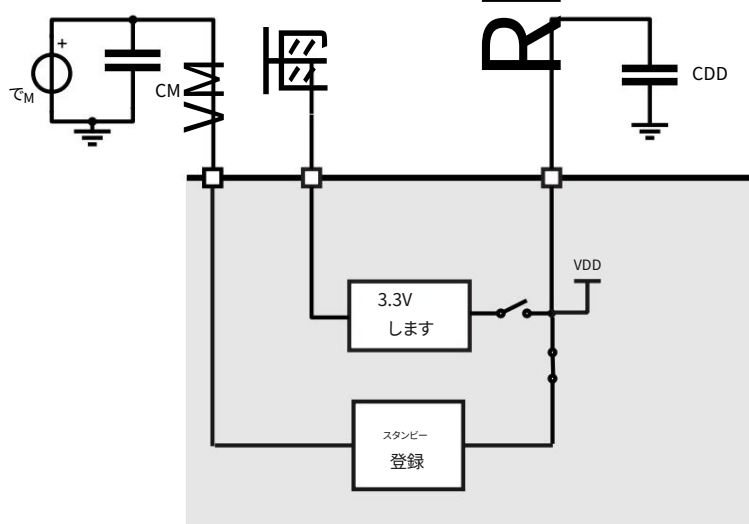
デバイスの温度がTSDしきい値を超えると、すべてのゲート ドライバ出力が強制的に Low になり、3.3 V リニアレギュレータは、温度がTSD - TSD(Hyst)レベル以下に戻るまで停止します (自動再起動)。降圧コンバータには、セクション 5.1.1.2で説明されている独立した熱保護機能があります。

## 5.1.3 スタンバイリニアレギュレータ

デバイスが低消費状態の場合、組み込み MCU は特別なシステムを通じて電力を供給できます。設計されたリニア レギュレータは、メイン電源ピン VM から開始してVREGStby電源を生成します。レギュレータは、過電流保護機能を備え、最大供給電流 6 mA を提供するように設計されています。出力電流が超過した場合、レギュレータの制限によりリセットがトリガーされます。

レギュレータ出力はデフォルトでは無効になっており、スタンバイ状態に入る前に有効にする必要があります (「セクション 5.4」STBY\_REG\_EN ビットの設定)。デバイスがスタンバイ状態に入ると、3.3 V LDO レギュレータが図 13に示すように、無効になり、REG3V3 ピンから切断されます。

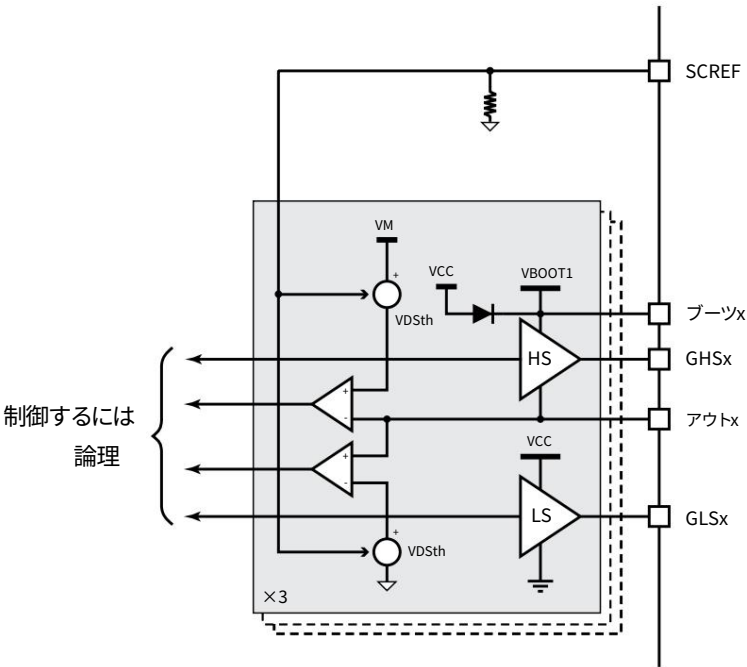
図 13. スタンバイ レギュレータが有効化



## 5.2 ゲートドライバー

STSPIN32G4 には、N チャネル パワー MOSFET を駆動できるトリプル ハーフブリッジ ゲート ドライバが統合されています。のハイサイドセクションは、統合されたブートストラップダイオードを使用したブートストラップ電圧技術によって供給されます。

図 14.ゲートドライバーのブロック図



いくつかのデジタル入力各ハーフブリッジゲートドライバーを駆動します。ローサイド駆動用の1つのINLx信号と1つのINHx信号です。ハイサイド駆動用の信号です。高入力、ゲートドライバがそれぞれの外部MOSFETをオンにすることを意味します。値が低いと、ゲートドライバーがオフになります。

5.2.1 連動

ゲートドライバーはインターロック機能を提供するため、同じハーフブリッジのハイサイドMOSFETとローサイドMOSFET両方を同時にオンにすることはできません。

表 9.インターロック付きゲートドライバー制御ロジック

INHx	INLx	ハイサイドゲートドライバー	ローサイドゲートドライバ
0	0	シンク電流 (ターンオフ)	シンク電流 (ターンオフ)
0	1	シンク電流 (ターンオフ)	ソース電流 (ターンオン)
1	0	ソース電流 (ターンオン)	シンク電流 (ターンオフ)
1	1	シンク電流 (ターンオフ)	シンク電流 (ターンオフ)

ILOCKビットを設定することでインターロック機能を無効にすることができます。この場合、ハイサイドとローサイドの両方がMOSFETを同時にオンにすることができます。

表 10.インターロックなしのゲートドライバー制御ロジック

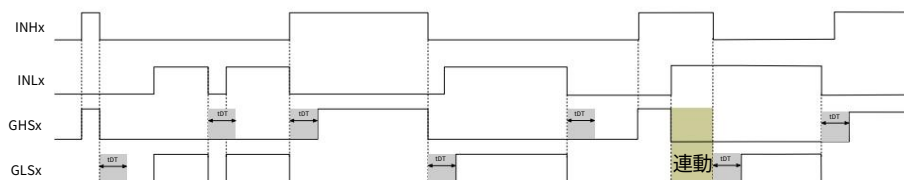
INHx	INLx	ハイサイドゲートドライバー	ローサイドゲートドライバ
0	0	シンク電流 (ターンオフ)	シンク電流 (ターンオフ)
0	1	シンク電流 (ターンオフ)	ソース電流 (ターンオン)
1	0	ソース電流 (ターンオン)	シンク電流 (ターンオフ)
1	1	ソース電流 (ターンオン)	ソース電流 (ターンオン)

### 5.2.2 最小デッドタイム

デバイスは、tDTの最小デッドタイム値を保証し、外部電源のターンオフの間に遅延を課します。MOSFETと相補的なMOSFETのターンオン。

図 15に示すように、デッドタイムは MCU によって最終的に課されるデッドタイムには追加されません。

図 15. デッドタイムのタイミング (インターロックが有効な場合)



この機能は、DTMIN ビットをクリアすると無効になります (表 17 を参照)、またはインターロックが無効になっている場合 (表 17 を参照) セクション5.2.1)。

### 5.2.3 シンク/ソース電流

ゲート ドライバの出力段は、最大 1 A のシンク/ソース能力を提供します。

ゲート ドライバ出力段の電圧対電流特性を図 26と図 27 に示します。

UVLO 状態では、ゲート ドライバは利用可能な最大電流能力で出力を Low に保ちます。

図 16. UVLO 範囲でのローサイド ゲート ドライバの出力特性

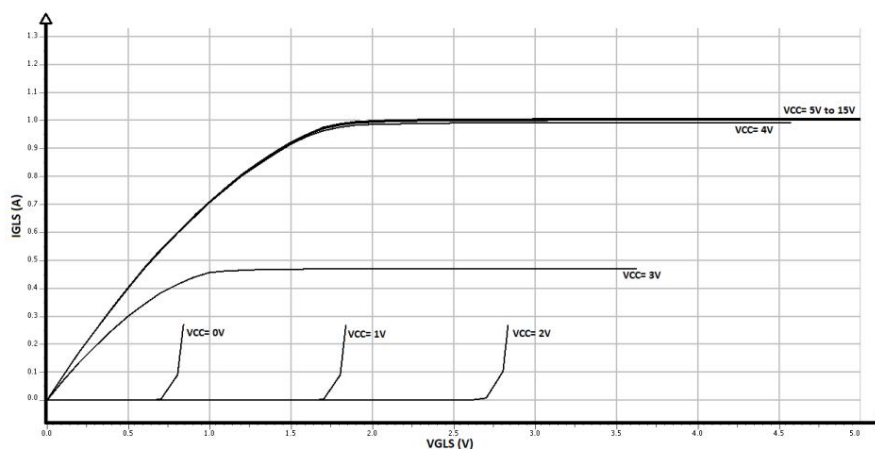
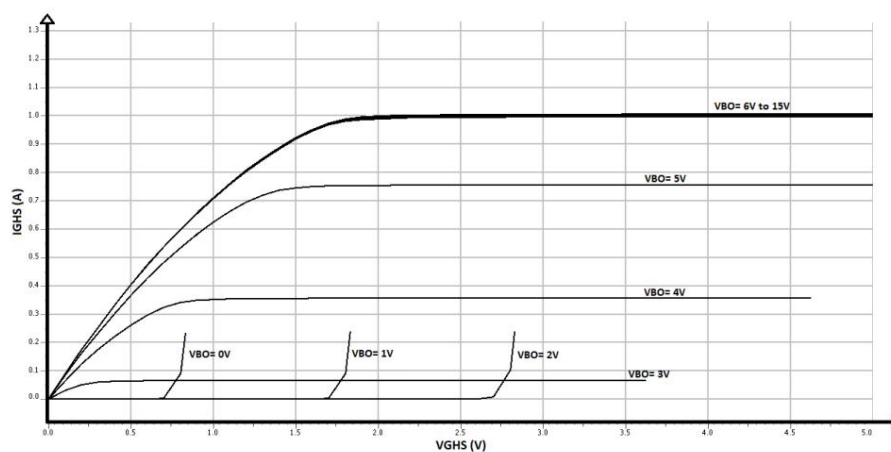


図 17. UVLO 範囲でのハイサイド ゲート ドライバの出力特性





## 5.2.4

## ブートストラップ セクション

ブートストラップ回路により、電源 VM よりも高い電圧を生成でき、ハイサイド ドライバーに電源を供給するために使用されます。1 つのハイサイド MOSFET がオンになると、そのソース電圧 (OUTx ピン) が VM まで増加します。

したがって、ゲートは VM よりも高い電圧で駆動する必要があります。

ブートストラップ コンデンサは OUTx ピンを指します。

- OUTx ピンが強制的に GND にされると (つまり、それぞれのローサイド MOSFET がオンになります)、ブートストラップ コンデンサはブートストラップ ダイオードを通じて充電されます。
- OUTx が VM に強制される (つまり、それぞれのハイサイド MOSFET がオンになると)、ブートストラップ コンデンサはそれぞれのハイサイドドライバに電力を供給し、放電します。

ブートストラップ コンデンサの電圧降下は、ハイサイド ドライバの電源に対応します。各ブートストラップ コンデンサは、対応するハイサイドがオンになった後に充電する必要があります。充電しないと、その電圧が VBO(On) - VBO(Hyst) しい値を下回り、それぞれのドライバがオフになります (セクション 5.2.6 を参照)。

ブートストラップ アーキテクチャの制限は、ハイサイド MOSFET が無期限にオン状態を維持できないことです。実際、ハイサイドがオンになると、それぞれのブートストラップ コンデンサが放電を開始します。再充電されない場合、ブートストラップ コンデンサの電圧は VBO(On) - VBO(Hyst) (つまり、BOOTx ピンの UVLO) を下回ります。このため、100% のデューティ サイクルで動作することも可能ですが、限られた数の PWM 期間のみです。ブートストラップ コンデンサが大きいほど、ハイサイド MOSFET をオンに保つことができる時間が長くなります。

VCC ピンの過度の降下を避けるために、適切なバイパス コンデンサが必要です。VCC ピンに接続された外部電源を使用する場合でも、ブートストラップ コンデンサが必要な場合に高速過渡電流を提供する低 ESR のバイパス コンデンサを使用することが重要です。

VCC ピンのバイパス コンデンサは 3 つのブートストラップ コンデンサに電荷を供給する必要があります。ブートストラップ コンデンサが大きいほど、VCC コンデンサも大きくする必要があります (セクション 5.2.4.2 の式 1 を参照)。

## 5.2.4.1

## 電源投入とウェイクアップ電源

投入中またはスタンバイ状態から抜け出した後、ブートストラップ コンデンサに電荷が存在しない場合があります。

このような場合、ドライバは通常の動作ですぐに起動できませんが、ローサイド MOSFET をオンにしてブートストラップ コンデンサを充電する必要があります。

この手順の開始時には、大量の電流が必要になる可能性があります。内部 VCC 降圧レギュレータを使用する場合、その電流は ICC で制限されます (表 2 を参照)。

## 5.2.4.2

## 充電時間と外部ブートストラップ ダイオードブートストラップ

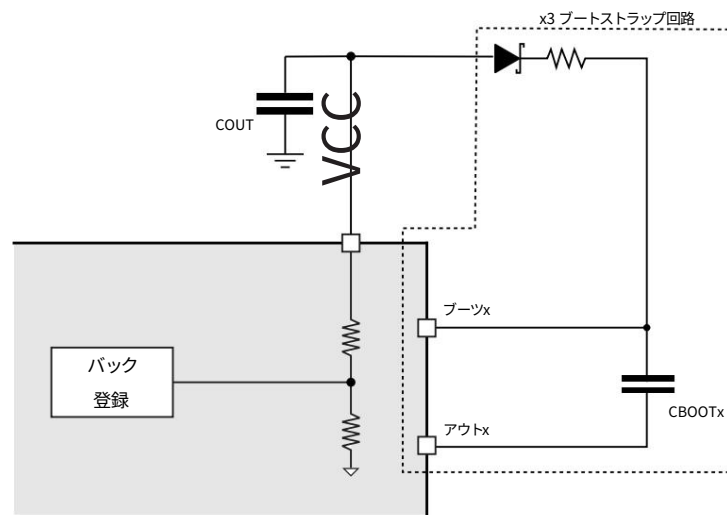
コンデンサの充電時間は、その値だけでなく、電流の流れを制限するブートストラップ ダイオード (RDS\_diode) の抵抗にも依存します。ブートストラップ再充電の最小時間 (つまり、ローサイド MOSFET がオンでなければならない最小時間) を短縮するには、図 18 に示すように外部ブートストラップ ダイオードを使用できます。

各ダイオードは、対応する内部ブートストラップ ダイオードと並列です。RDS\_diode より小さい外部直列抵抗を各ダイオードと一緒に使用して、最大充電電流を低減し、VCC ピンの電圧降下を制限することができます。COUT コンデンサの最大降下は、3 つのブートストラップ コンデンサを再充電する必要があり、外部ダイオードとの直列抵抗が使用されない場合に発生します。この低下は次のように近似できます。式 1

(1)

$$C_{BOOT} \Delta V_{OUT} \approx V_{CC} \frac{3}{C_{OUT} + 3} C_{BOOT}$$

図 18. 外部ブートストラップ ダイオードの構成



### 5.2.5

VDS 監視保護このデバイスは、異常状

態を検出するためにパワー段の MOSFET の VDS を監視します。各 MOSFET の VDS は基準しきい値 (VDSth) と比較されます。

基準閾値 (VDSth) は、SCREF 端子 (VSCREF) に印加される電圧に応じて生成されます。

SCREF 電圧は 0.2 V ~ VSCREF,en の範囲内である必要があります。電圧が VSCREF,dis を超える場合、保護は無効になります。

有効にすると、次のいずれかの条件が発生したときに保護がトリガーされます。• GLSx 出力がハイ

イで、 $t_{DFSC}$  を超えて  $V_{OUTx} > V_{DSth,LS}$  • GHSx 出力がハイで、 $t_{DFSC}$  を超

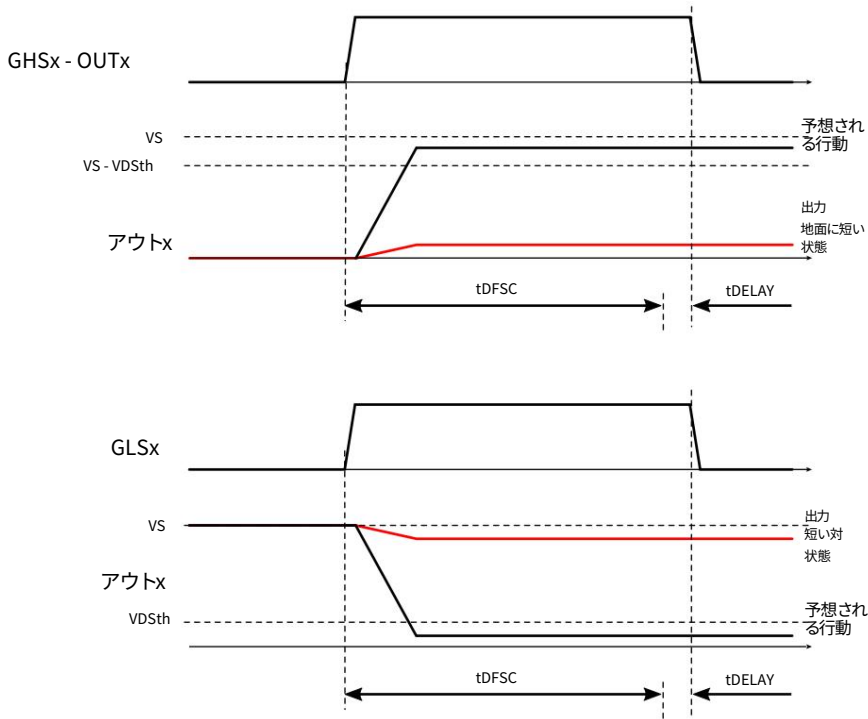
えて  $V_S - V_{OUTx} > V_{DSth,HS}$

保護がトリガーされるとすぐに、すべてのゲート ドライバー出力が強制的に Low になり、保護がラッチされます。この状態では、駆動入力に関係なく、すべてのゲート ドライバ出力は Low に保たれます。

デバイスは、少なくとも  $t_{FAULT,reset}$  の間、すべての駆動入力を強制的に Low にするか、CLEAR レジスタのすべてのビットを設定して動作状態に戻ります (つまり、故障状態がクリアされます)。



図 19. VDS 監視保護タイミング



グリッチ除去フィルターが提供されており、異常な状態が発生した場合に保護機能が誤って作動するのを防ぎます。  
VDS は、グリッチ解消時間 tDFSC よりも短い時間持続します。VDS\_P\_DEG ビットを使用すると、グリッチ除去時間を変更できます (次のように)  
表 11に示します。**VDS 監視保護のグリッチ解除時間。**

表 11. VDS 監視保護グリッチ解除時間

VCC_P_DEG	VDS 保護デグリッチ時間 [μs]	注記
00	6	デフォルト
01	4	
10	3	
11	2	





5.2.6 不足電圧保護

このデバイスは、ゲート ドライバの電源電圧に対して低電圧ロックアウト (UVLO) 保護を提供します。いつ UVLO 状態では、ゲート ドライバは利用可能な最大電流能力で出力を低く保ちます。その間 電源投入時、それぞれの電源電圧がターンオン電圧を超えて上昇すると、デバイスは UVLO 状態を終了します。 しきい値。電源電圧がヒステリシスのオンしきい値電圧を下回ると、UVLO 条件が設定されます。

表 12. UVLO 保護管理

ブロック	VCC UVLO	VBOX UVLO
HS1、HS2、HS3出力	低(1)	低(1)(2)
LS1、LS2、LS3出力	低(1)	-
READYオープンドレイン出力	低(3)	

- 1. ゲート ドライバの N チャネルは、利用可能なすべての電源電圧でオンになります (図 16 を参照)。
- 2. 各ハイサイド ゲート ドライバは独立した UVLO 保護を提供します (たとえば、BOOT1 の UVLO により HS1 のみがオフになります)。
- 3. VCC\_UVLO\_RDY が設定されている場合。

5.3 マイコンユニット

統合された MCU は STM32G431VBx3 で、次の主な特徴があります。

- コア: ARM® Cortex®-M4 32 ビット CPU + FPU、最大周波数 170 MHz
- 32kBのSRAM、128kBのフラッシュメモリ
- 2 x ADC、16 ビット分解能および 0.2 μs サンプルング時間
- 4 x 12ビットDACチャンネル
- 4 x 高速レールツーレールコンパレータ
- 3 x レールツーレールオペアンプ
- インターフェイスの完全なセット:
- CAN、UART、I2C、SPI

詳細については、 [www.st.com](http://www.st.com) の STM32G431VBx3 データシートを参照してください。

5.3.1 思い出とブートモード

このデバイスには次の機能があります。

- 32kBの組み込みSRAM
- 不揮発性メモリは 2 つのアレイに分割されます。
  - プログラムとデータを保存するための 128 KB の内蔵フラッシュ メモリ
  - オプションバイト

フラッシュ メモリには、以下をサポートするエラー修正コード (ECC) 機能が組み込まれています。

- 単一エラーの検出と修正
- 二重エラー検出
- ECC フェイルのアドレスは ECC レジスタで読み取ることができます。
- ユーザー データ用の 1 kB (128 ダブル ワード) OTP (ワンタイム プログラマブル) バイト。 OTP エリアは次の場所で利用できます。 バンク1のみ。 OTP データは消去できず、書き込みは 1 回のみです。

オプション バイトのおかげで、柔軟な保護を構成できます。

- 読み出し保護 (RDP) は、次のオプションを使用してメモリ全体を保護します。
  - レベル 0: 読み出し保護なし
  - レベル 1: メモリ読み出し保護。次のいずれかの場合、フラッシュ メモリの読み取りまたは書き込みはできません。 デバッグ機能が接続されているか、RAM またはブートローダーでのブートが選択されています。
  - レベル 2: チップ読み出し保護。デバッグ機能 (Cortex-M4 JTAG およびシリアル ワイヤ)、RAM でのブート およびブートローダーの選択が無効になります (JTAG ヒューズ)。この選択は元に戻せません。
- 書き込み保護 (WRP): 保護領域は消去やプログラミングから保護されます。



- 独自コード読み出し保護 (PCROP): フラッシュ メモリの一部をサードパーティからの読み書きから保護できます。
- セキュアなメモリ領域: オプション バイトによりフラッシュ メモリの一部をセキュアに設定できます。

起動時に、BOOT0 ピン (または nBOOT0 オプション ビット) と nBOOT1 オプション ビットを使用して、次の 3 つのブート オプションのいずれかを選択します。

- ユーザーフラッシュからブートする
- システムメモリから起動する
- 内蔵 SRAM からブートする

BOOT0 値は、必要に応じて GPIO パッドを解放するためのユーザーの nBOOT\_SEL オプション ビットの値に応じて、PB8-BOOT0 ピンまたは nBOOT0 オプション ビットから取得されます。

ブート ローダーはシステム メモリにあります。これは、USART、I2C、SPI、および DFU (デバイス ファームウェア アップグレード) 経由の USB を使用してフラッシュ メモリを再プログラムするために使用されます。

### 5.3.2

電源管理VDD は、I/O、内部レギ

ュレータ、およびリセット、電源管理、内部クロックなどのシステム アナログ用の外部電源です。これは、VDD ピンを介して外部から供給されます。

VDDAは、A/D コンバータ、D/A コンバータ、電圧リファレンス バッファ、オペアンプ、コンパレータ用の外部アナログ電源です。VDDA 電圧レベルは VDD 電圧から独立しているため、これらの周辺機器を使用しない場合は VDD に接続することが望ましいです。

VBATは、VDD が存在しない場合の RTC、外部クロック 32 kHz 発振器、およびバックアップ レジスタ (電源スイッチ経由) の電源です。

パワーアップおよびパワーダウン中は、次の電源シーケンスが必要です。• VDD が 1 V 未満の場合、VDDA 電源は VDD + 300 mV 未満に維持する必要があります。• VDD が 1 V を超える場合、すべての電源が独立しました。

パワーダウン段階では、MCU に供給されるエネルギーが 1 mJ 未満のままの場合にのみ、VDD が一時的に他の電源よりも低くなることがあります。これにより、パワーダウン過渡フェーズ中に、外部デカップリング コンデンサを異なる時定数で放電できるようになります。

VREF+ は、ADC および DAC の入力基準電圧です。これは、有効な場合は内部電圧リファレンス バッファの出力でもあります。

このデバイスには、すべてのモード (シャットダウン モードを除く) でアクティブな超低電力ブラウンアウト リセット (BOR) が統合されています。BOR は、電源投入後および電源切断中のデバイスの適切な動作を保証します。監視対象の電源電圧VDD が指定されたしきい値を下回る場合、デバイスは外部リセット回路を必要とせずにリセット モードを維持します。最低の BOR レベルは電源投入時の 1.71 V で、オプション バイトを通じてその他のより高いしきい値を選択できます。

このデバイスは、VDD電源を監視し、それをVPVDしきい値と比較する組み込みプログラマブル電圧検出器 (PVD) を備えています。VDD がVPVDしきい値を下回った場合、および/またはVDD がVPVDしきい値よりも高い場合、割り込みが生成されることがあります。その後、割り込みサービス ルーチンは警告メッセージを生成したり、MCU を安全な状態に置いたりすることができます。PVD はソフトウェアによって有効になります。

さらに、このデバイスには、ペリフェラルが機能する電源範囲内にあることを確認するために、独立した電源電圧VDDA を固定しきい値と比較するペリフェラル電圧モニタが組み込まれています。

MCU は 3 つの低電力モードをサポートし、低電力消費、短い起動時間、利用可能なウェイクアップ ソースの間で最適な妥協点を実現します。•スリープ モード: CPU のみが停止します。すべての周辺機器は動作を継続

し、次の場合に CPU をウェイクアップできます。

割り込み/ イベントが発生します。

•低電力実行モード:このモードは、低電力レギュレータによって供給される VCORE によって実現され、レギュレータの動作電流を最小限に抑えます。

•ストップ モード:デバイスは SRAM とレジスタを保持しながら、消費電力を最小限に抑えます。コンテンツ。

•スタンバイ モード:ブラウンアウト リセット (BOR) を使用して消費電力を最小限に抑えるために使用されます。デバイスは、外部リセット イベント (NRST ピン)、IWDG リセット イベント、ウェイクアップ イベント (WKUP ピン、設定可能な立ち上がりエッジまたは立ち下がりエッジ)、または RTC イベント (アラーム、定期ウェイクアップ、タイムスタンプ、改ざん) が発生したとき、または障害が検出されたときにスタンバイ モードを終了します。LSE 上 (LSE 上の CSS)。



- シャットダウン モード:消費電力を最小限に抑えることができます。BOR はシャットダウン時には使用できませんモード。このモードでは電源電圧監視はできません。デバイスは外部からシャットダウン モードを終了します。リセット イベント (NRST ピン)、IWDG リセット イベント、ウェイクアップ イベント (WKUP ピン、設定可能な立ち上がりエッジまたは立ち下がりエッジ)、または RTC イベント (アラーム、定期的なウェイクアップ、タイムスタンプ、改ざん)。

5.3.3

アドバンスドコントロールタイマ (TIM1)

高度なモーター制御タイマ (TIM1) は、8 チャネルで多重化された 4 相 PWM として見るすることができます。それは持っていますプログラム可能な挿入デッドタイムを備えた相補 PWM 出力。

このタイマーは、表 13 に示すように、3 つのハーフブリッジ ゲート ドライバーの PWM 信号を生成するために使用されます。

表 13. TIM1 チャネル構成

MCU I/O	アナログIC入力	TIM1チャンネル
PE8号	INL1	TIM1_CH1N
PE9	INH1	TIM1_CH1
PE10号	INL2	TIM1_CH2N
PE11	INH2	TIM1_CH2
PE12	INL3	TIM1_CH3N
PE13	INH3	TIM1_CH3
PE14	準備ができて	TIM1_BKIN2 (オプション)
PE15	欠陥	TIM1_BKIN (オプション)

5.4

スタンバイモード

STSPIN32G4 は、特に次のような電力消費を削減するスタンバイ モードを提供します。

- すべての出力ドライバが強制的に Low (外部電源スイッチがオフ)
- すべての組み込み保護が無効になっています
- 降圧レギュレータが無効になっている
- 3.3 V LDO リニア レギュレータがオフになります。
- I2C通信は利用できません。

デバイスは STBY ビットを設定して低消費モードに入ります。STBY ビットがセットされると、デバイスが切り替わります。tSTBY時間後に低消費モードに移行します。この間に WAKE 入力 High の場合、デバイスは動作を中止します。スタンバイ要求は STBY ビットをクリアします。

STBY\_RDY ビットが設定されている場合、STBY 要求がI2C経由でアサートされたときに READY ピンがグランドに接続されて、今後スタンバイ状態に入る。デバイスが低消費モードに切り替わる tSTBY時間後

READY ピンは消費電流を削減するために解放されます。

WAKE 入力 High になると、デバイスはスタンバイからウェイクアップします。降圧レギュレータはソフトスタートを実行します VCC がVCC(On)しきい値電圧に達すると、ランプがオンになり、LDO レギュレータがオンになります。STBY\_RDYの場合

スタンバイに入る前にビットがセットされると、READY ピンが強制的に Low になり、からtWAKE,LDO遅延で解放されます。

VCC > VCC(オン)イベント。

デバイスが低消費状態の場合、組み込み MCU は特別なシステムを通じて電力を供給できます。

設計されたリニア レギュレータは STBY\_REG\_EN ビットを設定します。レギュレータは、次から始まるVREGStby電源を生成します。メイン電源ピン VM に接続され、最大IREG3V3,Stby電源電流を提供するように設計されています。

スタンバイ レギュレータには、供給電流が減少した場合にデバイスのリセットをトリガーする過電流保護機能が組み込まれています。IREGStby,limを超えています。スタンバイ中、専用の電圧監視回路が REG3V3 ピンでアクティブになります。

電圧がVREG3V3Stby(Off)を下回った場合にデバイスのリセットをトリガーします。過電流やリセットによるリセットの場合

電圧不足が発生すると、システムは電源投入状態から再起動し、レジスタはデフォルトに復元され、両方のレジスタがリセットされます。

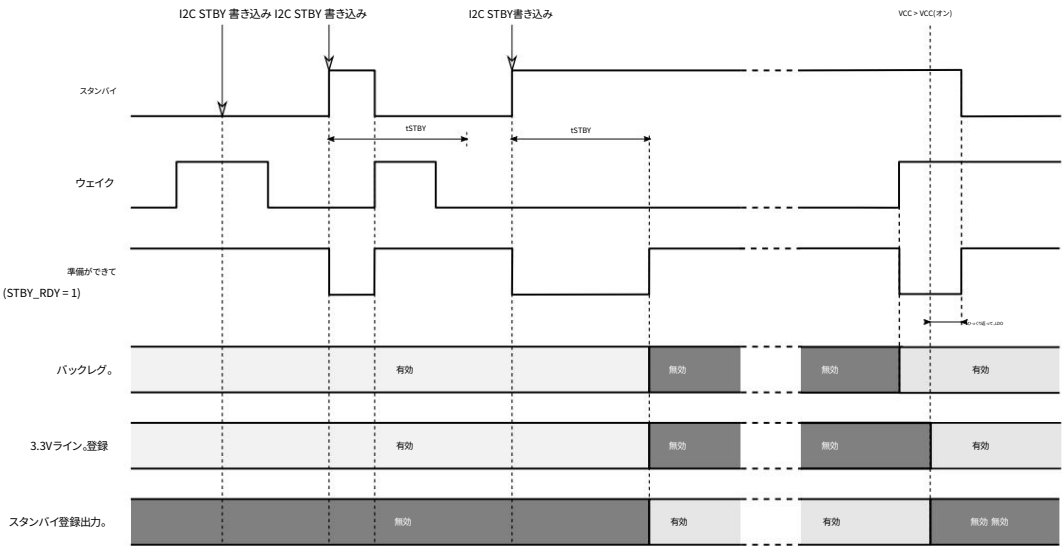
降圧レギュレータとメイン LDO レギュレータが有効になります。

注記：

デバイスがスタンバイ モードのときに内部スタンバイ レギュレータが無効になっている場合、低電圧保護のみが行われます。REG3V3 ピンの がアクティブになります。



図 20.スタンバイのタイミング



5.5 制御ロジック

表 14に示すように、MCU はハイサイドとローサイドのゲート ドライバーを独立して駆動します。

表 14. INxL および INxH 入力の真理値表

INHx	INLx	GHSx	GHLx	「x」ハーフブリッジ条件
L	L	L	L	無効
L	H	L	H	LSオン
H	L	H	L	HSテン
H	H	L	L	無効 (連動)
H	H	H	H	HS、LSともにON (連動なし)



デジタル入力と出力の完全なリストを以下に示します。

表 15. INxL および INxH 入力の真理値表

信号	タイプ	説明	ノート
INH1	入力	ハイサイド1駆動信号	引き下げる
INH2	入力	ハイサイド2駆動信号	引き下げる
INH3	入力	ハイサイド3駆動信号	引き下げる
INL1	入力	ローサイド 1 駆動信号	引き下げる
INL2	入力	ローサイド2駆動信号	引き下げる
INL3	入力	ローサイド3駆動信号	引き下げる
ウェイク	入力	スタンバイからのウェイクアップ用のアクティブ ハイ ブルダウン	
準備ができて	オープンドレイン出力	デバイスレディ信号	紛争保護
故障	オープンドレイン出力	故障信号	紛争保護
SCL	入力	I2Cクロック	懸垂
SDA	入力およびオープンドレイン出力	I2Cデータ	懸垂 紛争保護

すべての入力ラインには内部プルダウンがあり、駆動入力が存在しない場合でも低論理レベルを保証します。  
オープンドレイン出力は、対応する GPIO との駆動競合から保護されるように設計されています。  
MCU。GPIO が高い値のプッシュプル出力として設定され、それぞれのオープンドレインがオンになっている場合、両方の GPIO  
この状態によってオープンドレインが損傷されることはありません。

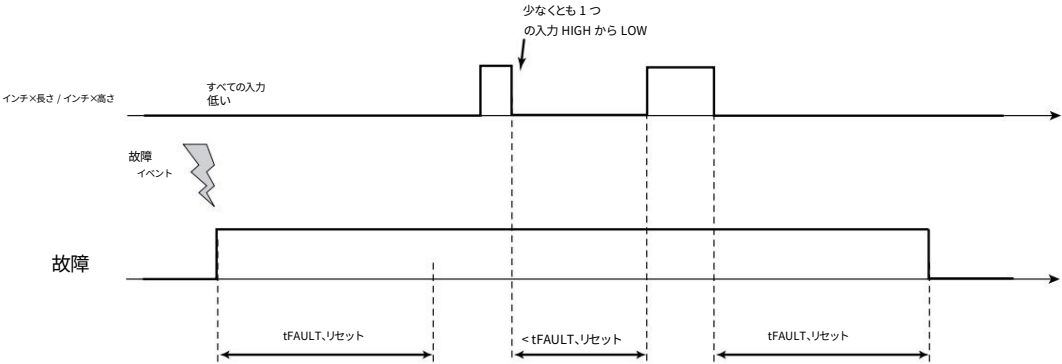
5.5.1 ステータスと障害のクリア

デバイスのステータスは STATUS レジスタで報告されます。サーマルシャットダウンまたは VCC 不足電圧が発生した場合、  
故障の原因が取り除かれると、デバイスは自動的に動作状態に戻ります。

RESET または VDS 監視保護がトリガーされた場合、障害がラッチされ、デバイスが復帰する可能性があります。  
2 つの方法で動作します (つまり、障害のクリア):

- 1. すべての駆動入力 INxL および INxH を少なくともtFAULT,resetの間強制的に Low にします。次の場合はタイムカウントが開始されません。  
入力は障害が発生する前にすでにローになっていました (図21を参照)。
- 2. I2Cインターフェイスを介して CLEAR レジスタのすべてのビットを設定します。

図 21. 入力ラインによる FAULT のクリア



RESET は電源投入時に実行されるため、デバイスを動作させるには障害を解決する必要があります。

5.5.2 READY出力

READY オープンドレイン出力は、デバイスのステータスが外部 MOSFET の駆動を許可しないかどうかを示します。



READY 出力は、次の 1 つ以上の状態を報告するようにプログラムできます。

- VCC電源が不足電圧しきい値を下回っています。
- サーマルシャットダウン。
- スタンバイモードに入ります。

デフォルトでは、ピンはスタンバイおよび VCC 低電圧状態を報告します (表19 を参照)。

5.5.3 nFAULT出力

nFAULT オープンドレイン出力は、重大な障害状態を示します。出力は、1 つまたはさらに次のような失敗が発生します。

- デバイスが RESET を実行しました (この信号はマスクできません)。
- VDS監視保護がトリガーされる
- サーマルシャットダウン
- VCC電源が不足電圧しきい値を下回っている

デフォルトでは、nFAULT ピンは上記のすべての障害を報告します (表20 を参照)。

5.5.4 I2Cインターフェース

内部レジスタは、 7 ビット アドレス指定をサポートする標準 IIC (I2C)インターフェイスを通じて使用できます。  
最大 1 Mbit/s の通信速度 (ファスト モード プラス)。  
デバイスの 7 ビット アドレスは固定されており、1000111 に等しくなります。

表 16. I2C アドレス

デバイスアドレス							
7	6	5	4	3	2	1	0
1	0	0	0	1	1	1	R/Wビット

5.5.5 レジスター

デバイスの構成は、8 ビット レジスタのリストを通じて設定されます。詳細については、次の表を参照してください。

表 17. パワーマネージャー構成レジスタ

登録する	少し #	ビット名	デフォルト	説明
POWMNG アドレス0x01  保護されています	7		0	
	6	REG3V3_DIS	0	3.3Vリニアレギュレータ: デフォルトで有効、無効にする場合は 1
	5	VCC_DIS	0	VCC降圧レギュレータ: デフォルトで有効、無効にする場合は 1
	4	STBY_REG_EN	0	スタンバイリニアレギュレータ: デフォルトでは無効、有効にするには 1
	3		0	
	2		0	
	1	VCC_VAL	0	VCC レギュレータの出力値を設定します。 • 00: VCC を 8V に設定 (デフォルト) • 01: VCC を 10V に設定 • 10: VCC を 12V に設定 • 11: VCC を 15V に設定
	0		0	



表 18. 駆動ロジック構成レジスタ

登録する	少し #	ビット名	デフォルト	説明
論理 アドレス0x02  保護されています	7		0	
	6		1	
	5		1	
	4		1	
	3	VDS_P_DEG	0	VDS のグリッチ解消時間を設定します。 保護： • 00: デグリッチを 6 μs に設定 (デフォルト) • 01: デグリッチを 4 μs に設定 • 10: デグリッチを 3 μs に設定 • 11: デグリッチを 2 μs に設定
	2		0	
	1	DTMIN	1	最小デッドタイム挿入: デフォルトで有効、無効にする場合は 0
	0	ロック	1	連動機能： デフォルトで有効、無効にする場合は 0

表 19. READY 出力構成レジスタ

登録する	少し #	ビット名	デフォルト	説明
準備ができて アドレス0x07	7		0	
	6		0	
	5		0	
	4		0	
	3	STBY_RDY	1	スタンバイ要求ステータスのシグナリング: デフォルトで有効、無効にする場合は 0
	2		0	
	1	THSD_RDY	0	サーマルシャットダウンステータスの通知: デフォルトでは無効、有効にするには 1
	0	VCC_UVLO_RDY	1	VCC UVLO ステータスの通知: デフォルトで有効、無効にする場合は 0



表 20. nFAULT 出力構成レジスタ

登録する	少し #	ビット名	デフォルト	説明
欠陥 アドレス0x08 保護されています	7		0	
	6		1	
	5		1	
	4		1	
	3		1	
	2	VDS_P_FLT	1	VDS 保護トリガーのシグナリング: デフォルトで有効、無効にする場合は 0
	1	THSD_FLT	1	サーマルシャットダウンステータスの通知: デフォルトで有効、無効にする場合は 0
	0	VCC_UVLO_FLT	1	VCC UVLO ステータスの通知: デフォルトで有効、無効にする場合は 0

表 21. FAULT クリアコマンドレジスタ

登録する	少し #	ビット名	デフォルト	説明
クリア アドレス0x09	7 に 0	フォルト_クリア		すべてのビットを High に設定すると、ラッチされた障害がすべてクリアされます。 条件。 他の値は拒否されます。

表 22. スタンバイレジスタ

登録する	少し #	ビット名	デフォルト	説明
スタンバイ アドレス0x0A 保護されています	7 に 1		0	
	0	スタンバイ	0	STBY ビットを High に設定すると、デバイスは次のことを要求します。 低消費モードに入ります。

表 23. LOCK レジスタ

登録する	少し #	ビット名	デフォルト	説明
ロック アドレス0x0B	7 に 4	NLOCK	0	LOCK がビットごとの not と異なる場合 NLOCK、保護されたレジスタへの書き込みは 禁じられている。
	3 に 0	ロック	0	LOCK がビット単位の not に等しい場合 NLOCK 保護されたレジスタへの書き込みは 許可され、すべてのゲートドライバ出力が強制されます 低い。

表 24. RESET コマンドレジスタ

登録する	少し #	ビット名	デフォルト	説明
リセット アドレス0x0C 保護されています	7 に 0	リセット		すべてのビットを High に設定すると、レジスタがリセットされます。 デフォルト値。 他の値は拒否されます。





表 25. デバイスステータスレジスタ

登録する	少し #	ビット名	デフォルト	説明
状態 アドレス0x80 読み取り専用	7	ロック		保護されたレジスタがロックされているかどうかを示します。 • 0: ロック解除済み • 1: ロックされています
	6			
	5			
	4			
	3	リセット		レジスタがリセットされたかどうかを示します。 デフォルト (リセット コマンドまたは電源投入): • 0: リセットなし • 1: リセット
	2	VDS_P		VDS 保護のトリガーを示します。 • 0: VDS 保護はトリガーされません • 1: VDS 保護がトリガーされました
	1	THSD		サーマルシャットダウンのステータスを示します。 • 0: デバイスは THSD にありません • 1: THSD のデバイス
	0	VCC_UVLO		VCC UVLO ステータスを示します。 • 0: デバイスは VCC UVLO にありません • 1: VCC UVLO のデバイス

5.5.5.1 コマンドレジスタ

CLEAR と RESET はコマンドレジスタです。コマンドを実行するためにすべてのビットを設定することのみが許可されます。他の値は設定できません。拒否されます。

読み取りの場合、デバイスは 0xFF を返します。

5.5.5.2 レジスタの読み取り/書き込み

すべてのレジスタは、I2C標準方式を使用して読み書きされます。

5.5.5.3 保護されたレジスタ

デバイスのすべての重要なレジスタは、不要な書き換えから保護されています。

LOCKレジスタの内容が以下の条件に当てはまらない場合。—

ロック=Nロック

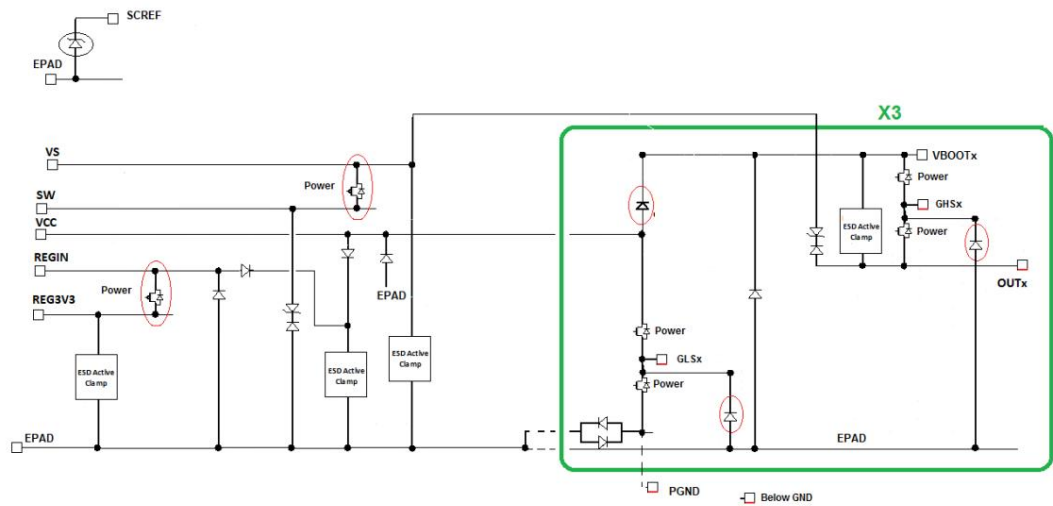
保護されたレジスタは読み取り専用です。

内容が上記の条件に一致する場合、保護されたレジスタに書き込みが可能となり、パワーステージが強制的に実行されます。

安全な状態になると、すべてのゲート ドライバ出力が強制的に Low になります。

## 6 ESD保護戦略

図 22. ESD 保護戦略





7 応用例

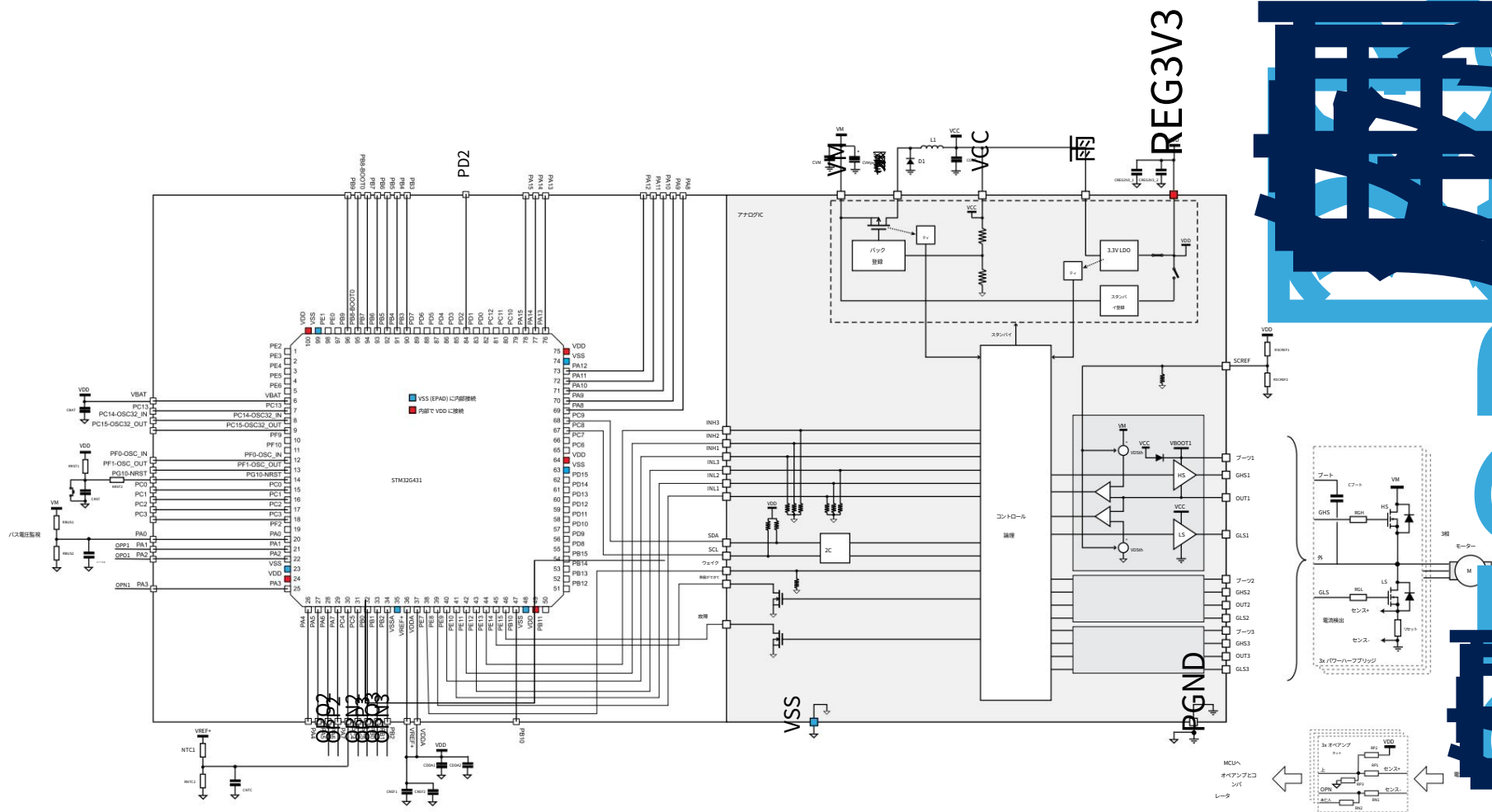
図 23 は、STSPIN32G4 デバイスを使用して三相モーターをトリプルで駆動するアプリケーション例を示しています。シャント構成とフィールド指向制御アルゴリズム。

実装されているその他の機能は次のとおりです。

- LDOリニアレギュレータにより内部生成されるVDD(3.3V)電源
- バックレギュレータ経由で内部生成される VCC (プログラマブル、8 V デフォルト値) 電源
- リセット専用ピン
- オペアンプの正入力 (PA1、PA7、PB0) に接続された内部コンパレータを使用した過電流保護
- 内部オペアンプと ADC を使用した電流検出:
  - オペアンプ 1: PA1、PA3、PA2 (OPP、OPN、OPO)
  - オペアンプ 2: PA7、PC5、PA6 (OPP、OPN、OPO)
  - オペアンプ 3: PB0、PB2、PB1 (OPP、OPN、OPO)
- 内部 ADC (PA0) を使用したバス電圧監視
- 内部 ADC (PC4) を使用したアプリケーション温度監視

表 26. 代表的なアプリケーション値

部品名	価値
CBAT、CREF1、CDDA1、CREG3V3_1、CRST	100nF/6.3V
CREF2、CDDA2	1μF/6.3V
CREG3V3_2	10μF/6.3V
COUT	10μF/25V
L1	18μH/1A
D1	STPS1H100A/100V
CVM	220nF/100V
CVMpol	3x 220 μF / 100 V (並列)
RSCREF1	22kΩ / 1%
RSCREF2	10kΩ / 1%
RRST1	100kΩ / 5%
RRST2	200Ω/5%
RBUS1	72.3kΩ / 1%
RBUS2	3.01kΩ / 1%
CBUS、CNTC	33nF/6.3V
NTC1	10kΩ / 1%
RNTC2	4.7kΩ / 1%
その他	アプリケーション要件に応じた値



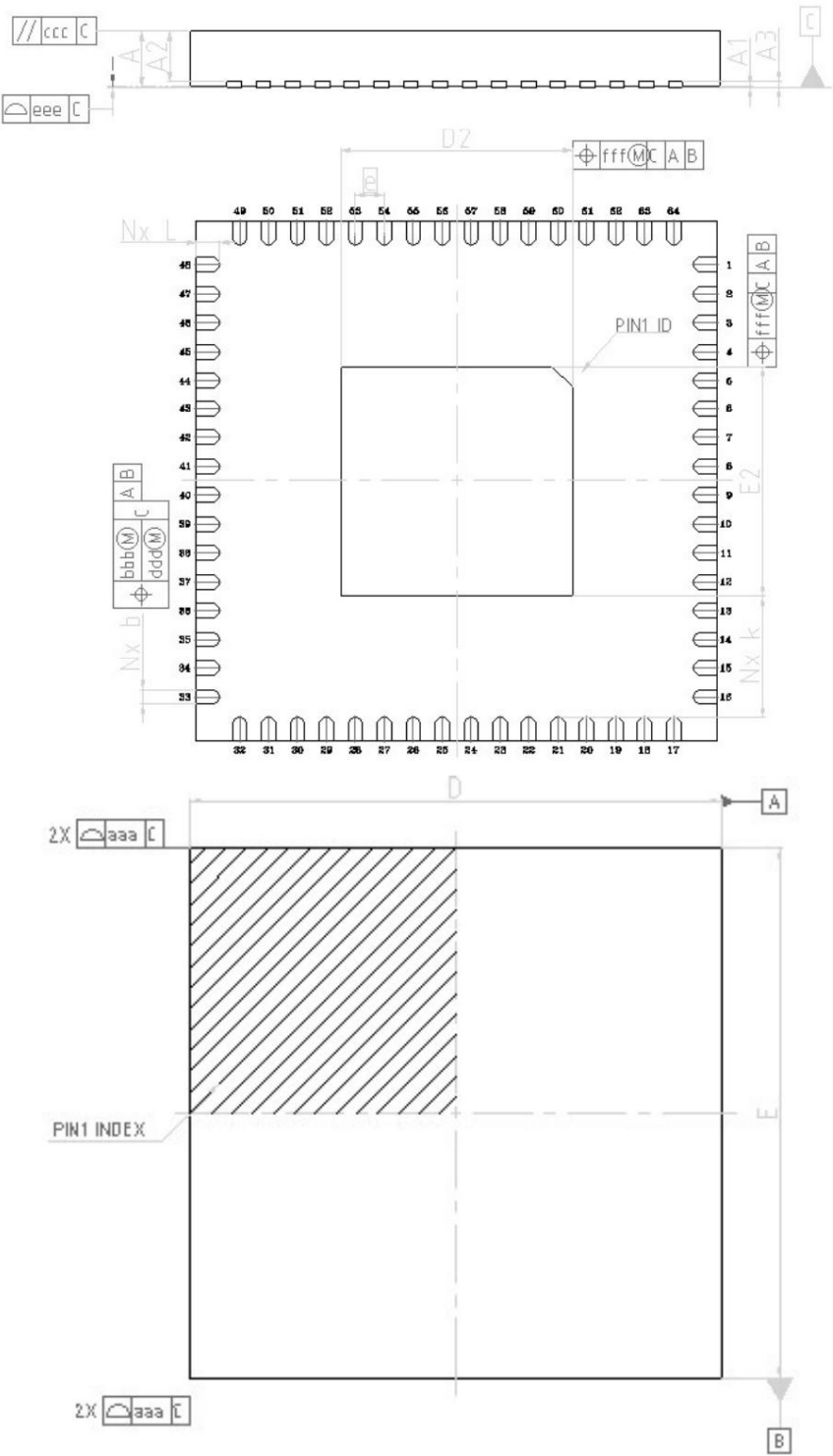


## 8 パッケージ情報

環境要件を満たすために、ST はこれらのデバイスをさまざまなグレードのECOPACKで提供しています。パッケージ、環境コンプライアンスのレベルに応じて異なります。エコパックの仕様、グレードの定義、製品ステータスは [www.st.com](http://www.st.com) でご覧いただけます。エコパックはSTの商標です。



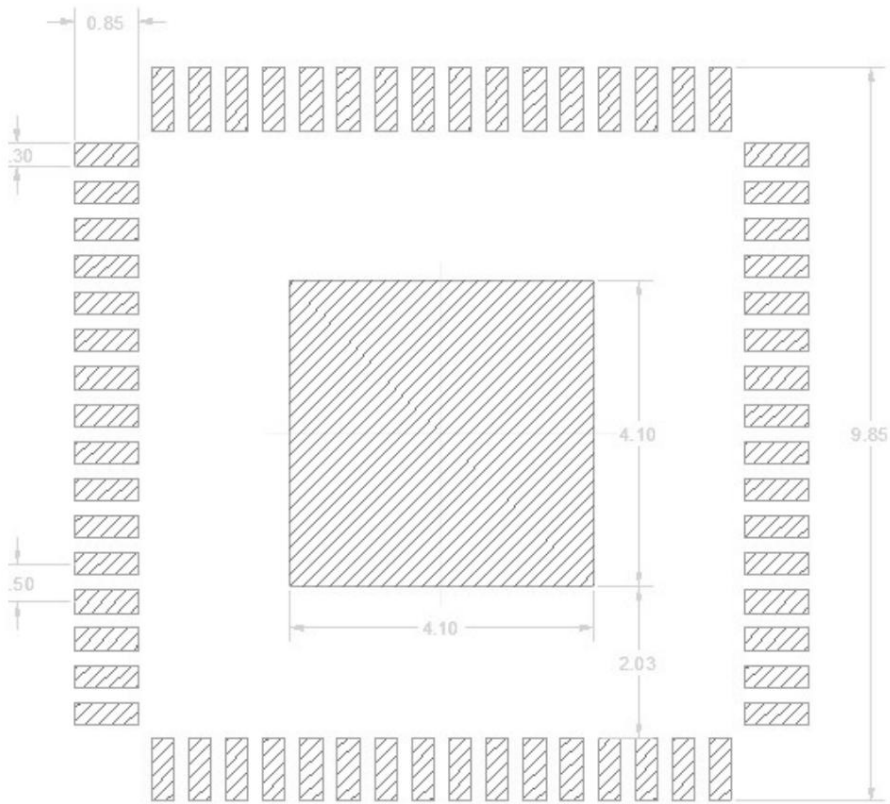
図 24. VFQFPN 9X9X1.0 64 PITCH 0.50 パッケージの概要





シンボル	寸法 (mm)		
	分。	タイプ。	最大。
あ	0.80	0.90	1.00
A1		0.02	0.05
A3		0.10 参照	
b	0.20	0.25	0.30
D	8.90	9.00	9.10
D2	3.90	4.00	4.10
EL1	8.90	9.00	9.10
E2	3.90	4.00	4.10
EL2		0.50	
L	0.30	0.40	0.50
ああ		0.15	
BBB		0.10	
CC		0.10	
DD		0.05	
ええ		0.08	
あああ		0.10	

図 25. VFQFPN 9X9X1.0 64 PITCH 0.50 の推奨設置面積



## 9 特性グラフ

特性グラフは、限られた数のサンプルの測定から得られます。

図 26. スタンバイ電流  $I_{STBY}$  対温度 (周囲温度で正規化)

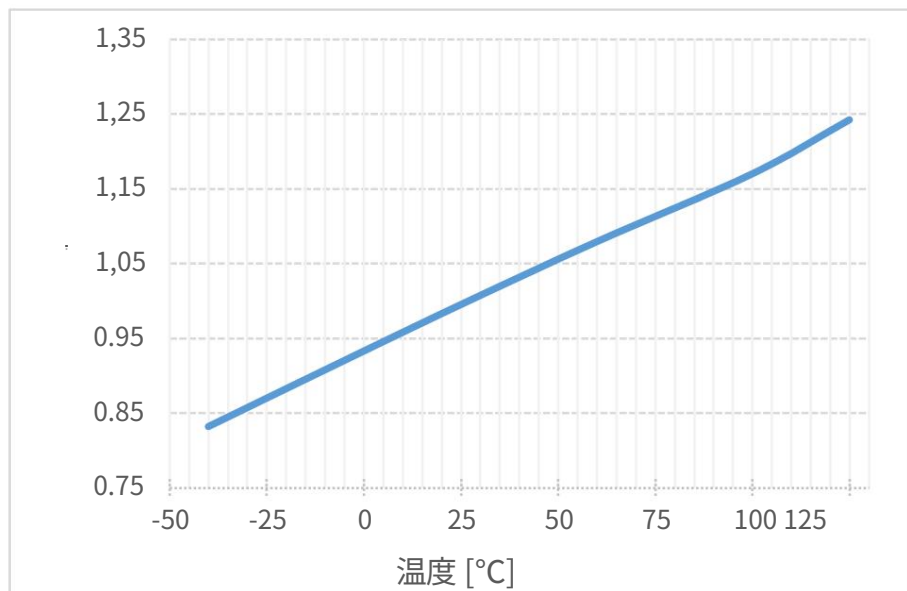


図 27. スタンバイ電流  $I_{STBY}$  対電源電圧  $V_M$  ( $V_M = 75V$  で正規化)

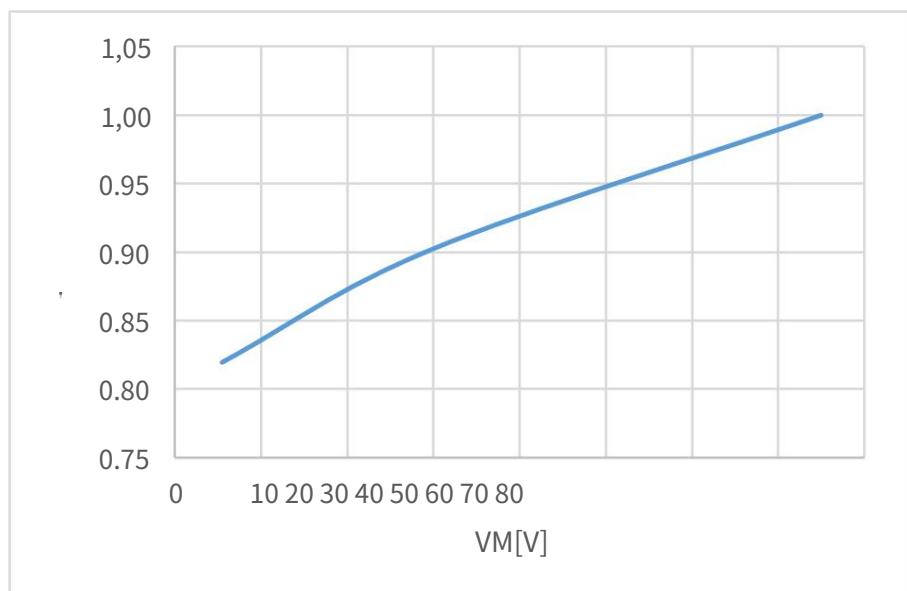
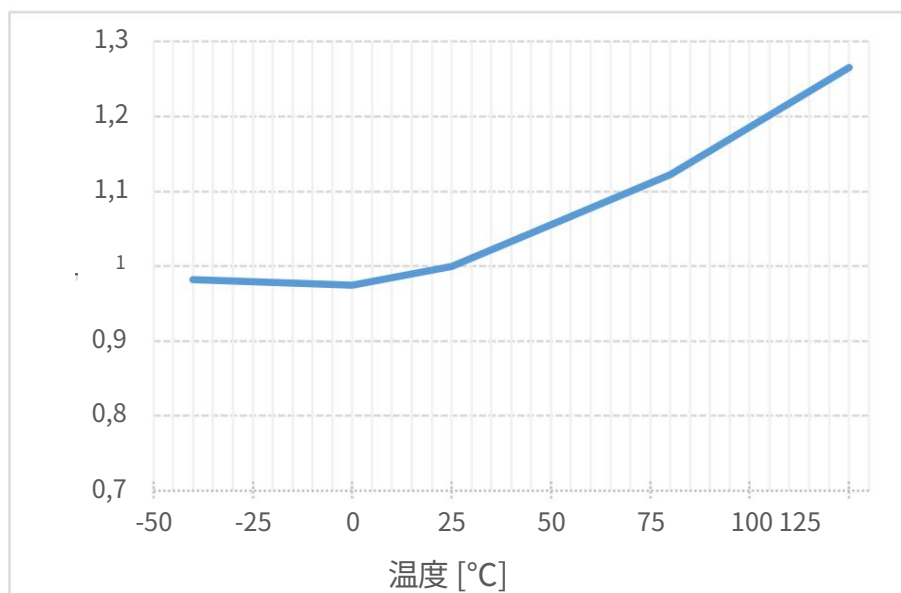


図 28. VCC 自己消費電力対温度 (周囲温度で正規化)







10 注文情報

表 27.デバイスの概要

注文コード	パッケージ	包装
STSPIN32G4	VFQFPN 9X9X1.0 64 ピッチ 0.50	トレイ
STSPIN32G4TR	VFQFPN 9X9X1.0 64 ピッチ 0.50	テープ&リール



改訂履歴

表 28.文書の改訂履歴

日付	バージョン	変更点
2021 年 3 月 19 日	1	初回リリース。



## コンテンツ

1	ブロック図 .....	3
2	電氣的データ .....	5
2.1	絶対最大定格.....	5
2.2	推奨動作条件 .....	6
2.3	熱データ .....	6
2.4	電氣感度特性 .....	7
3	電氣的特性.....	8
4	ピンの説明 .....	11
5	デバイスの説明.....	15
5.1	電源管理セクション .....	15
5.1.1	VCC 降圧レギュレータ.....	15
5.1.2	3.3V リニアレギュレータ .....	17
5.1.3	スタンバイリニアレギュレータ .....	19
5.2	ゲートドライバー .....	19
5.2.1	連動 .....	20
5.2.2	最小デッドタイム .....	21
5.2.3	シンク/ソース電流.....	21
5.2.4	ブートストラップセクション .....	22
5.2.5	VDS 監視保護 .....	23
5.2.6	不足電圧保護 .....	25
5.3	マイコンユニット .....	25
5.3.1	メモリーとブートモード.....	25
5.3.2	パワー管理 .....	26
5.3.3	アドバンスドコントロールタイマ(TIM1) .....	27
5.4	スタンバイモード .....	27
5.5	制御ロジック .....	28
5.5.1	ステータスとフォルトのクリア .....	29
5.5.2	READY 出力.....	29
5.5.3	nFAULT 出力 .....	30
5.5.4	I2C インターフェース .....	30



5.5.5 レジスタ.....30

6 ESD 保護戦略 .....34

7 応用例 .....35

8 パッケージ情報.....37

9 特性グラフ .....40

10 注文情報 .....42

改訂履歴 .....43

コンテンツ .....44

テーブル一覧 .....46

図表一覧.....47



テーブルのリスト

表 1.絶対最大定格 ..... 5表 2.推奨動作条件 ..... 6表 3.熱データ ..... 7

表 4. ESD 保護定格 ..... 7表 5.電氣的特性 - ゲートドライバー IC ..... 8表 6. STSPIN32G4 ピンリスト ..... 11表 7. MCU とゲートドライバの内部接続 ..... 14表 8. VCC降圧レギュレータ出力電圧。 ..... 16表 9. インターロック付きゲートドライバー制御ロジック ..... 20表 10. インターロックなしのゲートドライバー制御ロジック ..... 20表 11. VDS 監視保護グリッチ解除時間 ..... 24表 12. UVLO 保護管理 ..... 25表 13. TIM1 チャンネル構成 ..... 27表 14. INxL および INxH 入力の真理値表 ..... 28表 15. INxL および INxH 入力の真理値表 ..... 29表 16. I<sup>2</sup>C アドレス ..... 30表 17. パワーマネージャー構成レジスタ ..... 30表 18. 駆動ロジック構成レジスタ ..... 31表 19. READY 出力設定レジスタ ..... 31表 20. nFAULT 出力構成レジスタ ..... 32表 21. FAULT クリアコマンドレジスタ ..... 32表 22. スタンバイレジスタ ..... 32表 23. LOCK レジスタ ..... 32表 24. RESET コマンドレジスタ ..... 32表 25. デバイスステータスレジスタ ..... 33表 26. 代表的なアプリケーション値 ..... 35表 27. デバイスの概要 ..... 42表 28. 文書の改訂履歴 ..... 43



フィギュア一覧

図 1. STSPIN32G4 システムインパッケージのブロック図 ..... 3 ゲートドライバブロック  
図 ..... 4 図 2.

図 3. STSPIN32G4 ピンの接続 ..... 11 図 4.  
電源投入シーケンス (REGIN を VCC で短絡) ..... 15 図 5. VCC 降圧構  
成 ..... 16 図 6. VCC 降圧レギュレータのソフトスター  
ト ..... 16 図 7. 外部から供給される VCC (降圧無効) ..... 17  
図 8. VCC 降圧レギュレータの短絡保護 ..... 17 図 9.

VCC 経由で供給される 3.3 V LDO レギュレータ ..... 18 図 10. VCC (外部抵抗) を介して供  
給される 3.3 V LDO レギュレータ ..... 18 図 11. 外部電源を備えた 3.3 V LDO レギュレー  
タ ..... 18 図 12. 3.3 V 外部供給 (リニア レギュレータは無効) .....  
19 図 13. スタンバイ レギュレータが有効になっている ..... 19 図 14. ゲートドライバーのブロック  
図 ..... 19 ..... 20 図 15. デッドタイムのタイミング (インターロックが有効な場  
合) ..... 21 図 16. UVLO 範囲でのローサイド ゲート ドライバの出力特  
性 ..... 21 図 17. UVLO 範囲でのハイサイド ゲート ドライバの出力特性 .....  
21 図 18. 外部ブートストラップ ダイオードの構成 ..... 21 ..... 23 図 19. VDS 監視保護のタイミン  
グ ..... 24 図 20. スタンバイのタイミン  
グ ..... 28 図 21. 入力ラインを介した FAULT のクリ  
ア ..... 29 図 22. ESD 保護戦略 .....  
29 ..... 34 図 23. アプリケーション例 ..... 36 図 24. VFQFPN  
9X9X1.0 64 PITCH 0.50 パッケージの概要 ..... 38 図 25. VFQFPN 9X9X1.0 64 PITCH 0.50 の推奨設置面  
積 ..... 39 図 26. スタンバイ電流 ISTBY 対温度 (周囲温度で正規化) .....  
40 図 27. スタンバイ電流 ISTBY 対電源電圧 VM (VM = 75V で正規化) ..... 40 図 28. VCC 自己消費電力対温度 (周囲温度で正  
規化) ..... 40



重要なお知らせ – よくお読みください

STMicroelectronics NV およびその子会社 (「ST」) は、予告なしにいつでも ST 製品および/または本書に変更、修正、機能拡張、変更、改善を行う権利を留保します。購入者は注文する前に、ST 製品に関する最新の関連情報を入手する必要があります。ST 製品は、注文確認時に定められた ST の販売条件に従って販売されます。

ST 製品の選択、選択、および使用については購入者が単独で責任を負い、ST はアプリケーションの支援や購入者の製品の設計については一切の責任を負いません。

ST は、明示的か黙示的かを問わず、いかなる知的財産権に対するライセンスも付与しません。

ここに記載されている情報と異なる条項が記載された ST 製品を再販した場合、当該製品に対して ST が付与した保証は無効になります。

ST および ST ロゴは ST の商標です。ST の商標に関する詳細については、[www.st.com/trademarks](http://www.st.com/trademarks) を参照してください。他のすべての製品名またはサービス名は、それぞれの所有者の財産です。

この文書の情報は、この文書の以前のバージョンで提供されていた情報に優先し、置き換えられます。

© 2021 STマイクロエレクトロニクス – 無断複写・転載を禁じます



マウザー エレクトロニクス

正規代理店

クリックして価格、在庫、配送、ライフサイクル情報を表示します:

STマイクロエレクトロニクス:

STSPIN32G4TR