

V0.3 版本前言

这次向大家介绍 IC 设计的基本设计流程以及相关 EDA 工具的介绍。器件、材料涉及的工具我不懂哈，请另寻高明。

考虑到大部分同学都是跨考过来的，因此我会尽力用最通俗易懂的语言来介绍 IC 设计的基本流程，力求不抽象，说了就能明白！

其实就算你是跨考过来的，多多少少也会自己去了解一下集成电路这个行业，B 站上一搜就能找到一大堆相关的介绍视频，但那些视频大部分是经验老道的工程师告诉你的，站在入门者的角度还是难以有一个清晰的认识，在这篇文章我会结合自己入门时的困惑来给大家介绍我作为在校学生所理解的 IC 设计基本流程和 EDA 工具。

V0.3 版本正文

IC 设计的分工

我没有打算一上来就和你说明具体的 IC 设计流程，在介绍具体的流程前先说明 IC 设计的分工，说直白的说就是你毕业能找什么样的工作。

请不要建立工作岗位鄙视链!也不要有什么 XX 岗位比 XX 岗位好这样的想法，因为 IC 就是要不同的人做好自己的工作来共同完成一颗芯片！

注意哈，我这里说的是 IC 设计，不包括器件和工艺！（因为我不会）

在我看来，IC 设计主要分为模拟 IC 设计和数字 IC 设计（我的主修是数字 IC）。**这里抛出一个问题，模拟 IC 和数字 IC 有什么区别和联系呢？**（网上有答案，拉扎维的书上也答案，上课的时候徐老师也说过哦！）

但是我这里给出我的看法，可能比较肤浅：我认为模拟 IC 和数字 IC 的区别是，一个是利用 MOS 器件直接搭建电路；一个是利用抽象的电路模型（Verilog）来描述出电路。

为什么我会得出这样的结论，是因为有人常说“我在画电路”，也有人说“我在写代码”（描述电路）。我的回答一定会被业界大牛一顿嘲讽，不过那也没办法，我还是个学生。

首先说模拟 IC 方向，你在毕业时大概能找到什么岗位：

1. 大名鼎鼎的模拟 IC 设计工程师（直白的解释就是设计模拟电路）；
2. 大名鼎鼎的射频 IC 工程师（需要很强很强的人，我感觉现在得博士才能干）；
3. 模拟版图（Layout）工程师，通常也叫模拟后端工程师（现在网上认为，模拟版图是入门门槛最低的 IC 岗位）。

然后是数字 IC 方向：

1. 大名鼎鼎的数字 IC 设计工程师（网上认为天花板最高的岗位，非常卷，卷的人有你、学计算机的、学材料器件转行的、学机械的、学自动化的、学 AI 的，学……）；
2. 大名鼎鼎的数字 SOC 设计工程师（非常卷，卷的人有你、学计算机的、学材料器件转行的、学机械的、学自动化的、学 AI 的，学……）；
3. 非常火爆的数字 IC 验证工程师（目前数字 IC 方向需求最大的岗位，但是也一样卷，卷的人有你、学计算机的、学材料器件转行的、学机械的、学自动化的、学 AI 的，学……）；
4. 需求量很大的数字后端工程师（网上认为，这个岗位以后会被 AI 替代、这个岗位

是天花板最低的、这个岗位是门槛最低的、这个岗位是钱途最差的、这个岗位只会跑 flow，我只想说这种观点都是“卖课的”说的。这个岗位是工作环节最多的，要求很强的个人能力，一般会被拆解成多个子岗位，等秋招专题我会说）；

5. 最近开始进入人们视野的可测性设计（DFT）工程师（DFT 我也整不明白，但是以后我找工作肯定会找 DFT，目前主要是社招为主，内卷大军还没盯上这个岗位，但是估计也快了）；

数字 IC 的岗位还有很多，先介绍这些常见的。

可以明显看得出来，数字 IC 岗位比模拟多。这就意味着数字 IC 的设计流程比模拟 IC 要复杂，需要用到的 EDA 工具比模拟 IC 多，同样的工作机会就比模拟多一些（目前看是的）。

讲完了工作岗位，接下来介绍一下 IC 设计的基本流程。

数字 IC 的流程：<https://zhuanlan.zhihu.com/p/260933238>（作者：温戈）

模拟 IC 的流程：参考这张图（参考：《CMOS 模拟集成电路》）

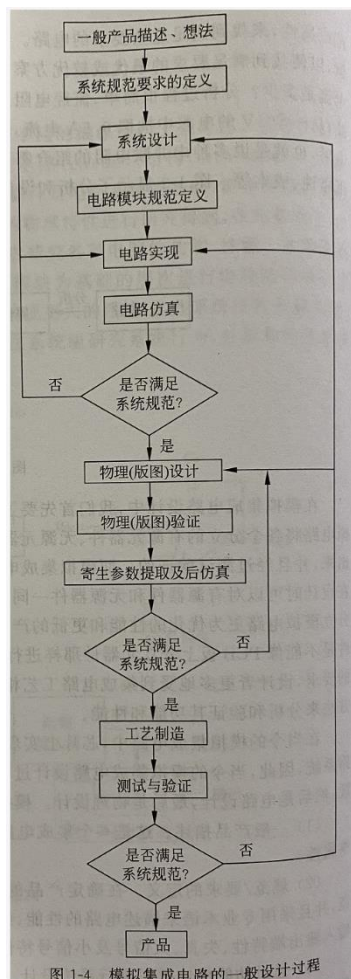


图 1-4 模拟集成电路的一般设计过程

也可以明显看出来，数字的流程比模拟复杂得多。

这里要说明的是，尽管数字流程很复杂，但是不代表每个人工作时都能走完全流程，实际工作中每个人只负责自己的一部分工作，然后由 leader 拼起来，一般能走完全流程的都是大牛，是公司的支柱了，全行业也没多少人能融会贯通数字前中后端。如果你在数字领域能够走完全流程，那未来前景光明！

了解了设计流程之后，接下来介绍一下 EDA 工具及其发行商。

目前在地球上，EDA 工具主要（其他的公司体量真的太小，包括国产）有三大家，分别是：Synopsys（中文名：新思，简称 S 司/S 家）、Cadence（注意了，是“Cadence”不是“Candence”，简历上写错了是很丢人的，中文名：楷登，简称 C 家/C 司）、Mentor（被西门子收购了，我们目前最常用的软件就是它出品的 Calibre）

我们在学校使用的 EDA 工具都是这三家提供的，当然学校是买了正版的，我们也可以从网上下载到学习版（PoJie，简称 PJ）。

Synopsys 和 Cadence 的产品已经覆盖了 IC 设计的全流程，S 家主打数字设计 EDA，C 家模拟和部分数字设计比较出色，Mentor 在 DFT、物理验证方面做的好。

题外话，C 家对 EDA 工具的命名充满浪漫主义味道，而 S 家对 EDA 工具起的名字就像典型的理工男。

模拟 IC 常用 EDA 工具：

1. **Virtuoso**：C 家出品的模拟 IC 设计平台，也就是你们常说的 Cadence 代指该软件，该软件一般叫做 IC618 或 IC617（也就是 IC+版本号的叫法），它的前身是大名鼎鼎的 ICFB5141。做模拟 IC 设计或者版图的伙伴们无一例外都用这个工具，可以说是模拟 IC 必备，后面的文章会主要介绍这个软件。它可以实现模拟 IC 设计、数模混合 IC 设计以及版图设计。
2. **Calibre**：Mentor 出品的 IC 验证软件，通常用来做 DRC（版图设计规则检查）、LVS（版图与原理图一致性验证）、RCX（寄生参数提取）。也就是在你设计完版图之后才会用到这个软件。数字后端、模拟 IC 设计、模拟版图必备！

数字 IC 常用 EDA 工具：

这个就特别多了，我按照流程来划分。

数字前端部分

1. **VCS (Verilog Compiled Simulator)**：S 家出品的编译仿真工具，具有目前行业中最高的模拟性能。也就是给你仿真 Verilog 代码用的。
2. **Verdi**（起名是由于老板喜欢听古典音乐，威尔第是十九世纪著名的古典音乐大师）：Verdi 平台帮助工程师理解复杂和不熟悉的设计行为，自动化困难和繁琐的调试过程，统一各种复杂的设计环境，并推断设计的动态行为。除了源代码浏览器的标准功能，原理图，波形，状态机图和波形比较（用于比较 FSDB 格式的仿真结果），Verdi 平台还包括使用时间流视图自动跟踪信号活动的高级功能，基于断言的调试，功耗感知调试以及事务和消息数据的调试和分析。简而言之就是，给你 Debug（消除代码中的 bug）用的。一般来说，前端工程师和验证工程师会采用 VCS 和 Verdi 进行联合仿真，以加快 Verilog 代码调试速度！
3. **NC-Verilog**（简称 NC）：前两个是 S 家出品的前端工程师必备 EDA，同样 C 家也有，只是业内用的少，反正我是用 NC。NC 的好处就是它做了工具集成，编译仿真和 Debug 全部集成在一起了，我感觉学生用足够了。你可以选择用 VCS+Verdi 或者单独用 NC，做学校的小项目完全够用了。
4. **Spyglass**：S 家出品的 Verilog 检查工具，可以实现 lint 检查、CDC（跨时钟域）检查、Low Power（低功耗）检查、SDC（Synopsys Design Constraint）约束检查、可测性设计（Design For Test）检查。lint 检查就是检查你写的 Verilog 有没有语法问题，是否具备可综合性；CDC 检查就是识别各种 FIFO 和握手信号；低功耗检查就

是在进行逻辑综合前对你的 Verilog 进行功耗分析；SDC 检查就是检查你的 SDC 是否约束正确；DFT 检查就是测试扫描链覆盖率。

数字后端部分

1. DC (Design Compiler): S 家出品的逻辑综合工具，主要用来实现逻辑综合（它也有其他很多功能，比如 DFT 综合，但是对于我们这个阶段会逻辑综合就够了），是业界主流工具，逻辑综合的意思就是把 RTL 级的 Verilog 映射为基于特定工艺库（如 SMIC180nm 工艺）的门级（Gate Level）Verilog，本质上它还是 Verilog，但是表现形式不一样（后面会有专题会专门说这个转换过程）。
2. Genus: C 家出品的逻辑综合工具，作用与上同，GUET 本科生用这个工具。
3. Formality (简称 FM): S 家出品的形式验证工具，用来比对门级网表和 RTL 代码的逻辑是否一致。形式验证的内容我在后面专门出一期讲，你现在只要知道形式验证是进行逻辑检查就够了，比如说你写 RTL 的时候明明写的是非逻辑，但是工具给你生成出来一个或门，这时候用 FM 就能查出来有没有这种逻辑错误的 Bug。
4. ICC (IC Compiler): S 家出品的自动布局布线工具。什么是自动布局布线呢？我后面会讲，这是我一直以来的工作。
5. ICC2 (IC Compiler2): ICC 的升级版。
6. Innovus (简称 Inn): C 家出品的自动布局布线工具，我目前在用，GUI 界面非常友好，适合新手入门，业界主流。
7. Prime Time (简称 PT): S 家出品的时序分析、Sign off 工具，业界主流。
8. StarRC: S 家出品的寄生参数提取工具，业界主流。
9. Extractor (简称 EXT): C 家出品的寄生参数提取工具。
10. Calibre: Mentor 出品的 IC 验证软件，通常用来做 DRC (版图设计规则检查)、LVS (版图与原理图一致性验证)、RCX (寄生参数提取)。也就是在你设计完版图之后才会用到这个软件。数字后端、模拟 IC 设计、模拟版图必备！

数字后端要使用的 EDA 工具非常多，且存在 C 家和 S 家工具混用的情况，工具学习压力在入门前期比较大。我自己模拟全流程和数字全流程是做过的，后面可以出一期讲述一下过程。

看到这里，你应该知道自己要学习用哪些工具了。

接下来介绍学习方法。

模拟 IC 设计：

1. 看拉扎维的书，把课后习题刷了，如果你时间充裕最好做两遍；
2. 非科班的话，建议买课，虽然比较贵，但是也值那个价钱，可以助你找到工作，可以多人一起拼课；
3. 科班的话，建议把自己的项目做熟，我说的熟指的是能在现有电路架构的基础上根据既定指标优化电路，更好的是根据指标自行设计电路。熟悉版图设计！熟悉版图设计！熟悉版图设计！多研究自己的电路在后仿真情况下的性能！

数字 IC 设计：

1. Verilog RTL 级基本语法、Testbench (简称 TB) 基本写法都要会；
2. 会写二段式和三段式状态机；

3. 清楚异步 FIFO（懂理论，懂它的用途，能自己写出来）；
4. 跨时钟域 CDC（懂理论，懂实现方法，方法不止一种）；
5. 亚稳态（懂理论，懂怎么减小亚稳态的方法，方法不止一种）；
6. 建立时间概念；
7. 保持时间概念；
8. 数字 IC 的流程；

数字验证：

我没接触过，但是这里推荐学习路科验证。没错，就是报班。

数字后端：

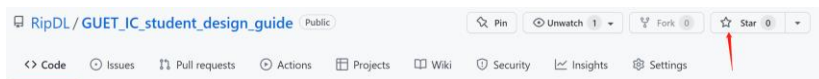
推荐报班，只推荐吾爱 IC 的训练营！（微信公众号关注：吾爱 IC）

数字设计是相对容易自学的，验证和后端不适合自学，除非你有大把时间和足够多的项目做，否则一律推荐报班。

我的文章将在 github 持续更新，请关注我的 github 仓库，点个星星再走~

github 地址：https://github.com/RipDL/GUET_IC_student_design_guide

点星星在这里：



下版本更新计划：

版本号：V0.4

内容：模拟 IC 设计中 PDK 安装、CDB 转 OA 问题

由于 IC 入门的前期内容比较简单，都是概念性的东西，可能会一周双更。