

## **Управление ресурсами: процессор, память, устройства**

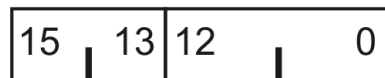
Рассматриваются аппаратные средства, с помощью которых обеспечивается управление ресурсами в операционной системе.

## *Диспетчер памяти в архитектуре PDP-11*

В данной архитектуре шина адреса процессора 16 разрядов, что позволяет непосредственно адресовать только 64 кб оперативной памяти. Для адресации большего объема памяти в систему включается диспетчер памяти (ДП), который преобразует 16-битный адрес, выставяемый процессором в 29-разрядный адрес, передаваемый устройству памяти. Исходный адрес будем называть *логическим* или *виртуальным*, а получаемый в результате – *физическим* адресом.

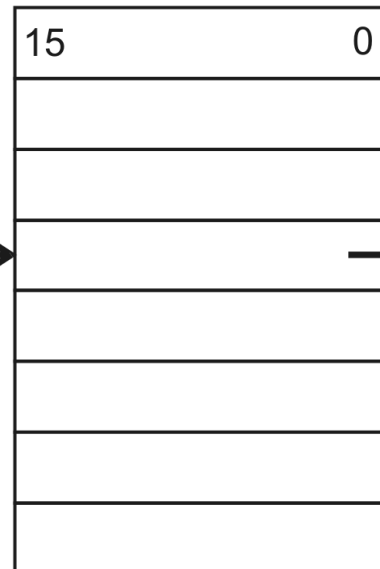
## *Схема страничного преобразования в PDP-11*

логический адрес



**ДП**

000

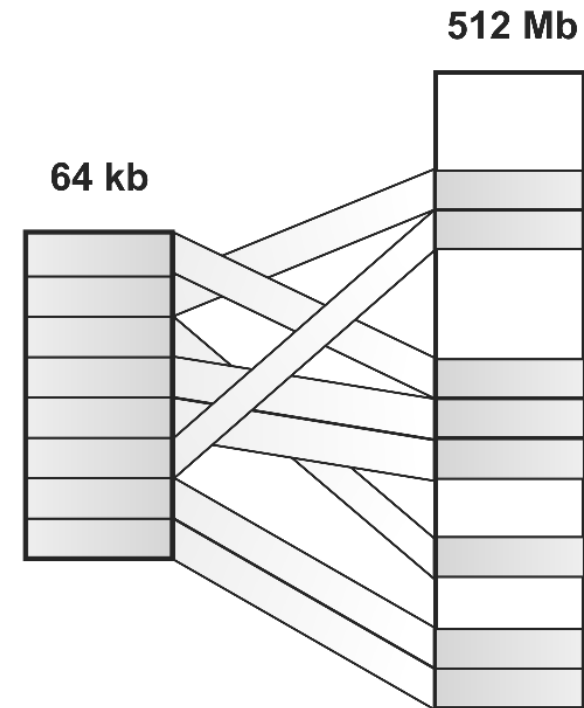


физический адрес

## *Адресное пространство*

Логическое адресное пространство разбивается на 8 равных частей, называемых *страницами*, каждая из которых отображается на одну из страниц физического адресного пространства. При этом не все физические страницы доступны.

Рассмотренное преобразование адреса называется *страничным*.



## *Защита данных*

Защита данных достигается наличием в ДП двух «комплектов» регистров: для системного и пользовательского режимов. Адресуются эти регистры, наряду с регистрами других внешних устройств (ВУ), через особую страницу физического адресного пространства.

Страничное отображение для пользовательского режима настраивается так, чтобы страницы внешних устройств и операционной системы были недоступны. Обратиться к ОС прикладная программа может только через вызов прерывания. При прерывании происходит переключение в системный режим, что меняет отображение страниц, делая доступным код ОС. Однако одновременно с этим прикладная программа обязательно теряет управление.

# **Средства поддержки многозадачности в архитектуре IA32**

Архитектура IA32 — 32-разрядная архитектура Intel, которую реализуют процессоры, начиная с i386.

## *Регистры процессора*

Основные.

Регистры общего назначения (РОН): **EAX, EBX, ECX, EDX, ESI, EDI, EBP, ESP**. Первые четыре используются для хранения данных при вычислениях, последние — для инкрементных операций.

Сегментные регистры: **CS, SS, DS, ES, FS, GS**. Используются для адресации.

Указатель на текущую инструкцию **EIP** и регистр флагов **EFLAGS**.

Системные.

Непосредственный доступ к ним разрешен только при наивысшем уровне привилегий:

**CR0** — регистр состояния, определяет режим работы процессора;

**CR3** — база каталога страниц;

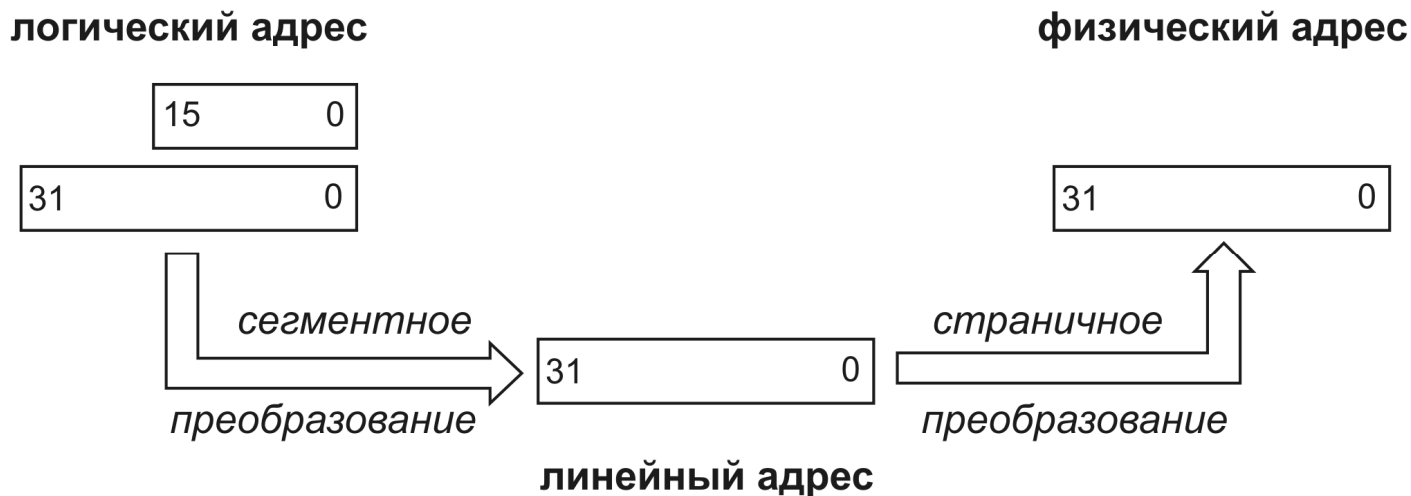
**GDTR** — указатель на глобальную таблицу дескрипторов сегментов;

**TR** — селектор сегмента статуса задачи.

Сегментные регистры и **TR** имеют 16 разрядов, **GDTR** — 48 разрядов, остальные регистры 32-разрядны.

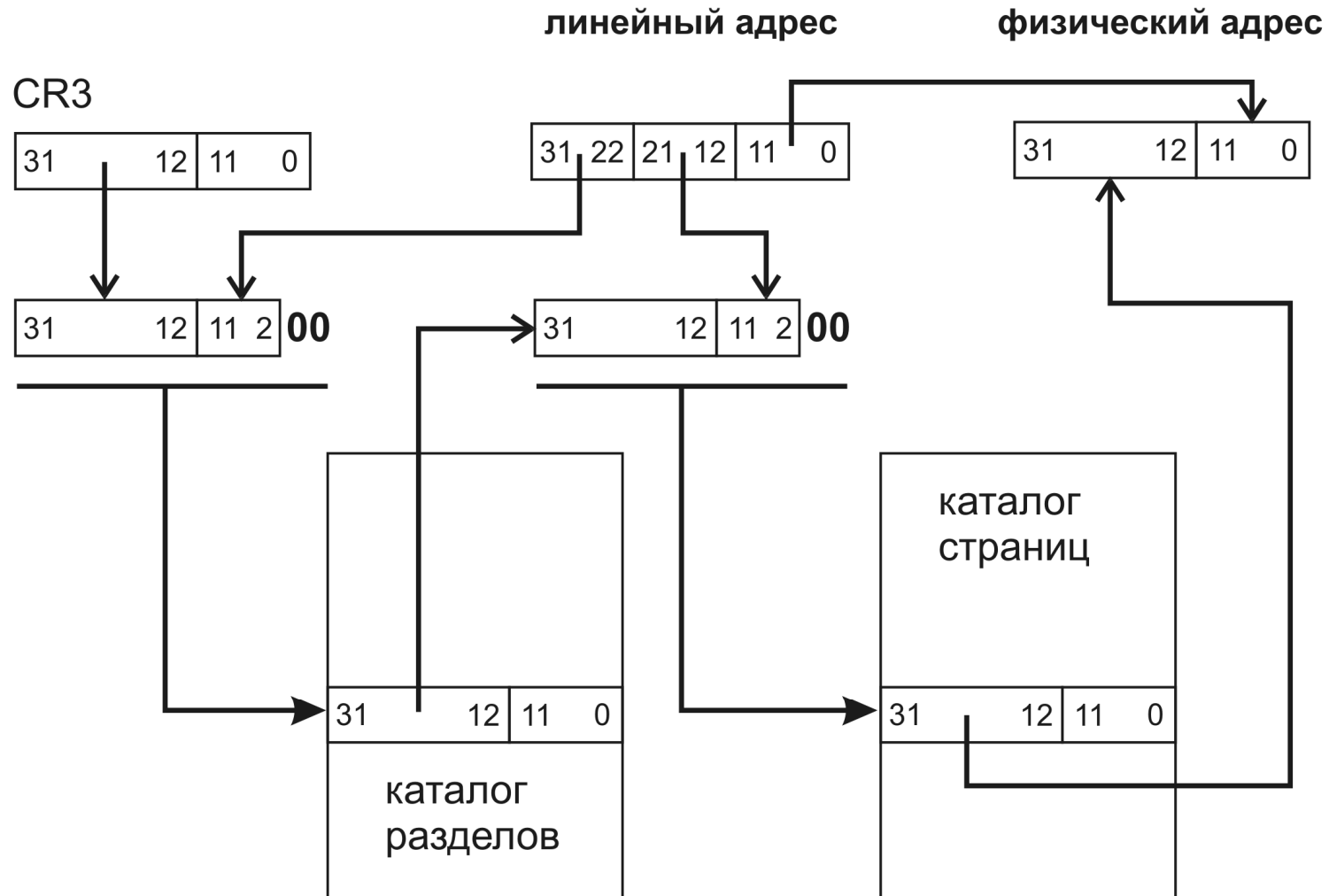


## *Общая схема преобразования адреса в IA32*



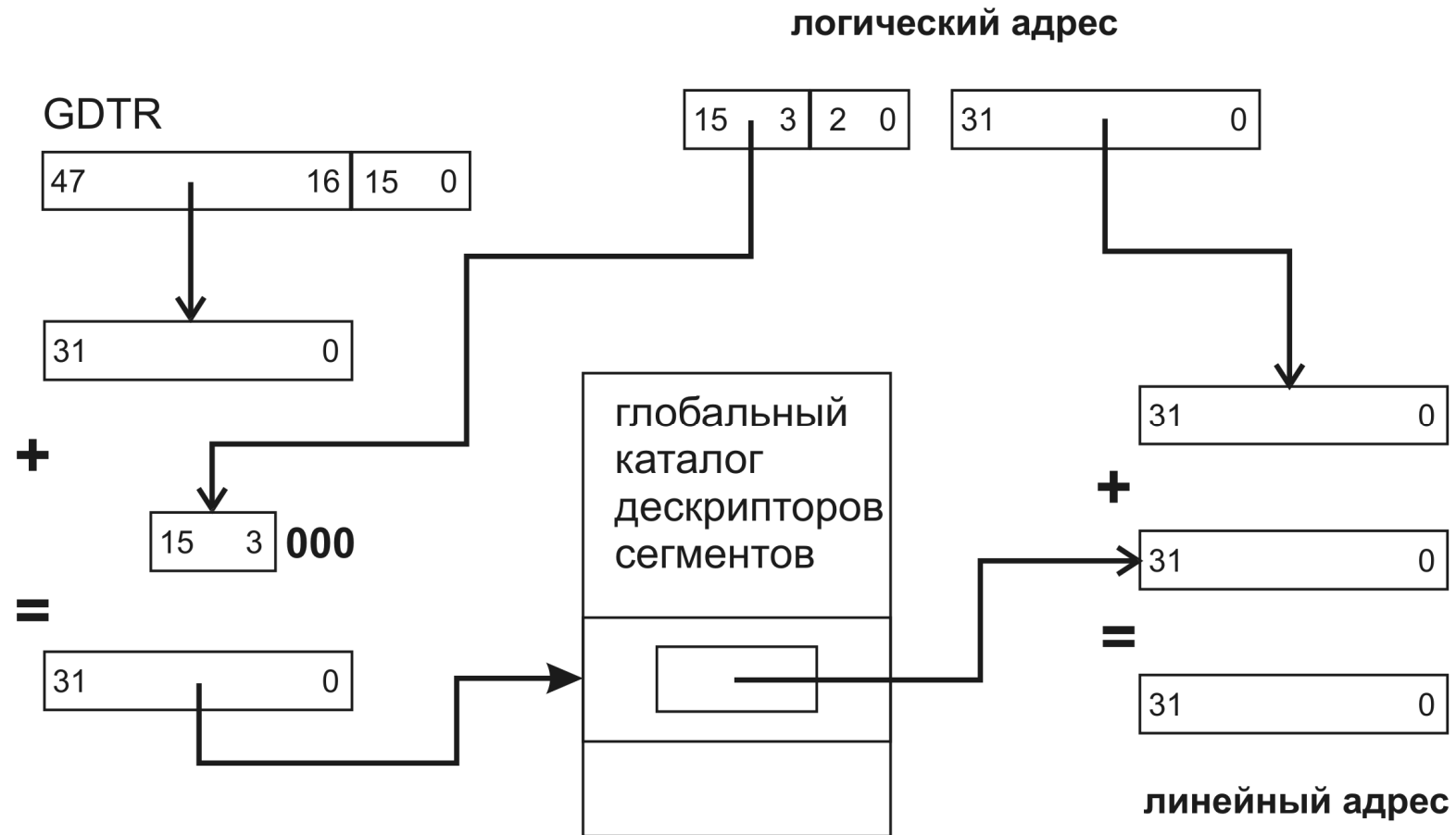
Указанные преобразования различаются в разных режимах работы процессора: защищенном, виртуального-86 и реальном.

# Страничное преобразование в IA32



По сравнению RDP-11 добавлен один уровень, а именно, страницы сгруппированы по разделам. Это объясняется тем, что объем памяти может быть значительным, и число страниц может достигать 1048576. Кроме того, если регистр диспетчера памяти содержал только адрес страницы, то в каталогах страниц и разделов хранятся *дескрипторы страниц*, которые помимо адреса содержат дополнительные атрибуты, в частности бит действительности. Последний позволяет указать, что для данной страницы физическая память не выделена, и обращение к ней невозможно. При попытке обращения к такой странице возникает исключение. Это позволяет реализовать механизм *виртуальной памяти*, когда ОС выделяет память приложению не заранее, а по мере необходимости.

# Сегментное преобразование в IA32



## *Режимы работы процессора*

В режиме виртуального 86-го страничное преобразование производится обычным образом, а сегментное в упрощенном виде (как в i8086), т. е. значение сегментного регистра сдвигается на 4 разряда влево и складывается с относительным адресом. Уровень привилегий минимальный (11).

В реальном режиме страничное преобразование отключено, сегментное производится как в i8086. Уровень привилегий наивысший (00).

Защищенный режим является основным для архитектуры IA32. В нем сегментное и страничное преобразование производятся полностью, а уровень привилегий может быть задан любой из четырех.

## *Защита адресного пространства*

Сегментное преобразование является более гибким, чем страничное, поскольку сегмент в отличие от страницы может иметь произвольное расположение в адресном пространстве. Сегментный регистр содержит индекс сегмента.

Механизмы страничного преобразования в защищенном и виртуального-86 и сегментного преобразования в защищенном режиме позволяют обеспечить полную защиту от несанкционированного доступа к оперативной памяти. Также предусмотрены механизмы защиты портов внешних устройств.

## *Контекст задачи*

Совокупность значений всех регистров, включая системные, составляет контекст задачи. При переключении процессов, а также при системных вызовах происходит смена контекста, поэтому процессы не имеют доступа (если только он не предоставлен намеренно) в адресное пространство друг друга и в адресное пространство ОС. Контекст задачи может содержать также битовую карту ввода-вывода (БКВВ), которая задает маску доступа к портам внешних устройств.

## *Реализация управления ресурсами*

В вычислительных системах существует конкуренция за ресурсы, поэтому для эффективной работы важна стратегия выделения ресурсов. В реальных системах эта стратегия может быть достаточно сложной, однако принято выделять следующие базовые дисциплины управления ресурсами:

- в соответствии с приоритетом,
- FIFO (очередь),
- LIFO (стек),
- циклическая.

Типичные стратегии предоставления процессорного времени процессам (функция *планировщика задач*) реализуют циклическую очередь с приоритетом.