

正確學會

改訂新版 ディジタル回路と Verilog HDL

# Verilog 的 16 堂課

第 2 章

## Verilog 硬體描述語言 基礎語法

本投影片（下稱教用資源）僅授權給採用教用資源相關之旗標書籍為教科書之授課老師（下稱老師）專用，老師為教學使用之目的，得摘錄、編輯、重製教用資源（但使用量不得超過各該教用資源內容之80%）以製作為輔助教學之教學投影片，並於授課時搭配旗標書籍公開播放，但不得為網際網路公開傳輸之遠距教學、網路教學等之使用；除此之外，老師不得再授權予任何第三人使用，並不得將依此授權所製作之教學投影片之相關著作物移作他用。

# 本章重點

- 2.1 硬體描述語言的概要
- 2.2 基本邏輯電路的HDL 化

## 2.1 硬體描述語言的概要

- 數位電路的設計方式已演變成本章提到的「硬體描述語言」，「邏輯模擬器」，「電路合成工具」等方式
- 硬體描述語言是用來描述電路的動作與構造的語言。透過此語言來描述電路的構造與動作，不用畫電路圖。

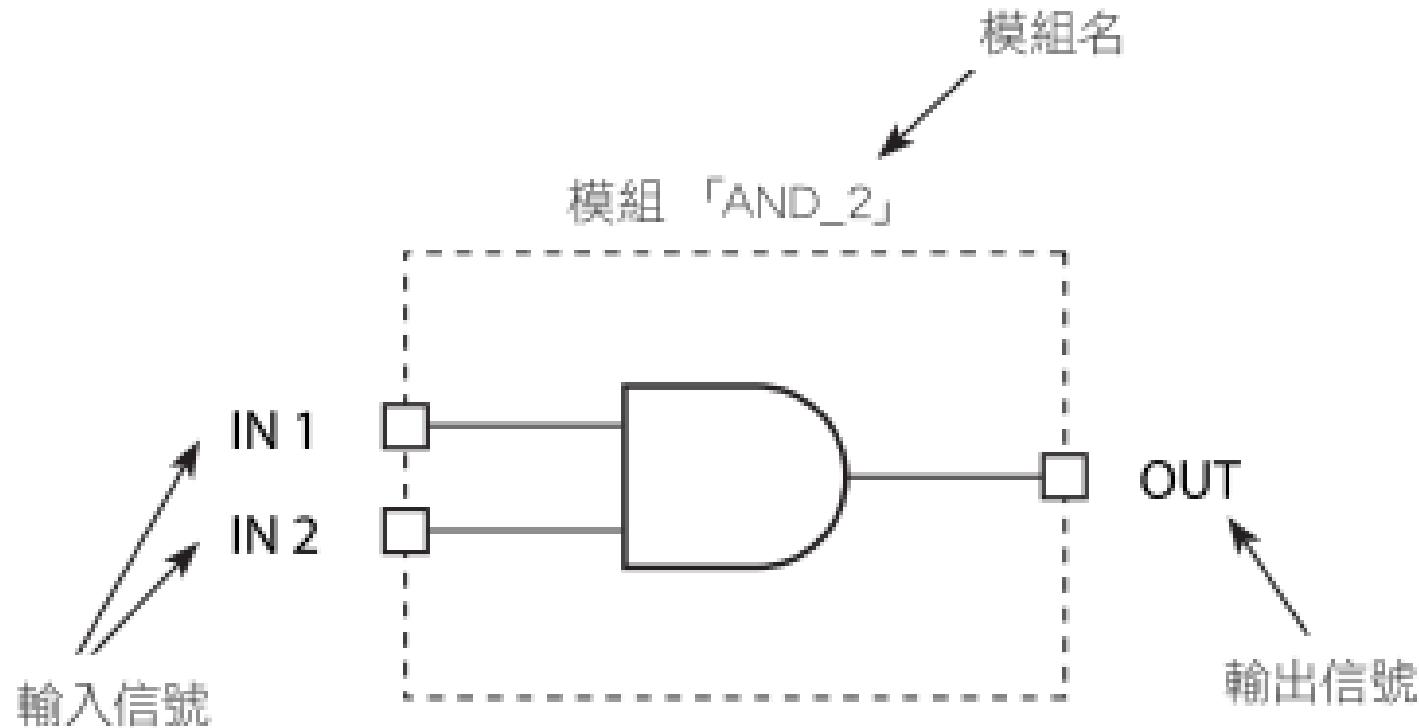
# 硬體描述語言簡介

- 硬體描述語言被稱為 HDL (Hardware Description Language), 分為 3 類：
  - VHDL
  - Verilog HDL：系統描述能力不像 VHDL 這麼複雜，是目前最普遍的硬體描述語言。
  - System C

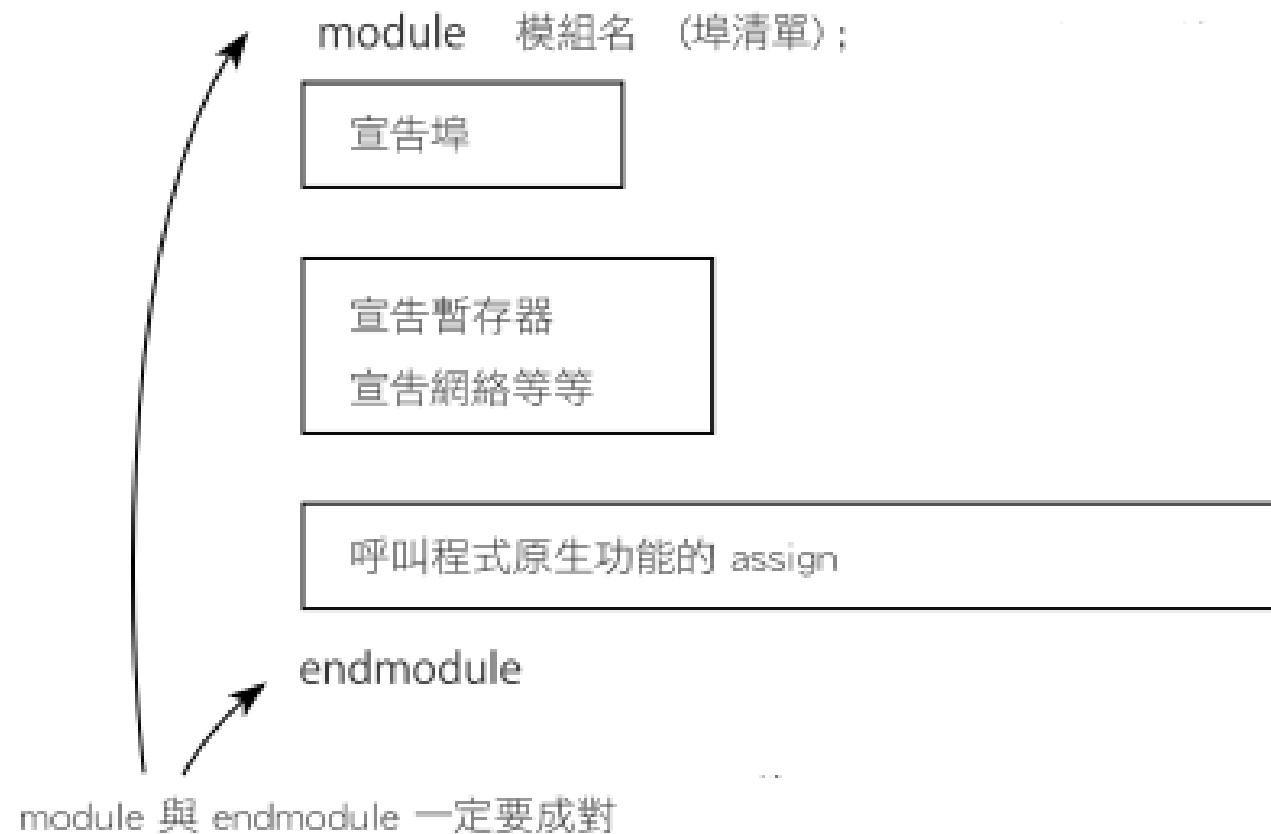
## 2.2 基本邏輯電路的 HDL 化

- HDL 描述的第一步就是模組定義。這邊稱模組為「設計單元」。
- 定義模組一定要做的三件事是：
  - 了解模組內部的構造
  - 模組名的定義
  - 輸入輸出的宣告

## 2.2.1 AND 電路



▲ 圖 2.1 AND 電路的模組定義



▲ 圖 2.2 module 的語法定義

- 邏輯閘層的模組化，是呼叫程式原生功能，定義元件宣告與輸入輸出訊號「(輸出, 輸入 1, 輸入 2...)」。
- 資料流層模組化，是利用 assign 跟位元運算子來描述邏輯式。

module 模組名 (輸入輸出列表);

輸入輸出宣告 input 輸入名 1, 輸入名 2...;  
                          output 輸出名;

暫存器宣告  
網絡宣告等

#### - 潛能問題的解組化

程式原生功能 元件宣告 (輸出, 輸入 1, 輸入 2...)  
(and, or) 輸入輸出信號名稱

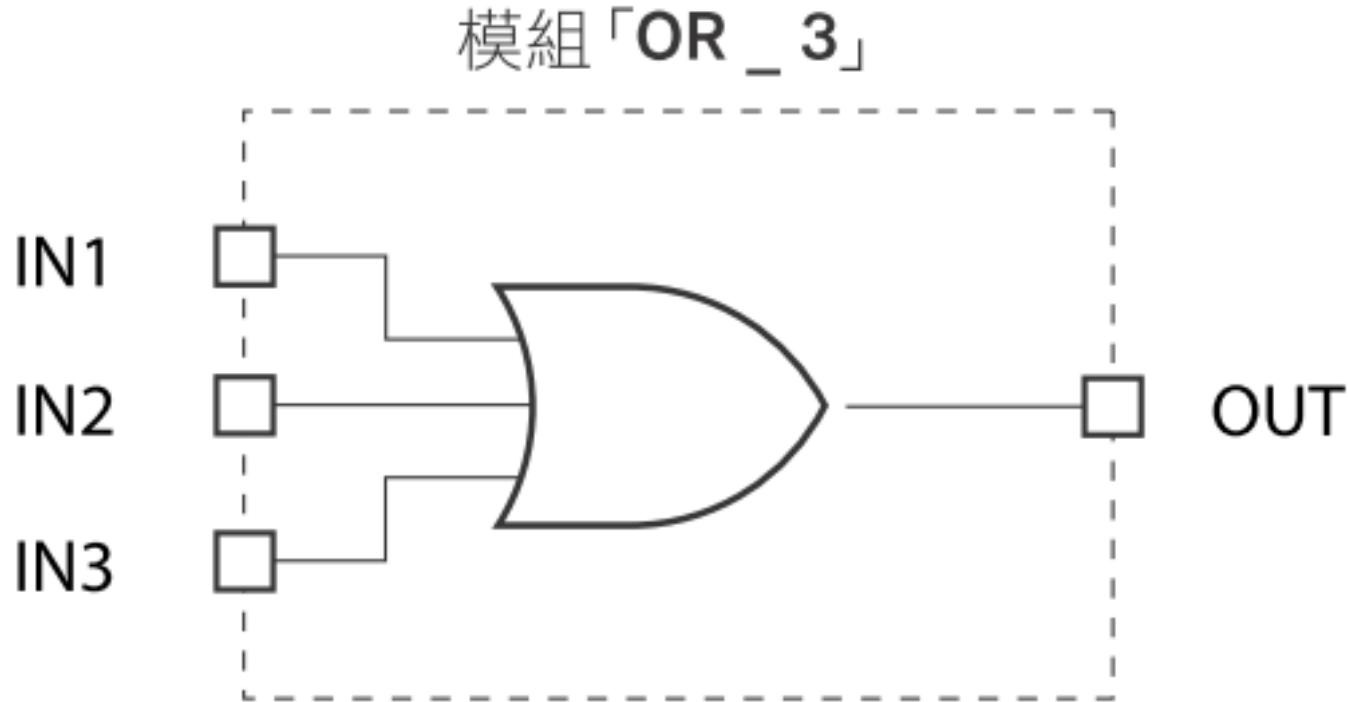
### - 資料流層的模組化

assign 跟位元運算子

endmodule

## ▲ 圖 2.4 Verilog HDL 內文架構整理

## 2.2.2 OR 電路



▲ 圖 2.5 3OR 電路的模組定義

## 程式 2.5 3OR 電路的 Verilog HDL 描述 (邏輯閘層)

### (a) 3OR 電路的邏輯閘層模組化

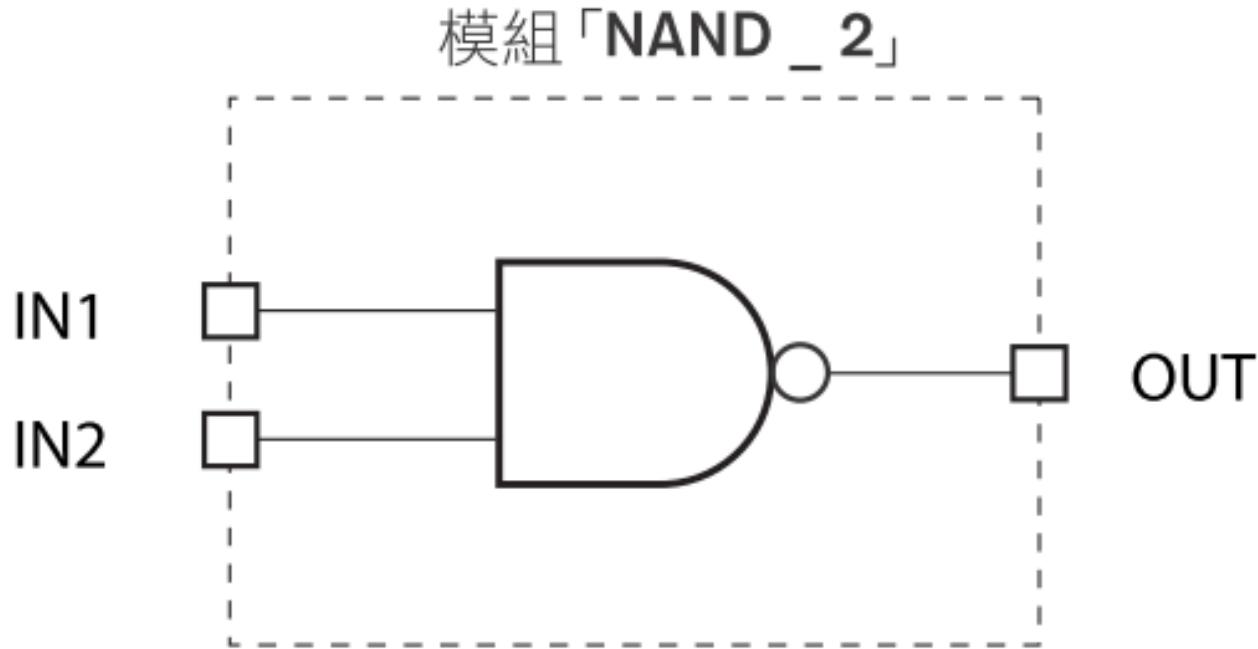
```
/*          OR_3      */
module  OR_3      ( IN1, IN2, IN3, OUT );
input   IN1, IN2, IN3;
output  OUT;
      or      U2      ( OUT, IN1, IN2, IN3 );
endmodule
```

## 程式 2.6 3OR 電路的 Verilog HDL 描述 (資料流層)

### (b) 3OR 電路的資料流層模組化

```
/*          OR_3      */
module  OR_3      ( IN1, IN2, IN3, OUT );
input   IN1, IN2, IN3;
output  OUT;
      assign  OUT = IN1 | IN2 | IN3;
endmodule
```

## 2.2.3 NAND 電路



▲ 圖 2.6 2NAND 電路的模組定義

## 程式 2.7 2NAND 電路的 Verilog HDL 描述 (邏輯閘層)

### (a) 2NAND 電路的邏輯閘層模組化

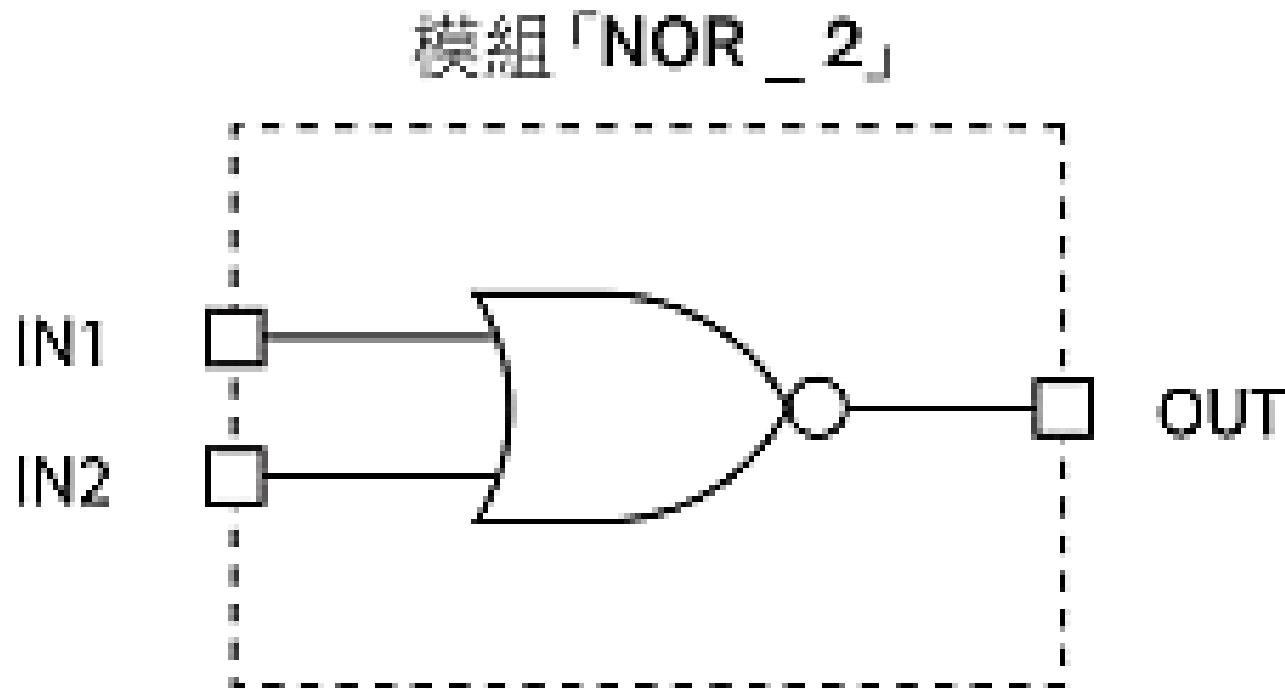
```
/*      NAND_2      */
module  NAND_2      ( IN1, IN2, OUT );
input   IN1, IN2;
output  OUT;
    nand      U3      ( OUT, IN1, IN2 );
endmodule
```

## 程式 2.8 2NAND 電路的 Verilog HDL 描述 (資料流層)

### (b) 2NAND 電路的資料流層模組化

```
/*      NAND_2      */
module  NAND_2      ( IN1, IN2, OUT );
input   IN1, IN2;
output  OUT;
    assign  OUT = ~ ( IN1 & IN2 );
endmodule
```

## 2.2.4 NOR 電路



## 程式 2.9 2NOR 電路的 Verilog HDL 描述 (邏輯閘層)

### (a) 2NOR 電路的邏輯閘層模組化

```
/*      NOR_2      */
module NOR_2      ( IN1, IN2, OUT );
input  IN1, IN2;
output OUT;
    nor      U4      ( OUT, IN1, IN2 );
endmodule
```

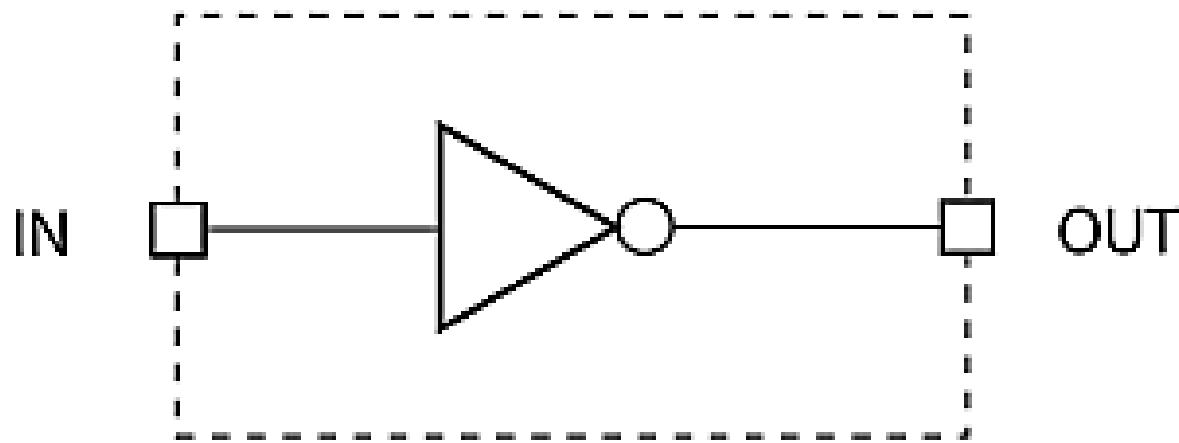
## 程式 2.10 2NOR 電路的 Verilog HDL 描述 (資料流層)

### (b) 2OR 電路的資料流層模組化

```
/*      NOR_2      */
module NOR_2      ( IN1, IN2, OUT );
input  IN1, IN2;
output OUT;
    assign OUT = ~( IN1 | IN2 );
endmodule
```

## 2.2.5 NOT 電路

模組「NOT」



▲ 圖 2.8 NOT 電路的模組定義

## 程式 2.11 NOT 電路的 Verilog HDL 描述 (邏輯閘層)

### (a) NOT 電路的邏輯閘層模組化

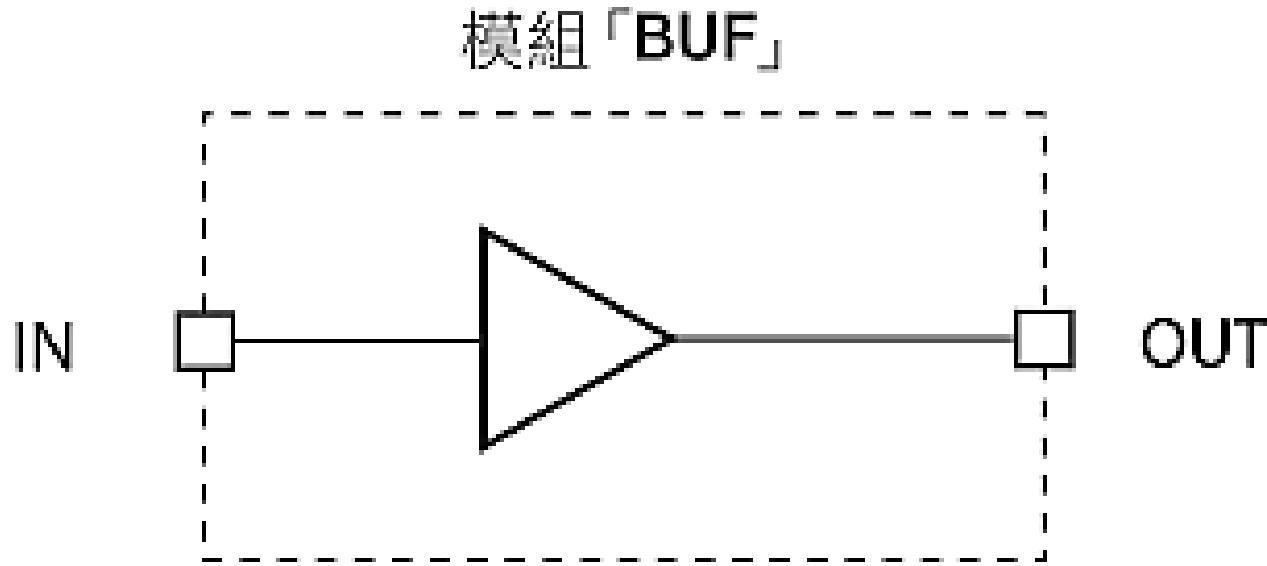
```
/*      NOT      */
module NOT      ( IN, OUT );
input  IN;
output OUT;
    not      U5      ( OUT, IN );
endmodule
```

## 程式 2.12 NOT 電路的 Verilog HDL 描述 (資料流層)

### (b) NOT 電路的資料流層模組化

```
/*      NOT      */
module NOT      ( IN, OUT );
input  IN;
output OUT;
    assign OUT = ~IN;
endmodule
```

## 2.2.6 BUF 電路



▲ 圖 2.9 BUF 電路的模組定義

## 程式 2.13 BUF 電路的 Verilog HDL 描述 (邏輯閘層)

### (a) BUF 電路的邏輯閘層模組化

```
/*          BUF          */
module    BUF          (  IN,  OUT  );
input     IN;
output    OUT;
            buf          U6          (  OUT,  IN  );
endmodule
```

## 程式 2.14 BUF 電路的 Verilog HDL 描述 (資料流層)

### (b) BUF 電路的資料流層模組化

```
/*          BUF          */
module    BUF          (  IN,  OUT  );
input     IN;
output    OUT;
            assign    OUT = IN;
endmodule
```