



Homework 02

Ren-Der Chen (陳仁德)
Department of Computer Science and
Information Engineering
National Changhua University of Education
E-mail: rdchen@cc.ncue.edu.tw
Fall, 2024

作業描述 (1/4)

- 利用always及case敘述，設計一個組合電路(alu.v)，其input/output信號如下
 - **input** [5:0] A, [5:0] B, [3:0] op, **output** [5:0] Y
- 電路功能
 - 若op之值為4'h0時，Y之值為 A
 - 若op之值為4'h1時，Y之值為 B
 - 若op之值為4'h2時，Y之值為 A + 1
 - 若op之值為4'h3時，Y之值為 B + 1
 - 若op之值為4'h4時，Y之值為 A - 1
 - 若op之值為4'h5時，Y之值為 B - 1

作業描述 (2/4)

■ 電路功能

- 若op之值為4'h6時，Y之值為 $A + B$
- 若op之值為4'h7時，Y之值為 $A - B$
- 若op之值為4'h8時，Y之值為 bit-wise A AND B
- 若op之值為4'h9時，Y之值為 bit-wise A OR B
- 若op之值為4'hA時，Y之值為 bit-wise A XOR B
- 若op之值為4'hB時，Y之值為 bit-wise NOT A
- 若op之值為4'hC時，Y之值為 A 左移一個位元 (右邊補0)
- 若op之值為4'hD時，Y之值為 A 右移一個位元 (左邊補0)
- 若op之值為4'hE時，Y之值為 A、B中較大者
- 若op之值為4'hF時，Y之值為 A、B中較小者

作業描述 (3/4)

- 另外再設計一個testbench (alu_tb.v)來驗證電路的正確性。
- 請使用Modelsim進行Functional simulation，觀察text message及waveform之輸出。
- 測試樣本
 - A = 6'b001101 (6'd13), B = 6'b000111 (6'd7), op = 4'h0~4'hF
 - A = 6'b000101 (6'd5), B = 6'b001100 (6'd12), op = 4'h0~4'hF
 - 共有32組輸出

作業描述 (4/4)

- Text message部分，每隔10 ns列印出一組執行結果，格式如下所示：

Time: 10 ns, A=[, B=[, op=[, Y=[

Time: 20 ns, A=[, B=[, op=[, Y=[

...

- 請清楚標示信號之值，並說明運算結果符合電路功能之需求
-
- Waveform部分
 - 請清楚標示信號之值，並說明運算結果符合電路功能之需求

作業繳交

- 繳交之作業檔案請以”您的學號_02”(ex. **S1254000_02**)命名，包含
 - Verilog相關檔案 (請將電路資料夾全部壓縮成一個 **S1254000_02.zip**)
 - 作業報告檔 (請參考範本 **S1254000_02.odp**)
- 繳交方式：彰化師大雲端學院，課程作業區，以附檔作答
- 繳交期限：**2024/12/12 (四) 09:00**