

硬體描述語言



hdl_hw_01

Ren-Der Chen (陳仁德)
Department of Computer Science and
Information Engineering
National Changhua University of Education
E-mail: rdchen@cc.ncue.edu.tw
Fall, 2024

2個數字之排序電路

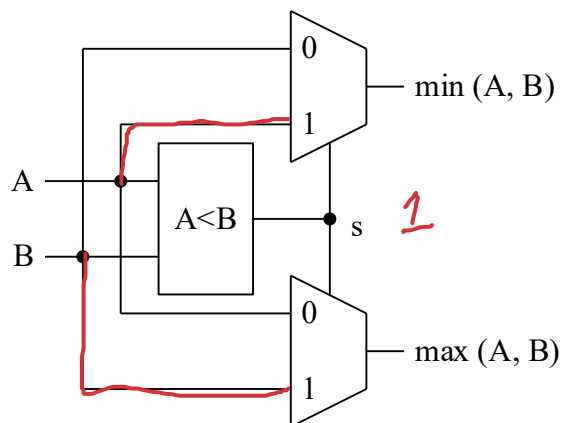
- 圖(a)為2個數字之排序電路(sort2)，圖(b)與(c)分別為其遞增與遞減之示意圖。

數字 8bit 0~255

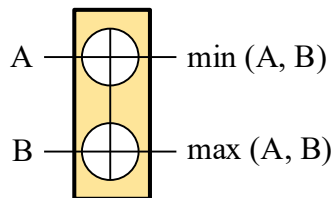
```
module sort2(A, B, minAB, maxAB);
    input [7:0] A, B;
    output [7:0] minAB, maxAB;
    wire s;
```

```
    assign #2 s = (A<B) ? 1 : 0;
    assign #2 minAB = (s == 1) ? A : B;
    assign #2 maxAB = (s == 1) ? B : A;
endmodule
```

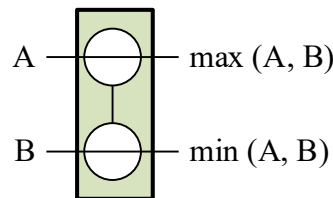
$A < B$
 $s < 7$



(a)



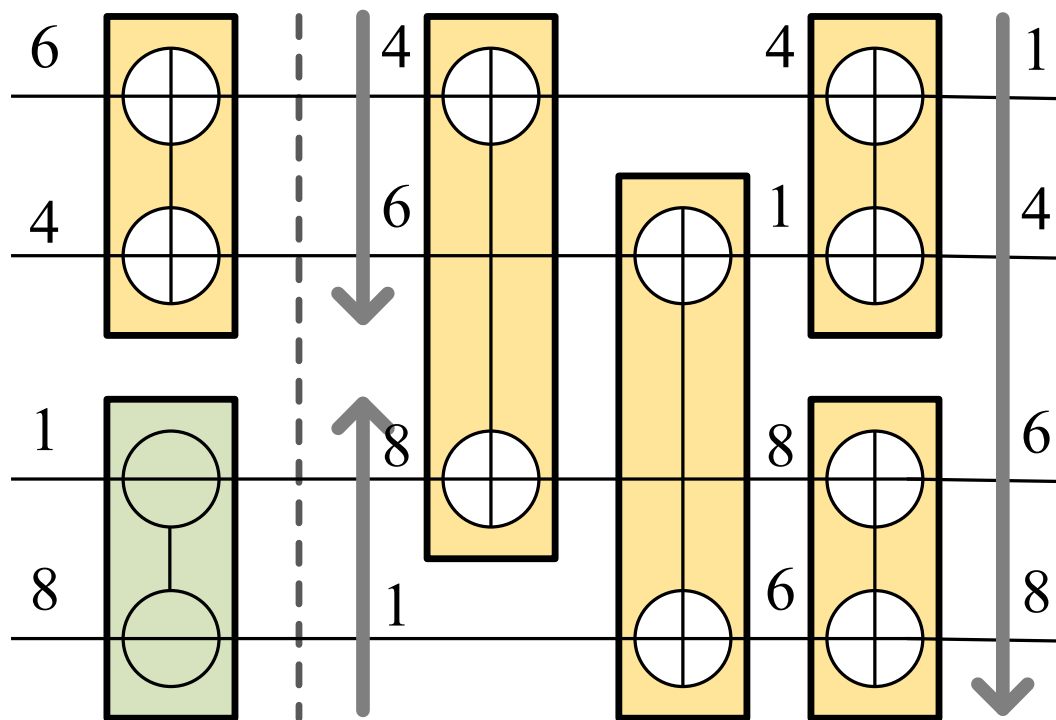
(b)



(c)

4個數字之排序電路

- 利用2個數字之排序電路共6個，組成4個數字之排序電路 (sort4)。



6, 4, 1, 8 => 1, 4, 6, 8

作業描述 (1/2)

- 利用2個數字之排序電路(sort2)共6個，設計4個數字之排序電路(sort4)，並驗證其功能。
- 電路之輸入/輸出信號
 - **input** [7:0] x0, x1, x2, x3;
 - **output** [7:0] y0, y1, y2, y3;
- 將所有modules加入testbench檔案(sort4_tb.v)中，驗證電路的正確性。

作業描述 (2/2)

- 請使用ModelSim完成電路行為之simulation，觀察text message及waveform之輸出。
- 三組測試樣本
 - $X = \{34, 9, 12, 27\}$
 - $X = \{10, 56, 30, 18\}$
 - $X = \{67, 46, 55, 20\}$
- Text message部分，針對每組測試樣本，先列印出4個輸入值X，再印出4個輸出排序值Y。
- Waveform部分，應清楚標示出每組測試樣本之4個輸入值，及4個輸出值。

挑戰題 (1/2)

- 利用類似之設計原理，設計8個數字之排序電路(sort8)，並驗證其功能。
- 電路之輸入/輸出信號
 - **input** [7:0] x0, x1, x2, x3, x4, x5, x6, x7;
 - **output** [7:0] y0, y1, y2, y3, y4, y5, y6, y7;
- 將所有modules加入testbench檔案(sort8_tb.v)中，驗證電路的正確性。

挑戰題 (2/2)

- 請使用ModelSim完成電路行為之simulation，觀察text message及waveform之輸出。
- 三組測試樣本
 - $X = \{28, 34, 15, 34, 12, 27, 8, 55\}$
 - $X = \{10, 13, 56, 21, 30, 69, 18, 24\}$
 - $X = \{15, 8, 47, 67, 46, 12, 55, 20\}$
- Text message部分，針對每組測試樣本，先列印出8個輸入值X，再印出8個輸出排序值Y。
- Waveform部分，應清楚標示出每組測試樣本之8個輸入值，及8個輸出值。

作業繳交

- 繳交之作業檔案請以”您的學號_01”(ex. **S1254000_01**)命名，包含
 - Verilog原始檔 (請壓縮成一個**S1254000_01.zip**)
 - 作業報告檔 (請參考範本 **S1254000_01.ppt**)
- 繳交方式：彰化師大雲端學院，課程作業區 hdl_hw_01
- 繳交期限：**2024/10/31 (四) 09:00**