



Lab 08

期中考練習 (II)

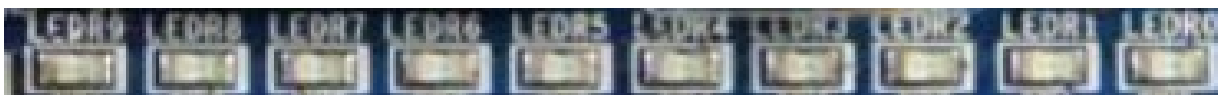
Ren-Der Chen (陳仁德)
Department of Computer Science and
Information Engineering
National Changhua University of Education
E-mail: rdchen@cc.ncue.edu.tw
Spring, 2025

期中考

- **04/16(三) 上課自行練習**
- **04/23(三) 08:20** 期中考 (上機考)
- 考試時僅可攜帶Verilog相關參考檔案(*.v)，不可使用其他類型檔案應考。
- 每一題完成後整個資料夾壓縮，分別上傳至雲端學院作業區，驗證時僅以該資料夾之資料燒錄。

LED、SW、及SEG7號碼對照圖

Led9 Led8 Led7 Led6 Led5 Led4 Led3 Led2 Led1 Led0



1: LED on
0: LED off

Sw9 Sw8 Sw7 Sw6 Sw5 Sw4 Sw3 Sw2 Sw1 Sw0



Up: 1
Down: 0

Seg5 Seg4 Seg3 Seg2 Seg1 Seg0



題型四

- 資料夾、project name、top file、及top module name: 學號_q04 (ex. S1254000_q04)
- 利用Seg0，產生下表不斷循環之數字序列，同時利用Sw1及Sw0，切換Seg0變化之快慢。
- 電路初始狀態(reset)時Seg0顯示0，電路速度必須可清楚識別Seg0之變化情形。

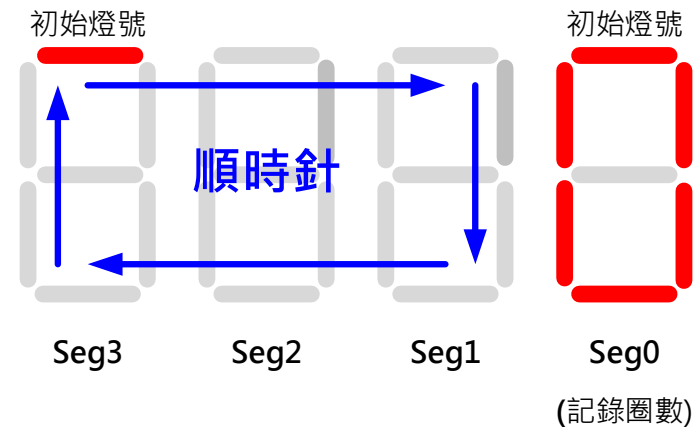
| Sw1 - Sw0 切換快慢 | Seg0 |
|-----------------|--|
| 1. dn - dn (慢) | 0, 1, 0, 2, 0, 3, 0, 1, 2, 3, 0, 1, 0, 2, 0, 3, 0, 1, 2, 3, 0, 1, 0, 2, 0, 3, 0, 1, 2, 3, 0, 1, 0, 2, 0, 3, 0, 1, 2, 3, 0, ... |
| 2. up - dn (快) | |
| 3. up - up (最快) | |

題型五

- 資料夾、project name、top file、及top module name: 學號_q05 (ex. S1254000_q05)
- 利用Seg2, Seg1, Seg0，電路reset後，Seg2, Seg1, Seg0一開始停留在0, 0, 0。
- 電路動作後，由Seg2開始從0數到3，之後換Seg1從0數到4，最後再由Seg0從0數到5。此時Seg2, Seg1, Seg0停留在3, 4, 5。
- 接著再由Seg2開始從3倒數回到0，之後換Seg1從4倒數回到0，最後再由Seg0從5倒數回到0。此時Seg2, Seg1, Seg0停留在0, 0, 0，回到reset狀態。
- 接著繼續下一個週期之變化，由Seg2繼續開始從0數到3，依此類推，不斷循環。
- 電路速度必須可清楚識別信號之變化情形。

題型六

- 資料夾、project name、top file、及top module name: 學號_q06 (ex. S1254000_q06)
- 利用Seg3, Seg2, Seg1, Seg0，電路reset後，讓Seg3, Seg2, Seg1的一支亮燈燈號以下圖順時針變化方式移動5圈，同時以Seg0紀錄完成之圈數，每移動1圈，Seg0之值遞增1。
- 之後再以兩倍速度，逆時針變化方式移動5圈，每移動1圈，Seg0之值遞減1。接著再回到初始狀態，繼續下一個週期之變化，不斷循環。
- 電路初始狀態(reset)時的初始燈號如下圖所示，電路速度必須可清楚識別信號之變化情形。



實驗結果驗收

- 三個電路完成後，請老師或助教驗收三個電路於實驗板之行為，驗收後簽名。