



UNIVERZITET U NOVOM SADU  
**FAKULTET TEHNIČKIH NAUKA**  
KATEDRA ZA ELEKTRONIKU

---




Risto Pejašinović

# **Hardverska implementacija Viola-Jones algoritma**

ZAVRŠNI RAD  
-Osnovne akademske studije-

Novi Sad, 2019.

	UNIVERZITET U NOVOM SADU <b>FAKULTET TEHNIČKIH NAUKA</b>	Broj:
	21000 NOVI SAD , Trg Dositeja Obradovića 6	
	<b>ZADATAK ZA ZAVRŠNI (BACHELOR) RAD</b>	Datum:

(Podatke unosi predmetni nastavnik - mentor)

Vrsta studija:	Osnovne akademske studije
Studijski program:	Energetika, elektronika i telekomunikacije
Rukovodilac studijskog programa:	Dr Milan Sečujski, vanredni profesor

Student:	Risto Pejašinić	Broj indeksa:	EE19/2015
Oblast:	Računarsko projektovanje digitalnih integrisanih kola		
Mentor:	dr , redovni profesor		

NA OSNOVU PODNETE PRIJAVE, PRILOŽENE DOKUMENTACIJE I ODREDBI STATUTA FAKULTETA IZDAJE SE ZADATAK ZA ZAVRŠNI (Bachelor) RAD, SA SLEDEĆIM ELEMENTIMA:

- problem – tema rada;
- način rešavanja problema i način praktične provere rezultata rada, ako je takva provera neophodna;
- literatura

### NASLOV ZAVRŠNOG (BACHELOR) RADA:

Hardverska implementacija Viola-Jones algoritma.

### TEKST ZADATKA:

--

Rukovodilac studijskog programa:	Mentor rada:
dr Milan Sečujski	dr

Primerak za: O- Studenta; O- Studentsku službu fakulteta



UNIVERZITET U NOVOM SADU • FAKULTET TEHNIČKIH NAUKA  
21000 Novi Sad, Trg Dositeja Obradovića 6

## KLJUČNA DOKUMENTACIJSKA INFORMACIJA

Redni broj, <b>RBR:</b>			
Identifikacioni broj, <b>IBR:</b>			
Tip dokumentacije, <b>TD:</b>	Monografska dokumentacija		
Tip zapisa, <b>TZ:</b>	Tekstualni štampani materijal		
Vrsta rada, <b>VR:</b>	Diplomski rad		
Autor, <b>AU:</b>	Risto Pejašinović		
Mentor, <b>MN:</b>	Prof. dr		
Naslov rada, <b>NR:</b>	Hardverska implementacija Viola-Jones algoritma		
Jezik publikacije, <b>JP:</b>	Srpski		
Jezik izvoda, <b>Ji:</b>	Srpski		
Zemlja publikovanja, <b>ZP:</b>	Srbija		
Uže geografsko područje, <b>UGP:</b>	Vojvodina		
Godina, <b>GO:</b>	2019		
Izdavač, <b>IZ:</b>	Autorski reprint		
Mesto i adresa, <b>MA:</b>	21000 Novi Sad, Trg Dositeja Obradovića 6		
Fizički opis rada, <b>FO:</b> (poglavlja/strana/citata/tabela/slika/grafika/priloga)	(7/33/0/7/29/0/0)		
Naučna oblast, <b>NO:</b>	Elektronika		
Naučna disciplina, <b>ND:</b>	Embedded Sistemi		
Predmetna odrednica/Ključne reči, <b>PO:</b>	FPGA, Hardverski akcelerator, Detekcija objekata, Obrada slike, Viola Jones		
<b>UDK</b>			
Čuva se, <b>ČU:</b>	Biblioteka Fakulteta Tehničkih Nauka 21000 Novi Sad, Trg Dositeja Obradovića 6		
Važna napomena, <b>VN:</b>	Nema		
Izvod, <b>IZ:</b>	U ovom diplomskom radu prikazana je arhitektura digitalnog akceleratora Viola-Jones algoritma za detekciju objekata na slici. Akcelerator je implementiran na FPGA čipu.		
Datum prihvatanja teme, <b>DP:</b>	01.09.2019.		
Datum odbrane, <b>DO:</b>	23.9.2019.		
Članovi komisije, <b>KO:</b>	Predsednik:		Potpis mentora
	Član:		
	Član, mentor		



UNIVERSITY OF NOVI SAD • FACULTY OF TECHNICAL SCIENCES  
21000 Novi Sad, Trg Dositeja Obradovića 6

## KEY WORDS DOCUMENTATION

Accession number, <b>ANO:</b>			
Identification number, <b>INO:</b>			
Document type, <b>DT:</b>	Monographic publication		
Type of record, <b>T3:</b>	Textual material, printed		
Contents code, <b>CC:</b>	Graduate thesis		
Author, <b>AU:</b>	Risto Pejašinić		
Mentor, <b>MN:</b>			
Title, <b>TI:</b>	Hardware implementation of Viola-Jones algorithm		
Language of text, <b>LT:</b>	Serbian		
Language of abstract, <b>LA:</b>	Serbian		
Country of publication, <b>CP:</b>	Serbia		
Locality of publication, <b>LP:</b>	Vojvodina		
Publication year, <b>PY:</b>	2019		
Publisher, <b>PB:</b>	Author's reprint		
Publication place, <b>PP:</b>	21000 Novi Sad, Trg Dositeja Obradovića 6		
Physical description, <b>PD:</b> (chapters/ pages/ ref. / tables/ pictures/ graphs/ appendixes)	(7/33/0/7/29/0/0)		
Scientific field, <b>SF:</b>	Electrical engineering		
Scientific discipline, <b>SD:</b>	Embedded Systems		
Subject/ Key words, <b>S/KW:</b>	FPGA, Hardware accelerator, Object Detection, Image Processing, Viola Jones		
<b>UC</b>			
Holding data, <b>HD:</b>	Library of Faculty of Technical Sciences 21000 Novi Sad, Trg Dositeja Obradovića 6		
Note, <b>N:</b>	None		
Abstract, <b>AB:</b>	In this bachelor thesis architecture of digital hardware accelerator of Viola-Jones object detection algorithm is shown. Accelerator is implemented on FPGA.		
Accepted by the Scientific Board on, <b>ASB:</b>	01.09. 2019.		
Defended on, <b>DE:</b>	23.9.2019.		
Defended board, <b>DB:</b>	President:	Ph. D	<b>Mentor's signature</b>
	Member:	Ph. D assistant	
	Member, Mentor	Ph.D	