



UNIVERZITET U NOVOM SADU
FAKULTET TEHNIČKIH NAUKA
KATEDRA ZA ELEKTRONIKU




Risto Pejašinović

Hardverska implementacija Viola-Jones algoritma

ZAVRŠNI RAD
-Osnovne akademske studije-

Novi Sad, 2019.

	UNIVERZITET U NOVOM SADU FAKULTET TEHNIČKIH NAUKA 21000 NOVI SAD , Trg Dositeja Obradovića 6	Broj:
	ZADATAK ZA ZAVRŠNI (BACHELOR) RAD	Datum:

(Podatke unosi predmetni nastavnik - mentor)

Vrsta studija:	Osnovne akademske studije
Studijski program:	Energetika, elektronika i telekomunikacije
Rukovodilac studijskog programa:	Dr Milan Sečujski, vanredni profesor

Student:	Risto Pejašinić	Broj indeksa:	EE19/2015
Oblast:	Projektovanje Složenih Digitalnih Sistema		
Mentor:	dr Vuk Vranković, docent		

NA OSNOVU PODNETE PRIJAVE, PRILOŽENE DOKUMENTACIJE I ODREDBI STATUTA FAKULTETA IZDAJE SE ZADATAK ZA ZAVRŠNI (Bachelor) RAD, SA SLEDEĆIM ELEMENTIMA:

- problem – tema rada;
- način rešavanja problema i način praktične provere rezultata rada, ako je takva provera neophodna;
- literatura

NASLOV ZAVRŠNOG (BACHELOR) RADA:

Hardverska implementacija Viola-Jones algoritma.

TEKST ZADATKA:

1. Teorijski uvod u Viola-Jones algoritam, njegove prednosti i mane.
2. Razvoj softverskih modela Viola-Jones algoritma u svrhu projektovanja hardverske arhitekture.
3. Projektovanje hardverske arhitekture akceleratora za Viola-Jones algoritam.
4. Implementacija projektovane arhitekture u SystemVerilog jeziku, kao i pomoću PyGears metodologije.
5. Integracija projektovanog IP jezgra sa Zynq 7020 SoC platformom.
6. Pisanje Linux Device Driver-a za komunikaciju sa projektovanim IP jezgrom, pisanje korisničkih aplikacija.
7. Analiza performansi i potrebnih hardverskih resursa za projektovano IP jezgro.

Rukovodilac studijskog programa:	Mentor rada:
dr Milan Sečujski	dr Vuk Vranković

Primerak za: O- Studenta; O- Studentsku službu fakulteta



UNIVERZITET U NOVOM SADU • FAKULTET TEHNIČKIH NAUKA
21000 Novi Sad, Trg Dositeja Obradovića 6

KLJUČNA DOKUMENTACIJSKA INFORMACIJA

Redni broj, RBR:			
Identifikacioni broj, IBR:			
Tip dokumentacije, TD:	Monografska dokumentacija		
Tip zapisa, TZ:	Tekstualni štampani materijal		
Vrsta rada, VR:	Diplomski rad		
Autor, AU:	Risto Pejašinić		
Mentor, MN:	Prof. dr Vuk Vranković		
Naslov rada, NR:	Hardverska implementacija Viola-Jones algoritma		
Jezik publikacije, JP:	Srpski		
Jezik izvoda, Ji:	Srpski		
Zemlja publikovanja, ZP:	Srbija		
Uže geografsko područje, UGP:	Vojvodina		
Godina, GO:	2019		
Izdavač, IZ:	Autorski reprint		
Mesto i adresa, MA:	21000 Novi Sad, Trg Dositeja Obradovića 6		
Fizički opis rada, FO: (poglavlja/strana/citata/tabela/slika/grafika/priloga)	(10/71/23/7/39/0/0)		
Naučna oblast, NO:	Elektronika		
Naučna disciplina, ND:	Embedded Sistemi		
Predmetna odrednica/Ključne reči, PO:	FPGA, Hardverski akcelerator, Detekcija objekata, Obrada slike, Viola Jones		
UDK			
Čuva se, ČU:	Biblioteka Fakulteta Tehničkih Nauka 21000 Novi Sad, Trg Dositeja Obradovića 6		
Važna napomena, VN:	Nema		
Izvod, IZ:	U ovom diplomskom radu projektovana je arhitektura hardverskog akceleratora Viola-Jones algoritma za detekciju objekata na slici. Akcelerator je implementiran na FPGA čipu.		
Datum prihvatanja teme, DP:	01.09.2019.		
Datum odbrane, DO:	21.10.2019.		
Članovi komisije, KO:	Predsednik:	dr. Rastislav Struharik, vanredni profesor	
	Član:	dr. Predrag Teodorović, docent	Potpis mentora
	Član, mentor	dr. Vuk Vranković, docent	



UNIVERSITY OF NOVI SAD • FACULTY OF TECHNICAL SCIENCES
21000 Novi Sad, Trg Dositeja Obradovića 6

KEY WORDS DOCUMENTATION

Accession number, ANO:							
Identification number, INO:							
Document type, DT:	Monographic publication						
Type of record, T3:	Textual material, printed						
Contents code, CC:	Graduate thesis						
Author, AU:	Risto Pejašinović						
Mentor, MN:	Ph.D Vuk Vranković						
Title, TI:	Hardware implementation of Viola-Jones algorithm						
Language of text, LT:	Serbian						
Language of abstract, LA:	Serbian						
Country of publication, CP:	Serbia						
Locality of publication, LP:	Vojvodina						
Publication year, PY:	2019						
Publisher, PB:	Author's reprint						
Publication place, PP:	21000 Novi Sad, Trg Dositeja Obradovića 6						
Physical description, PD: (chapters/ pages/ ref. / tables/ pictures/ graphs/ appendixes)	(10/71/23/7/39/0/0)						
Scientific field, SF:	Electrical engineering						
Scientific discipline, SD:	Embedded Systems						
Subject/ Key words, S/KW:	FPGA, Hardware accelerator, Object Detection, Image Processing, Viola Jones						
UC							
Holding data, HD:	Library of Faculty of Technical Sciences 21000 Novi Sad, Trg Dositeja Obradovića 6						
Note, N:	None						
Abstract, AB:	In this bachelor thesis architecture of digital hardware accelerator for Viola-Jones object detection algorithm is designed. Accelerator is implemented on FPGA.						
Accepted by the Scientific Board on, ASB:	01.09. 2019.						
Defended on, DE:	21.10.2019.						
Defended board, DB:	<table border="1"> <tr> <td>President:</td> <td>Ph. D Rastislav Struharik, professor</td> </tr> <tr> <td>Member:</td> <td>Ph. D Predrag Teodorović, assistant professor</td> </tr> <tr> <td>Member, Mentor</td> <td>Ph.D Vuk Vranković, assistant professor</td> </tr> </table>	President:	Ph. D Rastislav Struharik, professor	Member:	Ph. D Predrag Teodorović, assistant professor	Member, Mentor	Ph.D Vuk Vranković, assistant professor
President:	Ph. D Rastislav Struharik, professor						
Member:	Ph. D Predrag Teodorović, assistant professor						
Member, Mentor	Ph.D Vuk Vranković, assistant professor						
	Mentor's signature						