

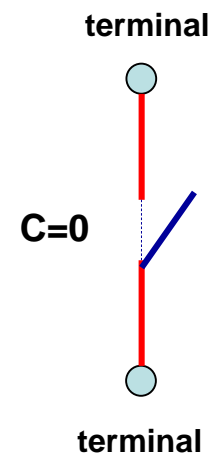
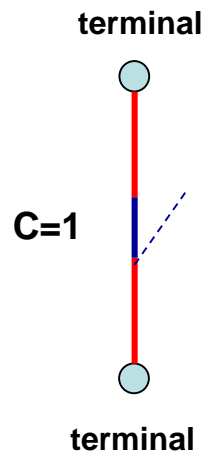
Microeletrônica: Introdução ao Projeto Físico de Portas Lógicas

Rafael Schivittz, Roberto Almeida, Giane Ulloa, Fábio Silva
Cristina Meinhardt, Paulo F. Butzen

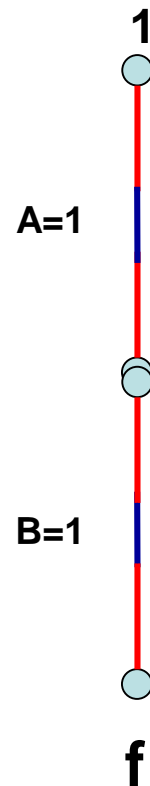
- Aula 1 – Álgebra booleana → Tabela Verdade
→ Rede de chaves.
 - Introdução ao NGSPICE → Fontes DC e PWL
- Aula 2 – Transistores → Lógica Complementar
 - » (Pull-up/Pull-down)
- Aula 3 – Construção das portas lógicas complementares
 - » INV, NAND2, NOR2, AOI
- Aulas 4, 5 e 6
 - Atrasos, Dimensionamento, Sub-circuitos.

- Aula 1 – Álgebra booleana → Tabela Verdade
→ Rede de chaves.
 - Introdução ao NGSPICE → Fontes DC e PWL
- Aula 2 – Transistores → Lógica Complementar
» (Pull-up/Pull-down)
- Aula 3 – Construção das portas lógicas complementares
» INV, NAND2, NOR2, AOI
- Aulas 4, 5 e 6
 - Atrasos, Dimensionamento, Sub-circuitos.

Lógica booleana com Chaves



- Em série:



$$A = 0, B = 0 \rightarrow F = 0$$

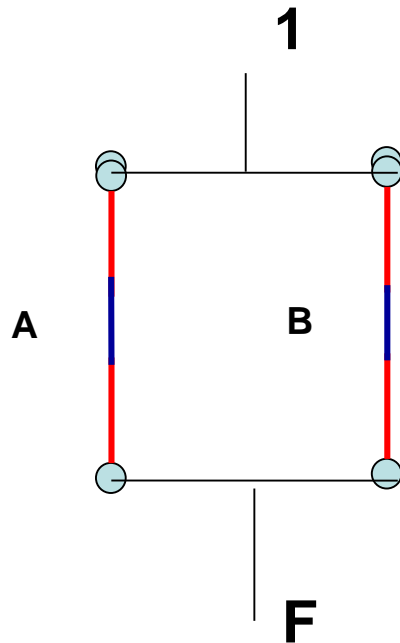
$$A = 1, B = 0 \rightarrow F = 0$$

$$A = 0, B = 1 \rightarrow F = 0$$

$$A = 1, B = 1 \rightarrow F = 1$$

$$F = A * B$$

- Em paralelo:



$$A = 0, B = 0 \rightarrow F = 0$$

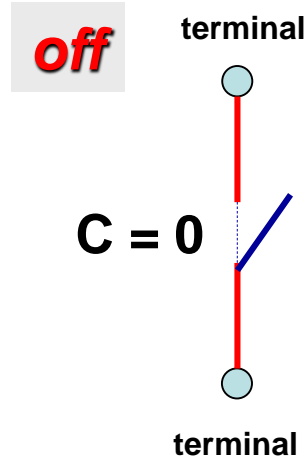
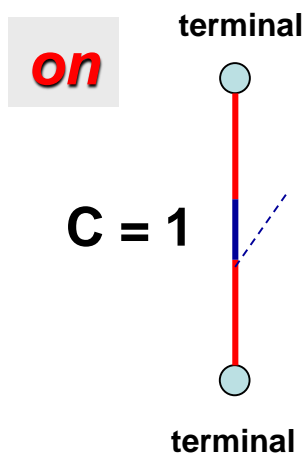
$$A = 1, B = 0 \rightarrow F = 1$$

$$A = 0, B = 1 \rightarrow F = 1$$

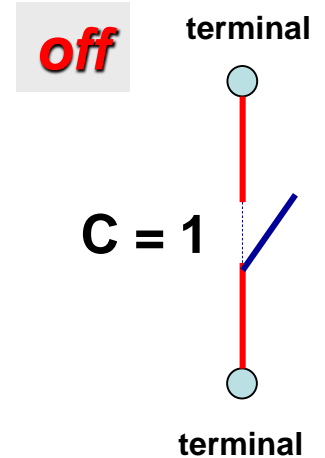
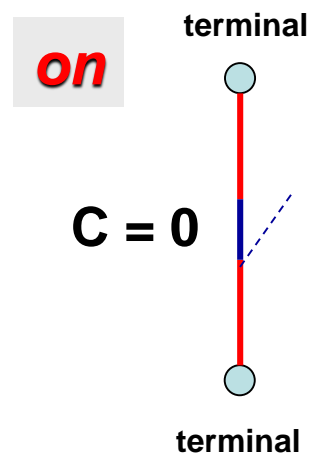
$$A = 1, B = 1 \rightarrow F = 1$$

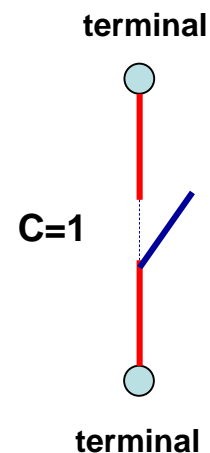
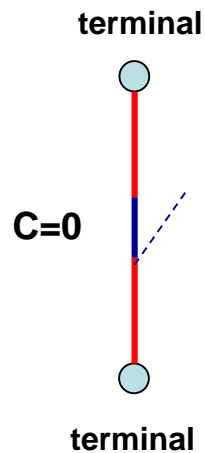
$$F = A + B$$

• Chave ativa com 1:

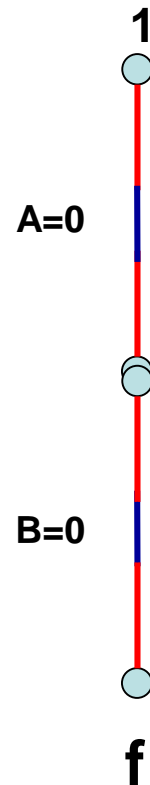


• Chave ativa com 0:



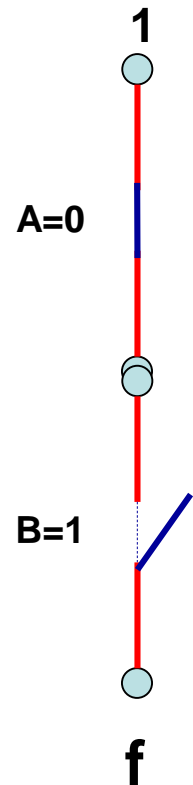


- Em série:



$$A = 0, B = 0 \rightarrow F = 1$$

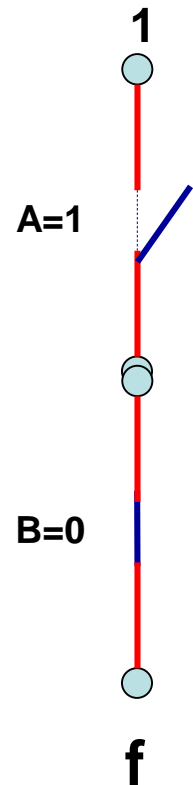
- Em série:



$$A = 0, B = 0 \rightarrow F = 1$$

$$A = 0, B = 1 \rightarrow F = 0$$

- Em série:

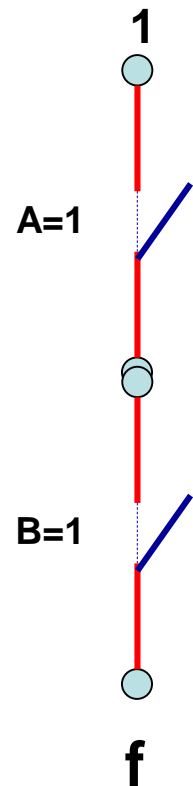


$$A = 0, B = 0 \rightarrow F = 1$$

$$A = 0, B = 1 \rightarrow F = 0$$

$$A = 1, B = 0 \rightarrow F = 0$$

- Em série:



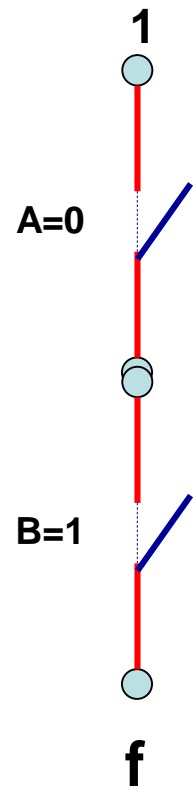
$$A = 0, B = 0 \rightarrow F = 1$$

$$A = 0, B = 1 \rightarrow F = 0$$

$$A = 1, B = 0 \rightarrow F = 0$$

$$A = 1, B = 1 \rightarrow F = 0$$

- Em série:



$$A = 0, B = 0 \rightarrow F = 1$$

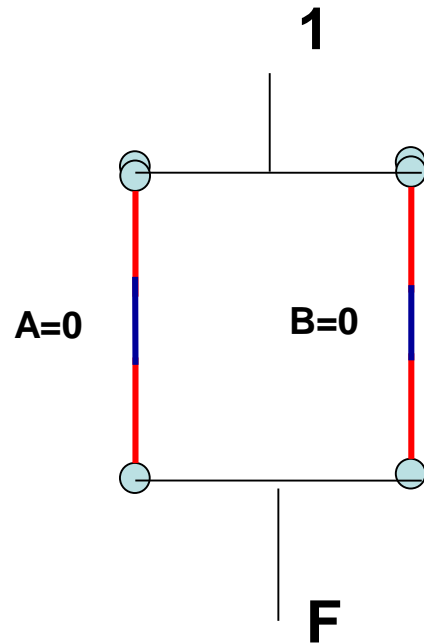
$$A = 0, B = 1 \rightarrow F = 0$$

$$A = 1, B = 0 \rightarrow F = 0$$

$$A = 1, B = 1 \rightarrow F = 0$$

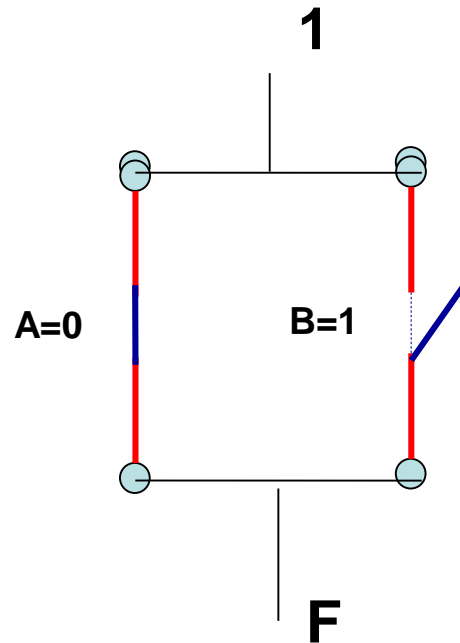
$$F = \overline{(A+B)}$$

- Em paralelo:



$$A = 0, B = 0 \rightarrow F = 1$$

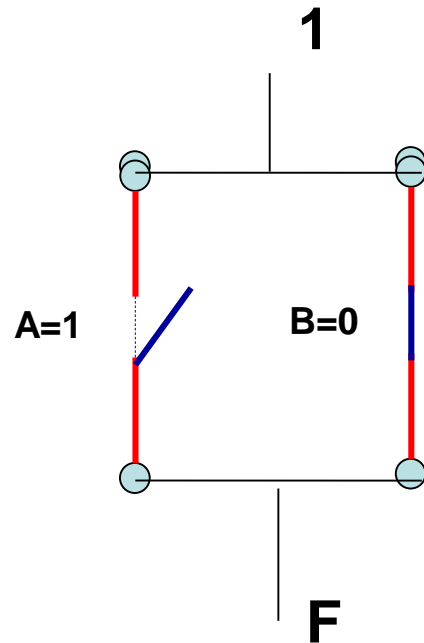
- Em paralelo:



$$A = 0, B = 0 \rightarrow F = 1$$

$$A = 0, B = 1 \rightarrow F = 1$$

- Em paralelo:

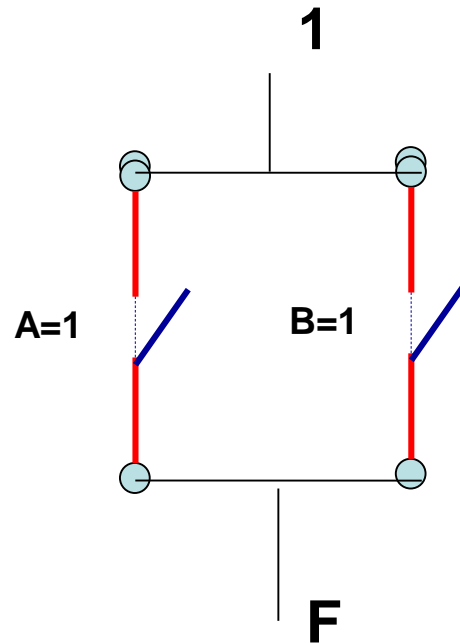


$$A = 0, B = 0 \rightarrow F = 1$$

$$A = 0, B = 1 \rightarrow F = 1$$

$$A = 1, B = 0 \rightarrow F = 1$$

- Em paralelo:

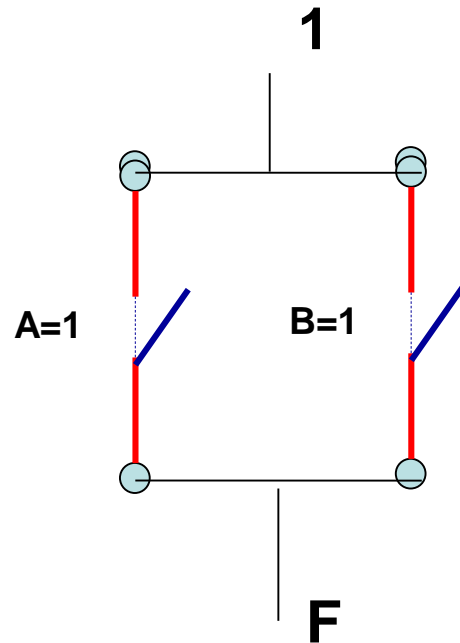


$$A = 0, B = 0 \rightarrow F = 1$$

$$A = 0, B = 1 \rightarrow F = 1$$

$$A = 1, B = 0 \rightarrow F = 1$$

$$A = 1, B = 1 \rightarrow F = 0$$



$$A = 0, B = 0 \rightarrow F = 1$$

$$A = 0, B = 1 \rightarrow F = 1$$

$$A = 1, B = 0 \rightarrow F = 1$$

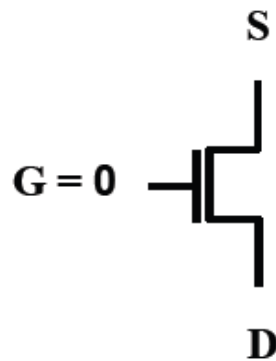
$$A = 1, B = 1 \rightarrow F = 0$$

$$F = \overline{(A.B)}$$

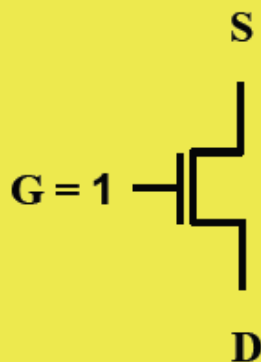
- **O que são transistores?** Simplificando: são chaves. Dada uma entrada lógica (0 ou 1) permite a passagem de elétrons ou os impede.
- Podem ser utilizados para gerar circuitos físicos que implementam uma lógica digital.

O Transistor NMOS

Funcionamento Simplificado: “uma chave eletrônica ideal”

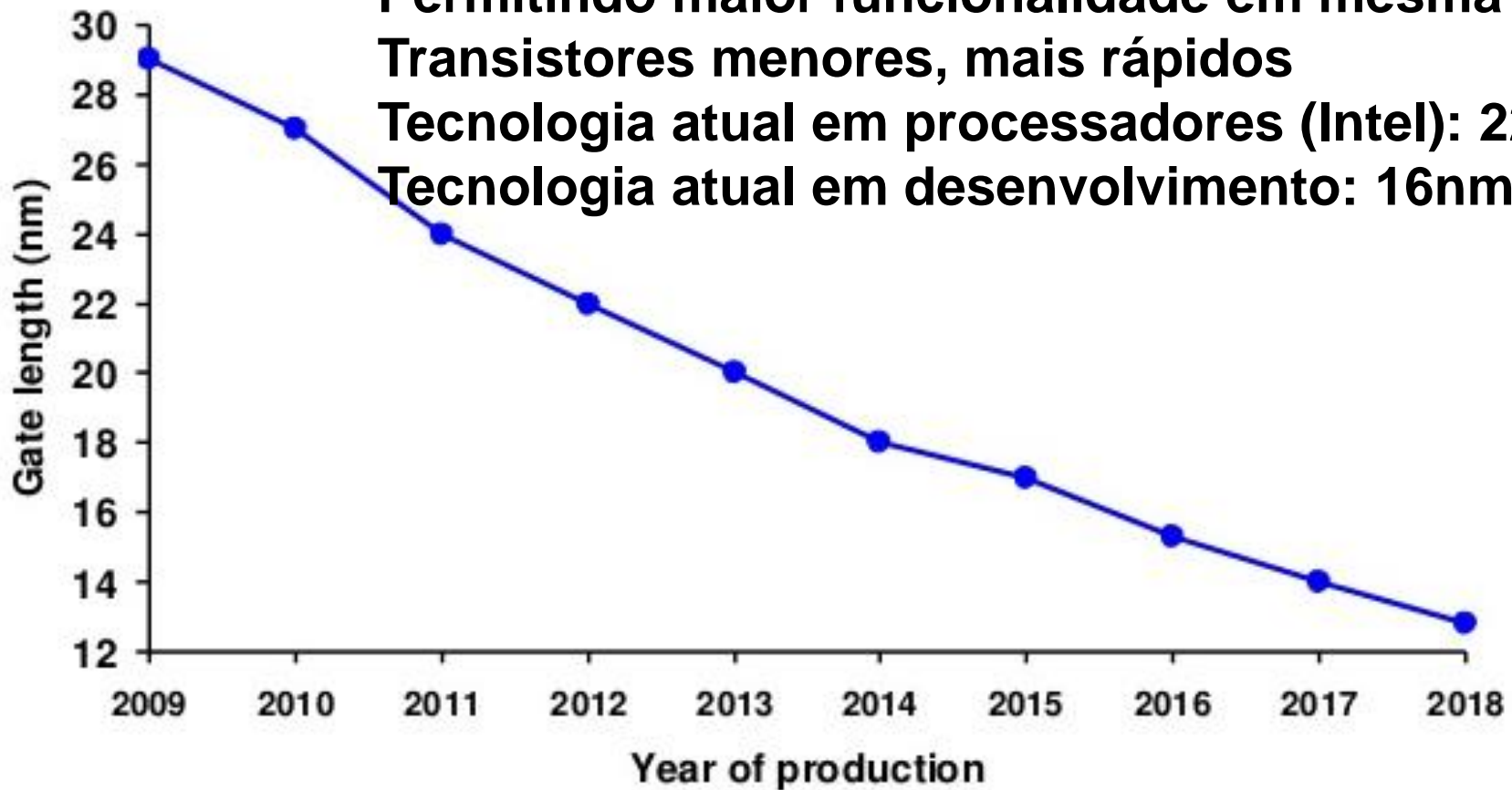


chave aberta
(sem corrente elétrica)
 $D \neq S$



chave fechada
com corrente elétrica até que
 $D = S$

Tamanho reduz constantemente
Permitindo maior funcionalidade em mesma área
Transistores menores, mais rápidos
Tecnologia atual em processadores (Intel): 22nm
Tecnologia atual em desenvolvimento: 16nm



[International Technology Roadmap for Semiconductors, 2011]

Como trabalhar com transistors tão pequenos?



- Simuladores elétricos
 - NGSPICE
 - Download: <http://ngspice.sourceforge.net/>
- **Modelos Preditivos:** Reune características físicas dos componentes para uma determinada tecnologia.
 - Download: http://ptm.asu.edu/modelcard/HP/32nm_HP.pm

1. Colocar o modelo preditivo na mesma pasta do executável do NGSPICE;
2. Gerar o circuito em um arquivo texto simples .cir ou .txt;
3. No NGSPICE usar os comandos
 - > source <nome_do_seu_arquivo>.txt
 - > run
4. Para verificar a tensão em um nodo:
 - > plot nodo

Simulando um transistor NMOS



* Simulação NMOS

```
.include 32nm_HP.pm
```

* Fontes

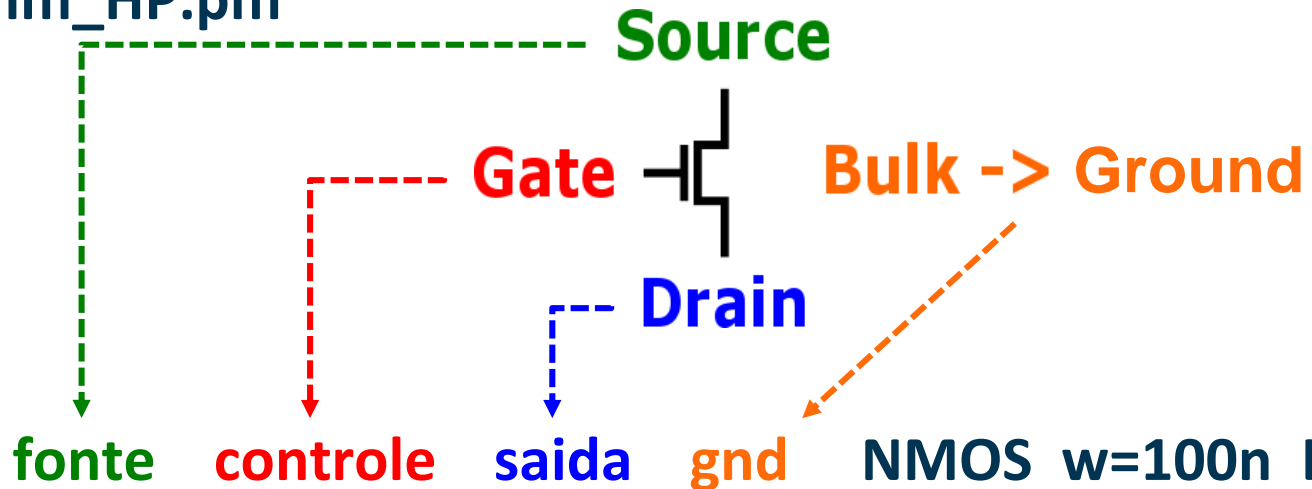
* Transistor

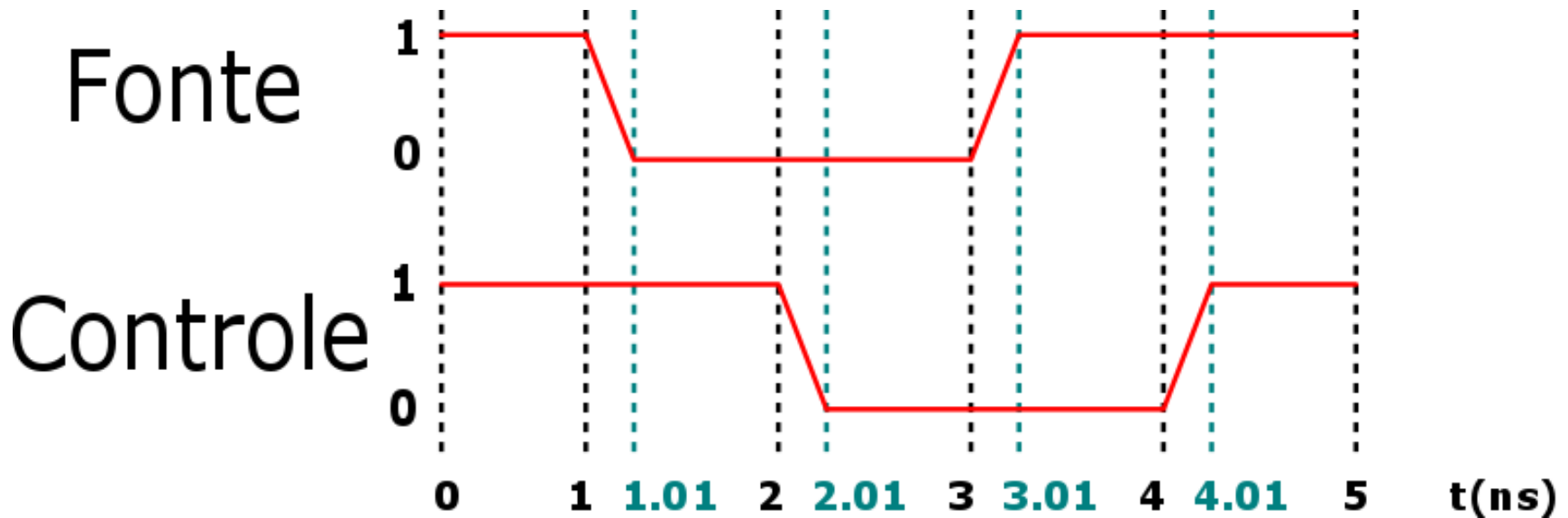
```
MNnmos fonte controle saida gnd NMOS w=100n L=32n
```

* Simulação transiente

```
.tran 0.01ns 5ns
```

```
.end
```





Vfonte fonte gnd PWL (0ns 1 1ns 1 ...)

* Sempre colocar o tempo seguido de sua unidade, nesse caso *ns*. Ex: 0ns, 1ns

Simulando um transistor NMOS



*** Simulação NMOS**

.include 32nm_HP.pm

*** Fontes**

Vfonte fonte gnd PWL (0ns 1 1ns 1 1.01ns 0 3ns 0 3.01ns 1 5ns 1)

Vcont cont gnd PWL (0ns 1 2ns 1 2.01ns 0 4ns 0 4.01ns 1 5ns 1)

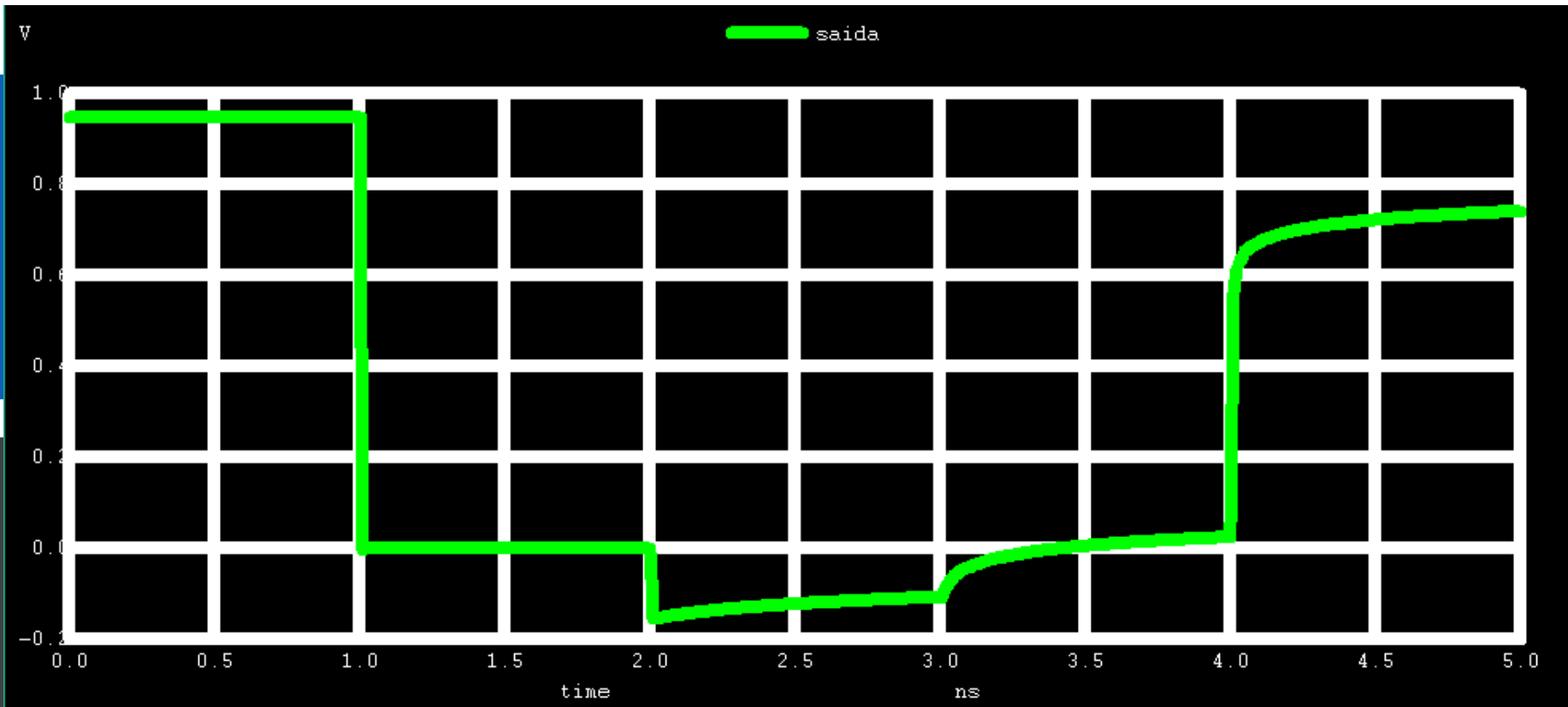
***Transistor**

MNnmos fonte controle saida gnd NMOS w=100n L=32n

***Simulação transiente**

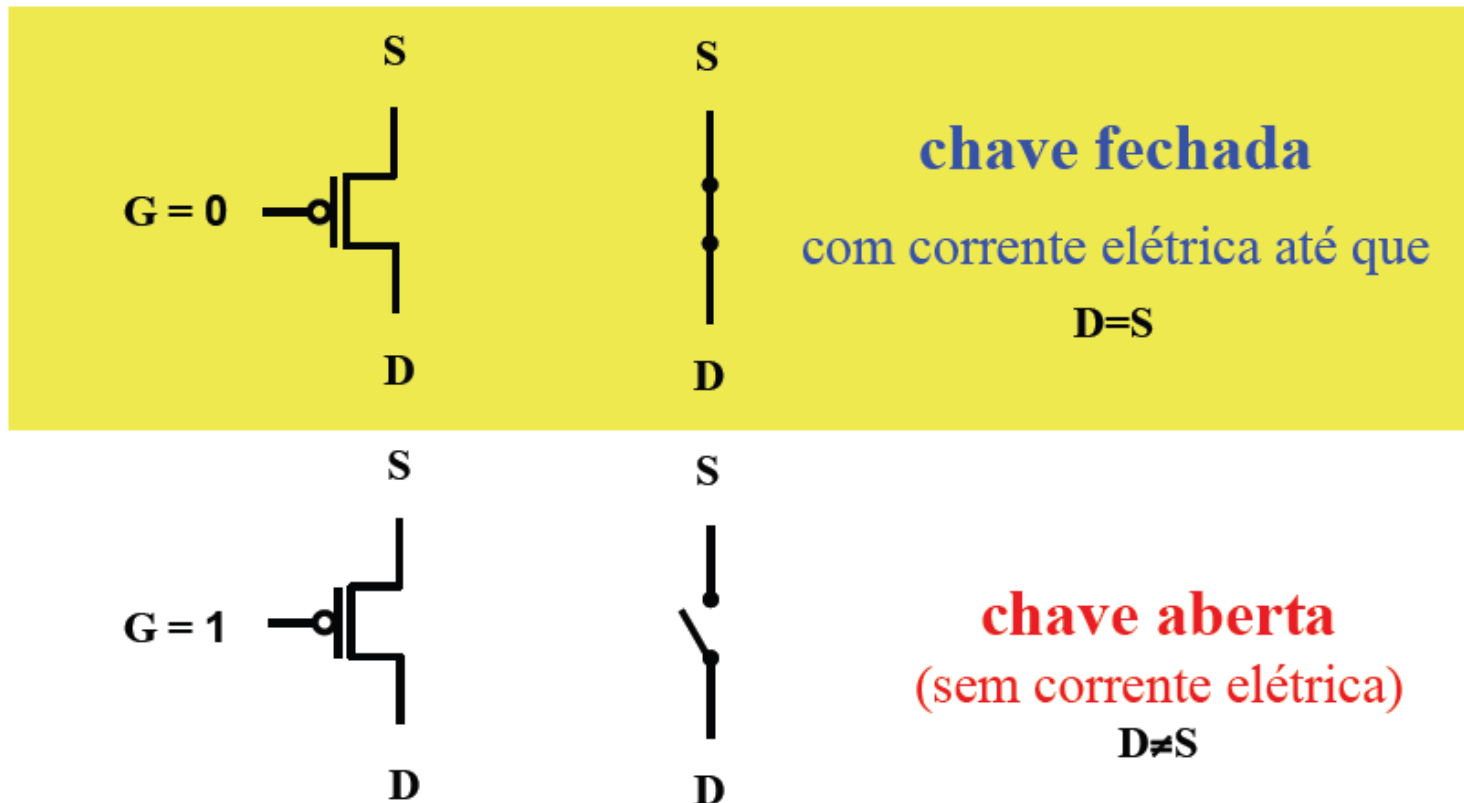
.tran 0.01ns 5ns

.end



O Transistor PMOS

Funcionamento Simplificado: “uma chave eletrônica ideal”



Simulando um transistor PMOS



* Simulação PMOS

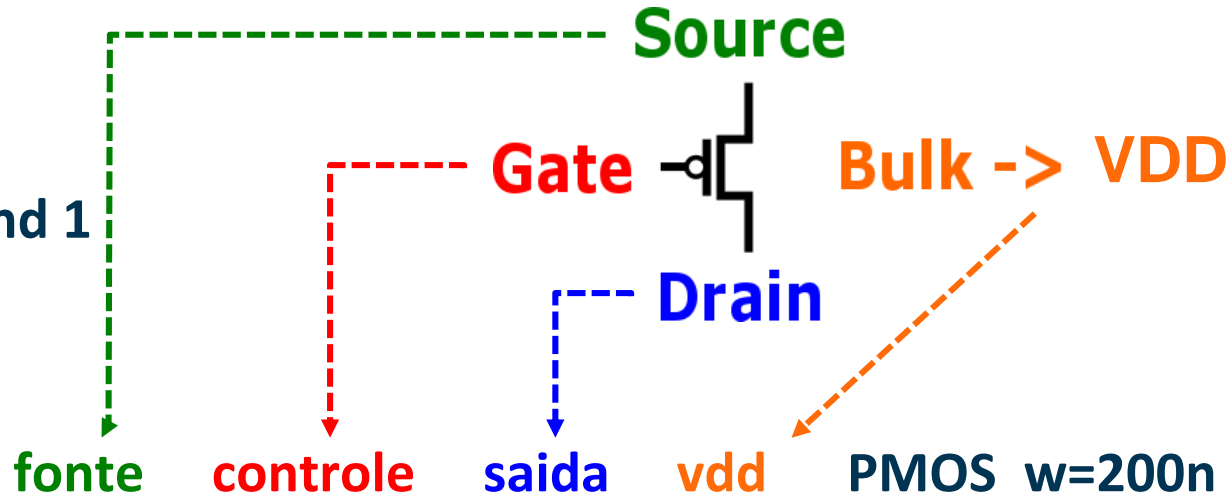
.include 32nm_HP.pm

• Fontes

Vvdd vdd gnd 1

*Transistor

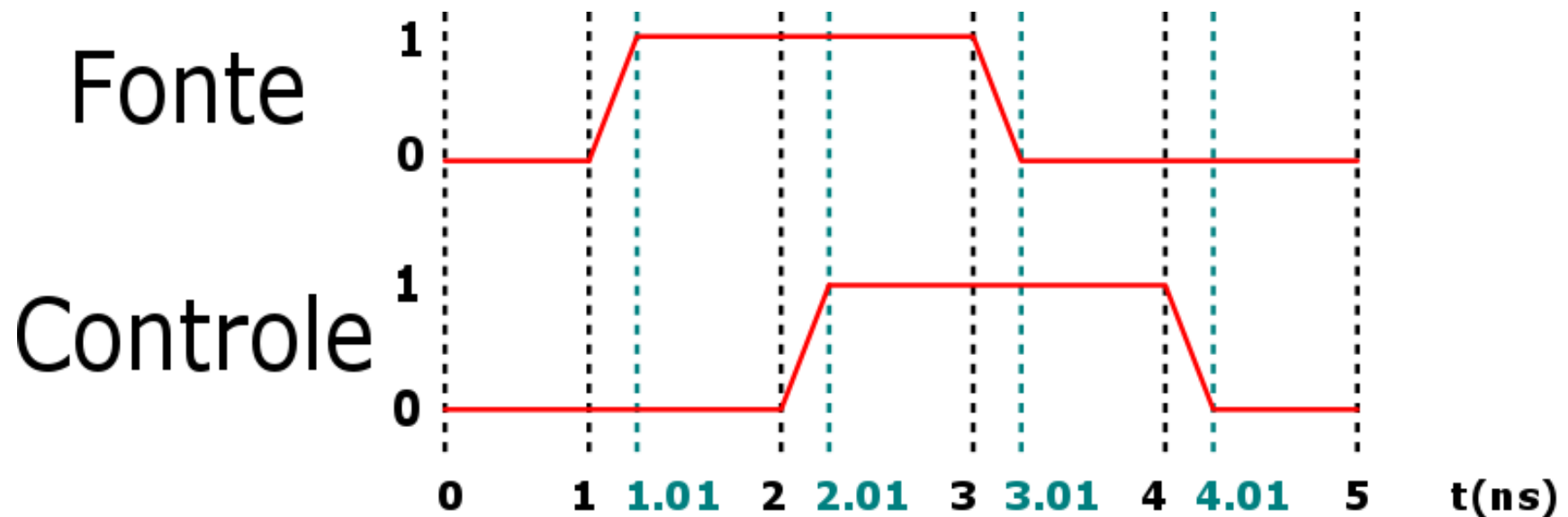
MPpmos fonte controle saida vdd PMOS w=200n L=32n



*Simulação transiente

.tran 0.01ns 5ns

.end



Simulando um transistor PMOS



*** Simulação PMOS**

.include 32nm_HP.pm

*** Fontes**

Vvdd vdd gnd 1

Vfonte fonte gnd PWL (0ns 0 1ns 0 1.01ns 1 3ns 1 3.01ns 0 5ns 0)

Vcont cont gnd PWL (0ns 0 2ns 0 2.01ns 1 4ns 1 4.01ns 0 5ns 0)

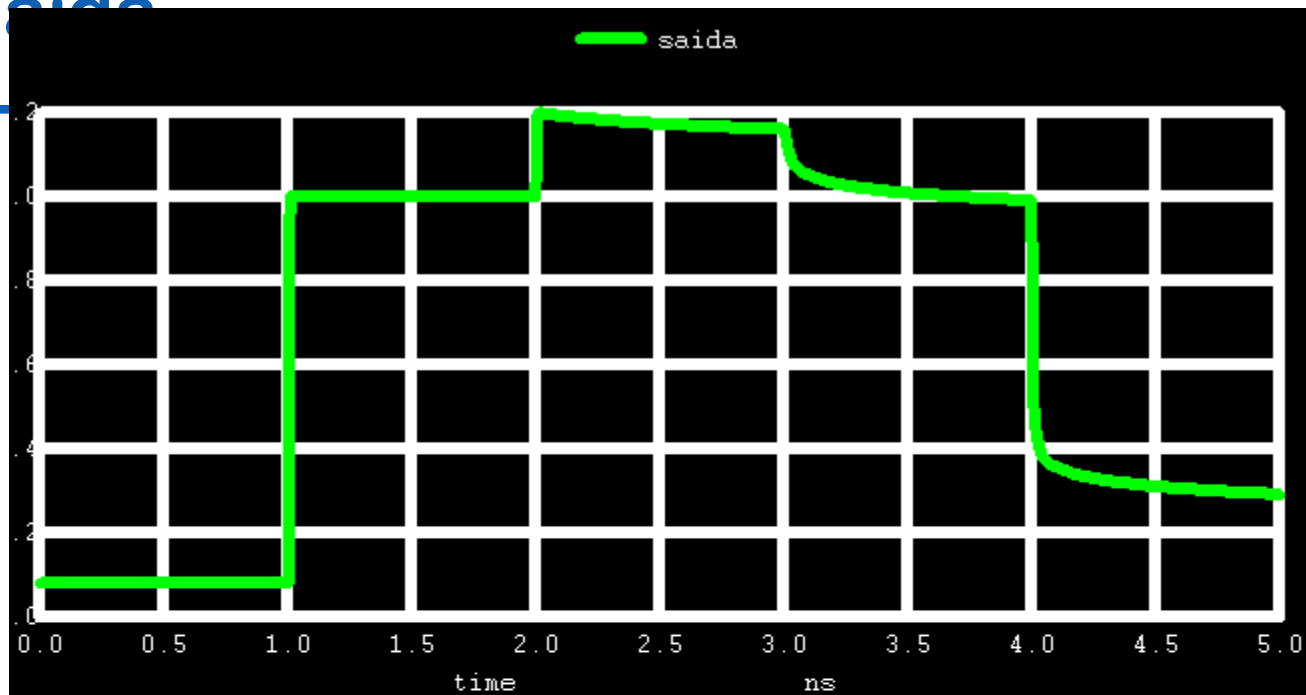
***Transistor**

MPpmos fonte controle saida vdd PMOS w=200n L=32n

***Simulação transiente**

.tran 0.01ns 5ns

.end



Redes complementares

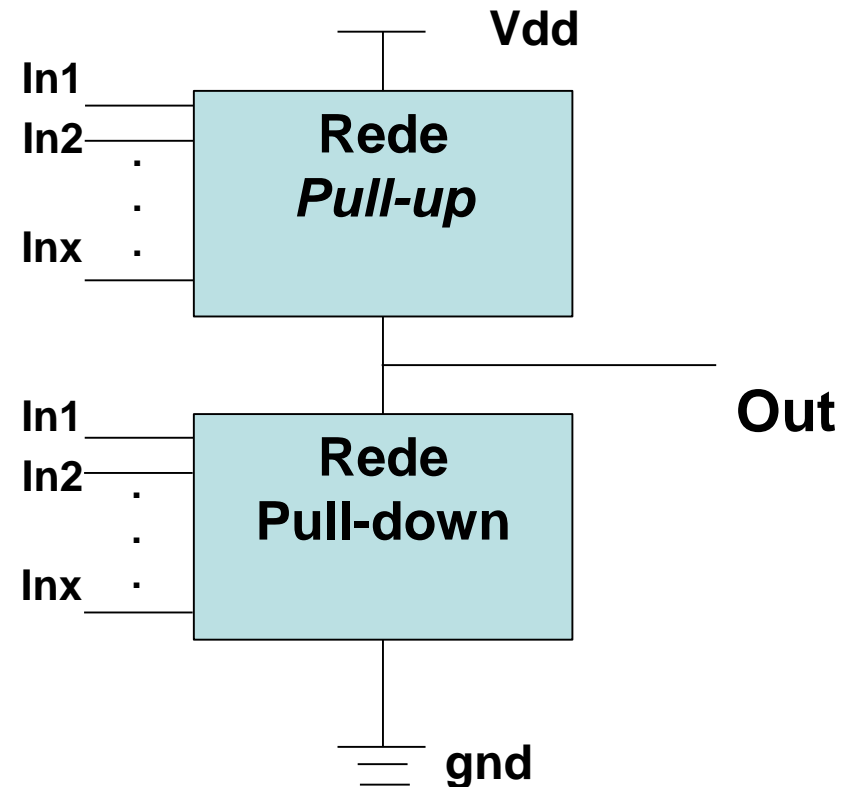
- NMOS:
 - Tem dificuldade para passar o valor 1
- PMOS:
 - Tem dificuldade para passar o valor 0

Solução?

- NMOS:
 - Tem dificuldade para passar o valor 1
- PMOS:
 - Tem dificuldade para passar o valor 0

Solução? Usar o que cada uma oferece de melhor.

- Lógica Complementar (Saída negada)
- Rede *pull-up*: parte do circuito responsável por colocar a saída em 1 lógico
- Rede *pull-down*: parte do circuito responsável por colocar a saída em 0 lógico



Mesmas entradas nas 2 redes

