

Microeletrônica: Introdução ao Projeto Físico de Portas Lógicas

Rafael Schivittz, Roberto Almeida, Giane Ulloa, Fábio Silva
Cristina Meinhardt, Paulo F. Butzen

- Aula 1 – Álgebra booleana → Tabela Verdade
→ Rede de chaves.
 - Introdução ao NGSPICE → Fontes DC e PWL
- Aula 2 – Transistores → Lógica Complementar
 - » (Pull-up/Pull-down)
- Aula 3 – Construção das portas lógicas complementares
 - » INV, NAND2, NOR2, AOI
- Aulas 4 – Atrasos
- Aulas 5 e 6 – Dimensionamento, Sub-circuitos.

- Aula 1 – Álgebra booleana → Tabela Verdade
→ Rede de chaves.
 - Introdução ao NGSPICE → Fontes DC e PWL
- Aula 2 – Transistores → Lógica Complementar
 - » (Pull-up/Pull-down)
- Aula 3 – Construção das portas lógicas complementares
 - » INV, NAND2, NOR2, AOI
- Aulas 4 – Atrasos
- Aulas 5 e 6 – Dimensionamento, Sub-circuitos.

- Construção de portas lógicas complementares
- Construção das ondas com PWL
- Arranjo de transistores
- Validação lógica
- Exercícios
 - INV, NAND2, NOR2, AOI

- Construção de portas lógicas complementares
- Construção das ondas com PWL
- Arranjo de transistores
- Validação lógica
- Exercícios
 - INV, NAND2, NOR2, AOI

Dúvidas??

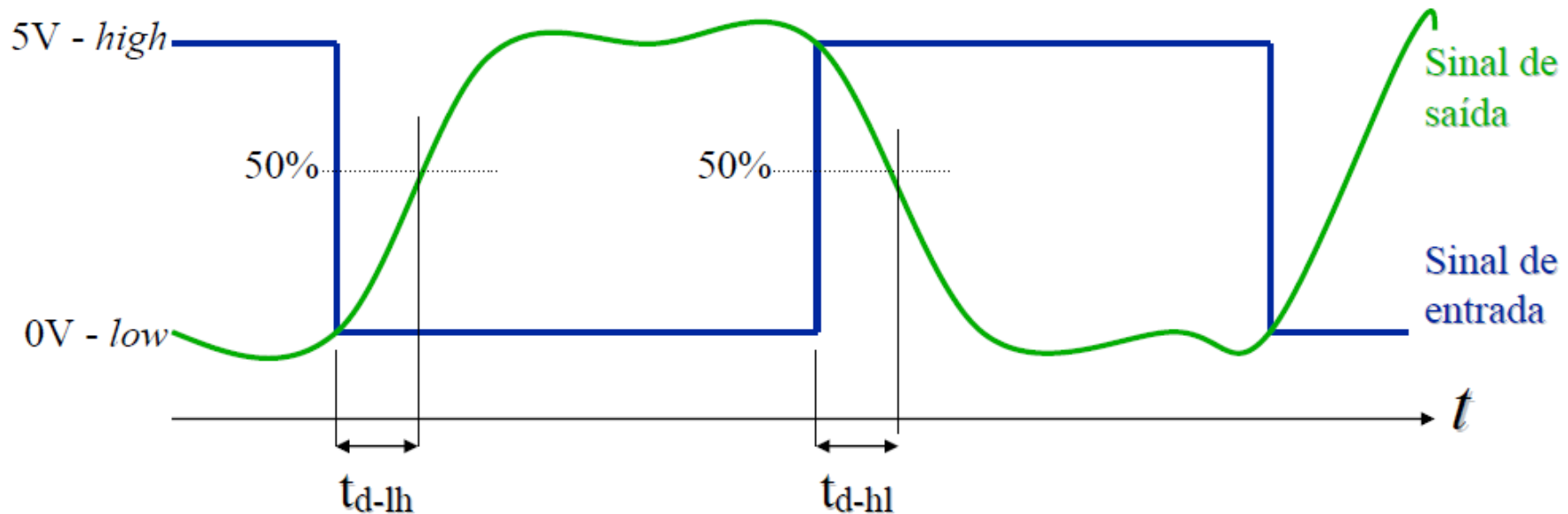
- Atrasos???

- Atrasos???
- Dois tipos de atrasos:
 - Tempos de Propagação
 - T_{p_LH} : Tempo de propagação de subida (Low – High)
 - T_{p_HL} : Tempo de propagação de descida (High – Low)
 - Tempos de Transição
 - t_{rise} : *tempo de subida (rise)*
 - t_{fall} : *tempo de descida (fall)*
- t_{pd} : Atraso médio de propagação
 - $t_{pd} = (t_{p_LH} + t_{p_HL})/2$

- **Tempos de Propagação:** Intervalo de tempo em que a entrada cruza 50% de sua amplitude até o momento que a saída cruza 50% de VDD.
 - T_{p_LH} : Tempo de propagação de subida (Low – High)
 - T_{p_HL} : Tempo de propagação de descida (High – Low)
- **Tempos de Transição:**
 - t_{rise} : tempo de subida (*rise*) → Tempo necessário para que a saída aumente de 10% à 90% de VDD.
 - t_{fall} : tempo de descida (*fall*) → Tempo necessário para que a saída tenha uma queda de 90% à 10% de VDD.

- **Tempos de Propagação:** Intervalo de tempo em que a entrada cruza 50% de sua amplitude até o momento que a saída cruza 50% de VDD.
 - T_{p_LH} : Tempo de propagação de subida (Low – High)
 - T_{p_HL} : Tempo de propagação de descida (High – Low)
- **Tempos de Transição:**
 - t_{rise} : tempo de subida (*rise*) → Tempo necessário para que a saída aumente de 10% à 90% de VDD.
 - t_{fall} : tempo de descida (*fall*) → Tempo necessário para que a saída tenha uma queda de 90% à 10% de VDD.

Importante lembrar que um tempo de propagação só é medido quando uma das entradas muda.

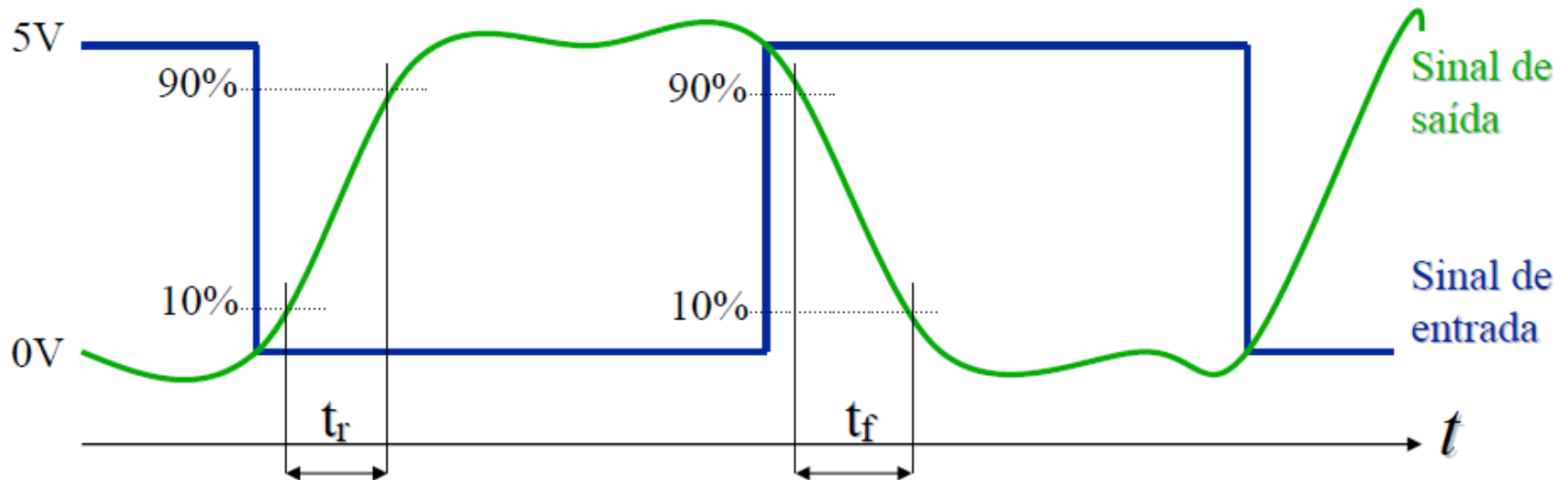


- **t_{d-lh}** - Tempo de atraso de propagação do sinal de saída quando este passa do nível lógico '0' para o nível lógico '1' (*delay time _ low-high*)
- **t_{d-hl}** - Tempo de atraso de propagação do sinal de saída quando este passa do nível lógico '1' para o nível lógico '0' (*delay time _ high-low*)
- **t_d** - Tempo de atraso de propagação **MÉDIO** do sinal de saída (*delay time*)

$$t_d = (t_{d-lh} + t_{d-hl}) / 2$$

```
.measure tran tphi trig v(in) val='0.5*0.9' rise=1  
+ targ v(out) val='0.5*0.9' fall=1
```

```
.measure tran tphi trig v(in) val='0.5*0.9' fall=1  
+ targ v(out) val='0.5*0.9' rise=1
```



- t_r - Tempo de subida (*rise time*)
- t_f - Tempo de descida (*fall time*)

```
.measure tran trise trig v(out) val='0.1*0.9' rise=1  
+ targ v(out) val='0.9*0.9' rise=1  
  
.measure tran tfall trig v(out) val='0.9*0.9' fall=1  
+ targ v(out) val='0.1*0.9' fall=1
```

- Validação Lógica!
 - Confere para todas as combinações de entrada, a saída do circuito, verificando o funcionamento correto.
- Como realizar a validação lógica
 - Fontes das entradas do circuito devem representar todos os estados possíveis:
 - Tabela Verdade

Prática

Exemplos

NOR de 2 entradas

Símbolo



A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

NOR de 2 entradas

Símbolo



A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

Como deve ficar o circuito?

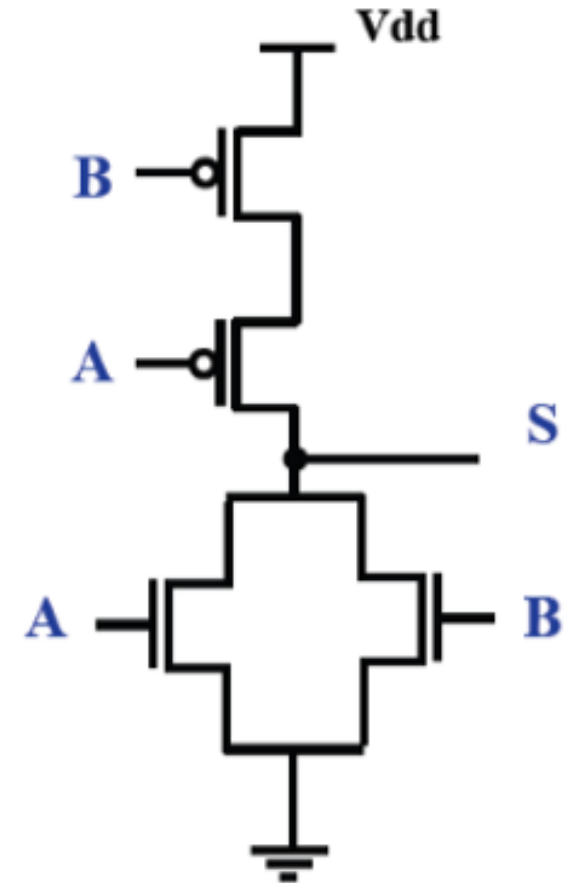
NOR de 2 entradas



Símbolo



A	B	S
0	0	1
0	1	0
1	0	0
1	1	0



NOR de 2 entradas

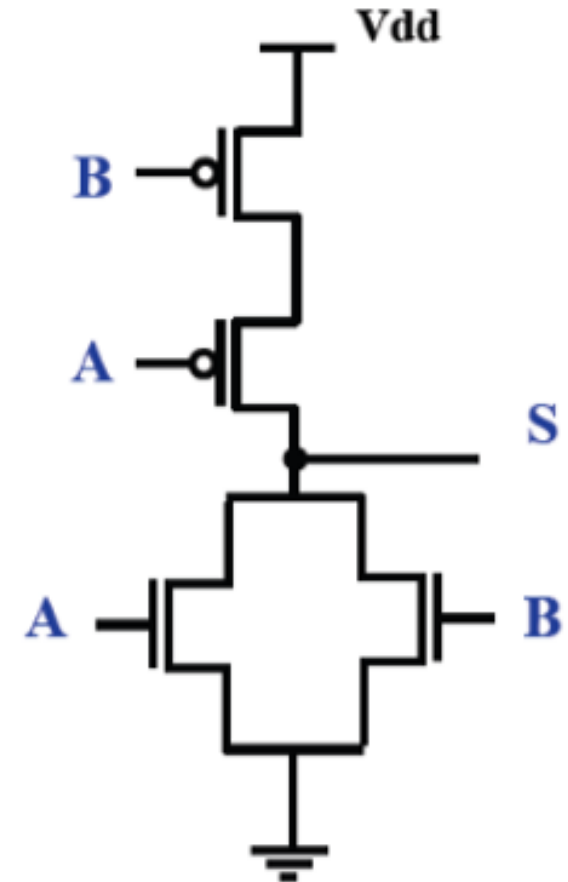


Símbolo

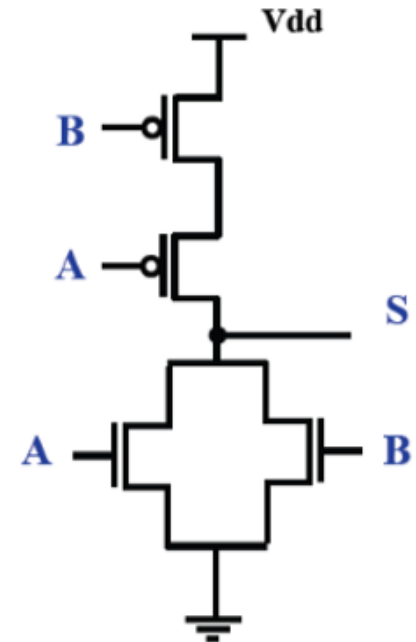
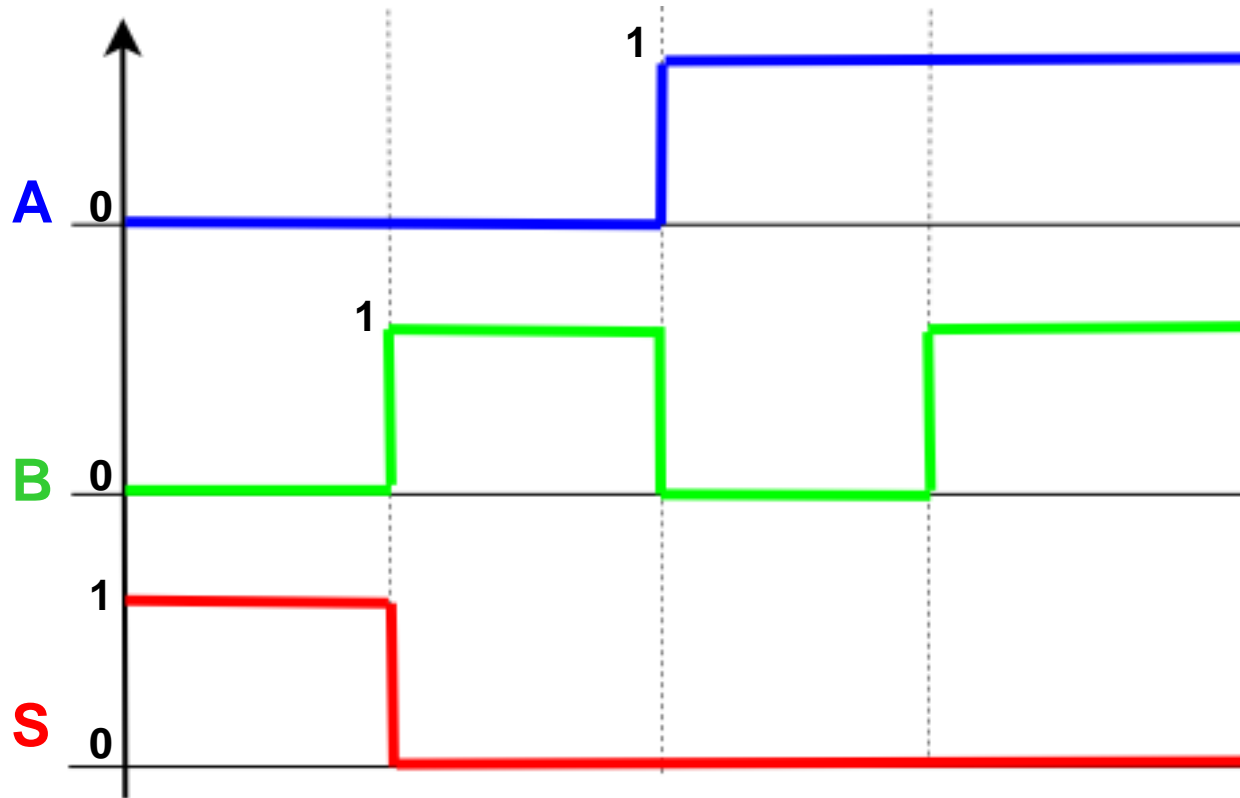


A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

Como devem ficar as ondas?

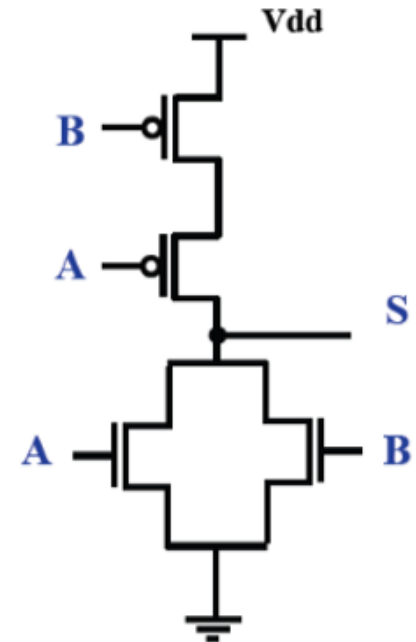
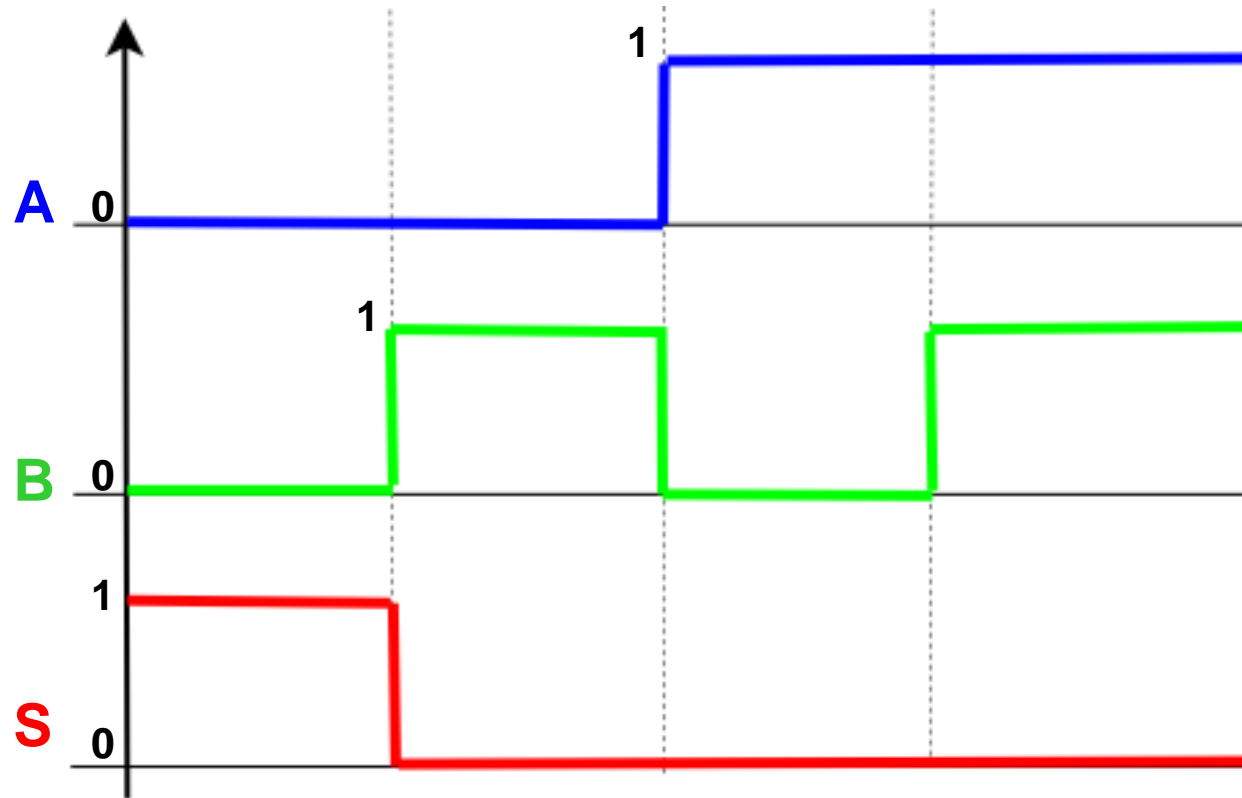


NOR de 2 entradas



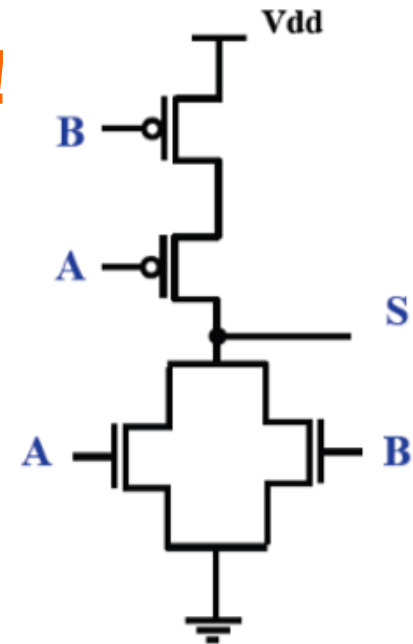
A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

Consigo medir todos os atrasos?



A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

Eu preciso redefinir todas as ondas!



Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_A e Tfall_A:

Saída **1 → 0**
A transiciona
B constante



Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_A e Tfall_A:

Saída **1 → 0**
A transiciona
B constante



Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_A e Tfall_A:

Saída **1 → 0 → 3 possibilidades**

A transiciona
B constante



Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_A e Tfall_A:

Saída **1 → 0** → **3 possibilidades**
A transiciona
B constante



Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_A e Tfall_A:

Saída **1 → 0** → **3 possibilidades**
A transiciona → 2 possibilidades
B constante



Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_A e Tfall_A:

Saída **1 → 0** → **3 possibilidades**
A transiciona → 2 possibilidades
B constante



Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_A e Tfall_A:

Saída **1 → 0** → 3 possibilidades
A transiciona → 2 possibilidades
B constante **00 → 10**

Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_A e Tfall_A:

Saída **1 → 0** → 3 possibilidades
A transiciona → 2 possibilidades
B constante **00 → 10**

Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

T_{pHL_A} e T_{fall_A} :

Saída **1** \rightarrow **0** \rightarrow 3 possibilidades
A transiciona \rightarrow 2 possibilidades
B constante $00 \rightarrow 10$

T_{pLH_A} e T_{rise_A} :

Saída **0** \rightarrow **1**
A transiciona
B constante $10 \rightarrow 00$

Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_B e Tfall_B:

Saída **1 → 0**

A constante

B transiciona

TpLH_B e Trise_B:

Saída **0 → 1**

A constante

B transiciona

Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_B e Tfall_B:

Saída **1 → 0**

A constante

B transiciona

00 → 01

TpLH_B e Trise_B:

Saída **0 → 1**

A constante

B transiciona

Eu preciso redefinir todas as ondas!

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

1º) O que eu preciso medir?

TpHL_B e Tfall_B:

Saída **1 → 0**

A constante

B transiciona **00 → 01**

TpLH_B e Trise_B:

Saída **0 → 1**

A constante

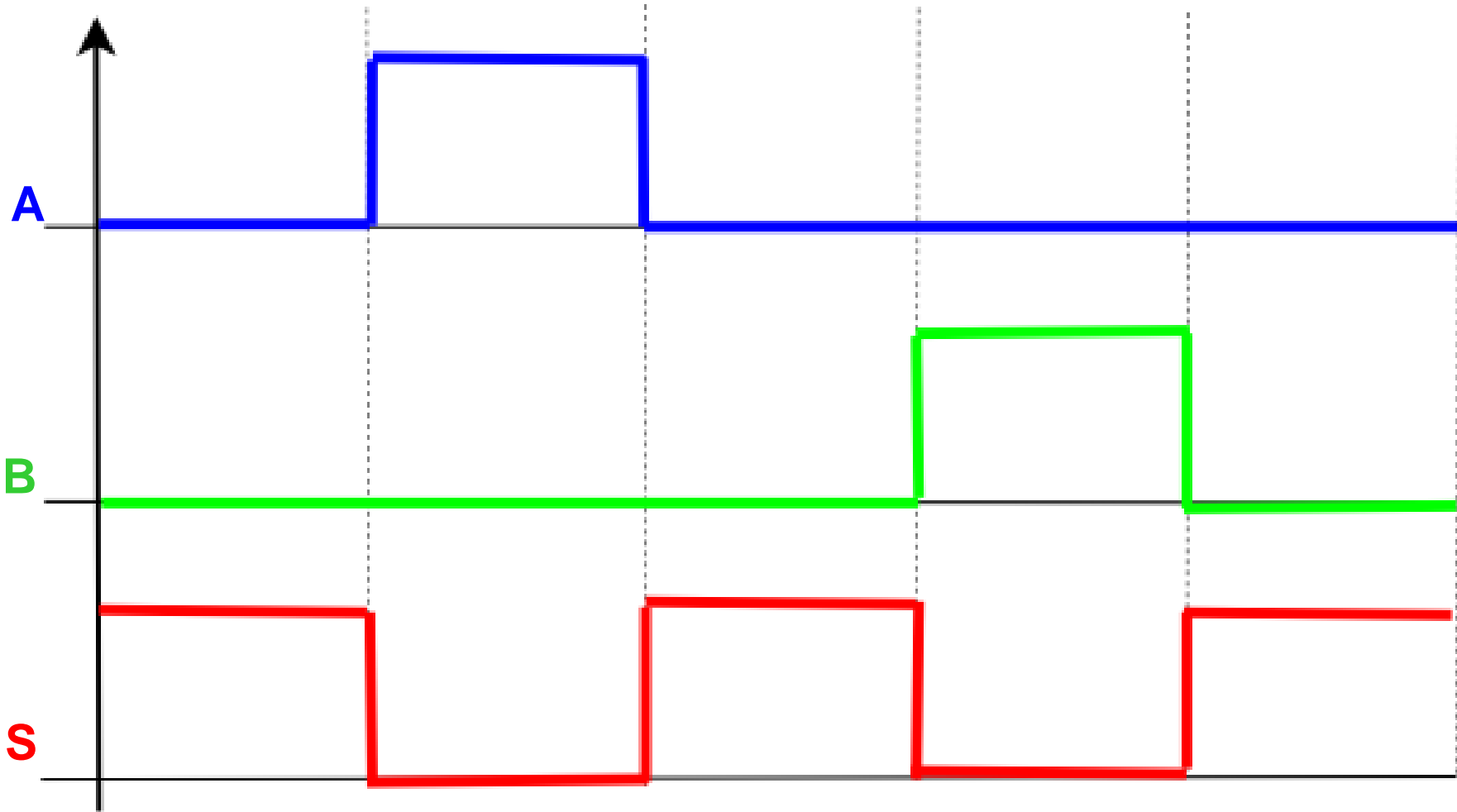
B transiciona **01 → 00**

2º) Definindo nova forma de onda

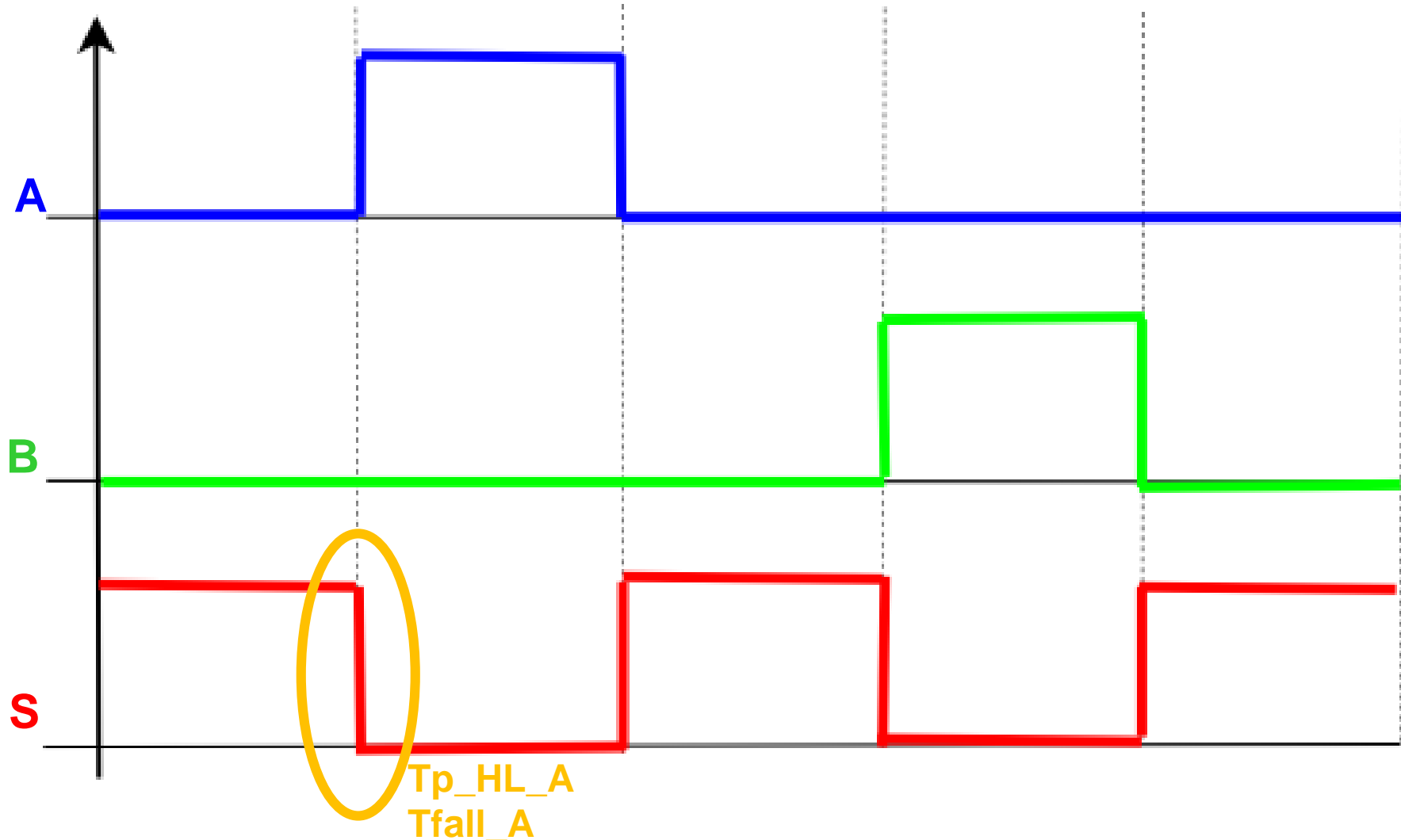
A	B	S transiciona
0	0	1 0
1	0	0 0
0	0	0 1
0	1	0 0

- 1 $T_{p_HL_a} - T_{fall_a}$
- 2 $T_{p_LH_a} - T_{rise_a}$
- 3 $T_{p_HL_b} - T_{fall_b}$
- 4 $T_{p_LH_b} - T_{rise_b}$

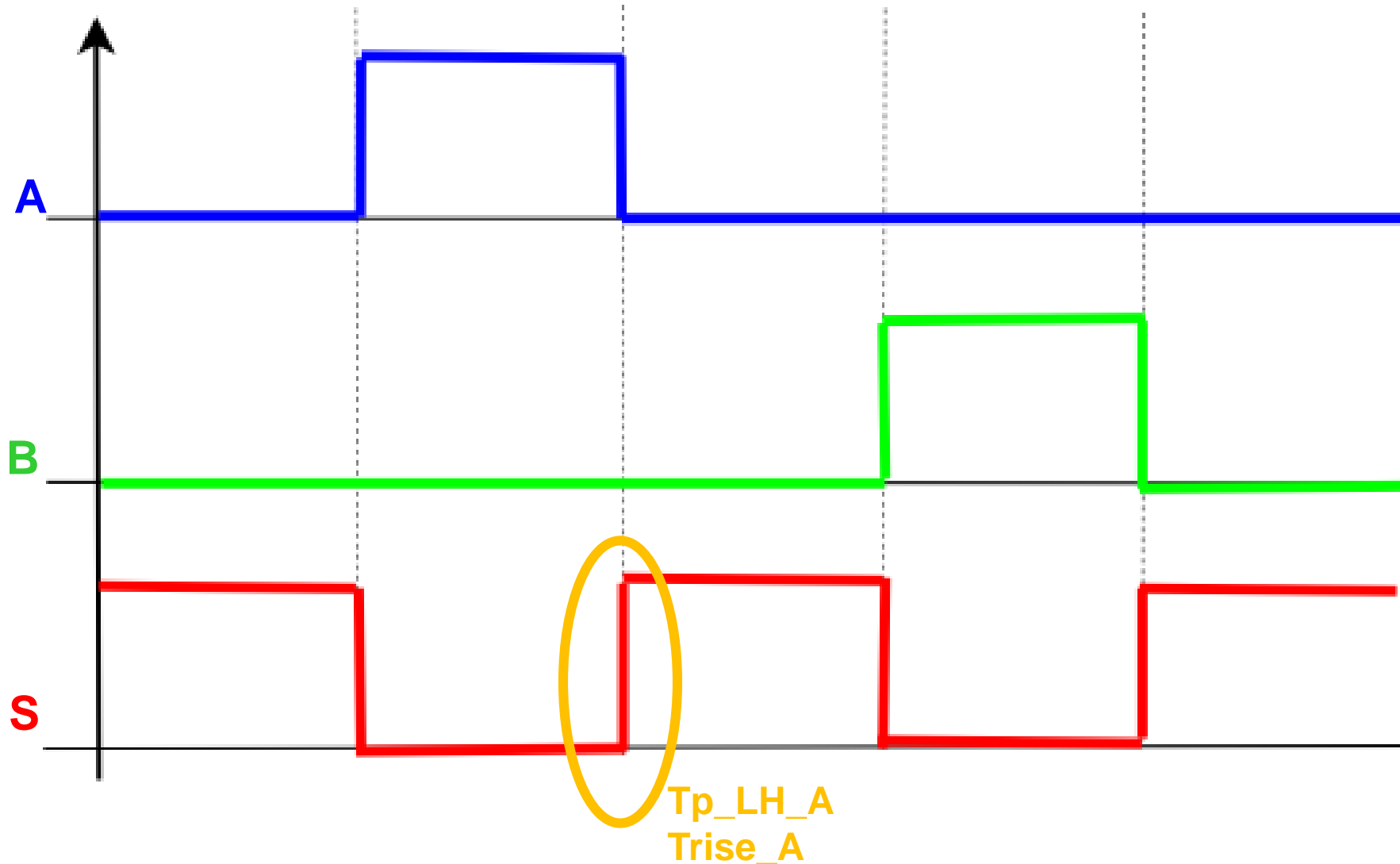
NOR de 2 entradas



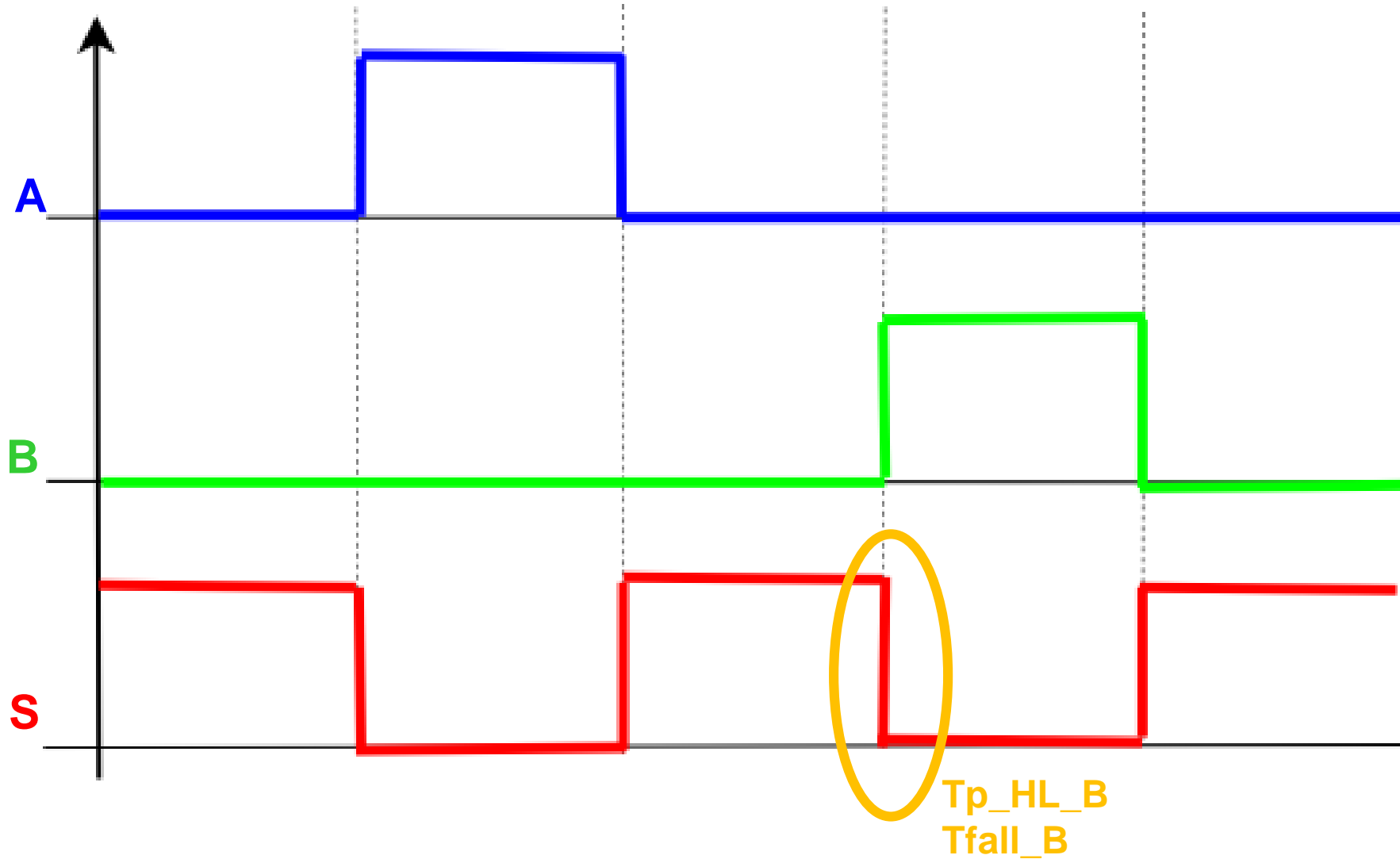
NOR de 2 entradas



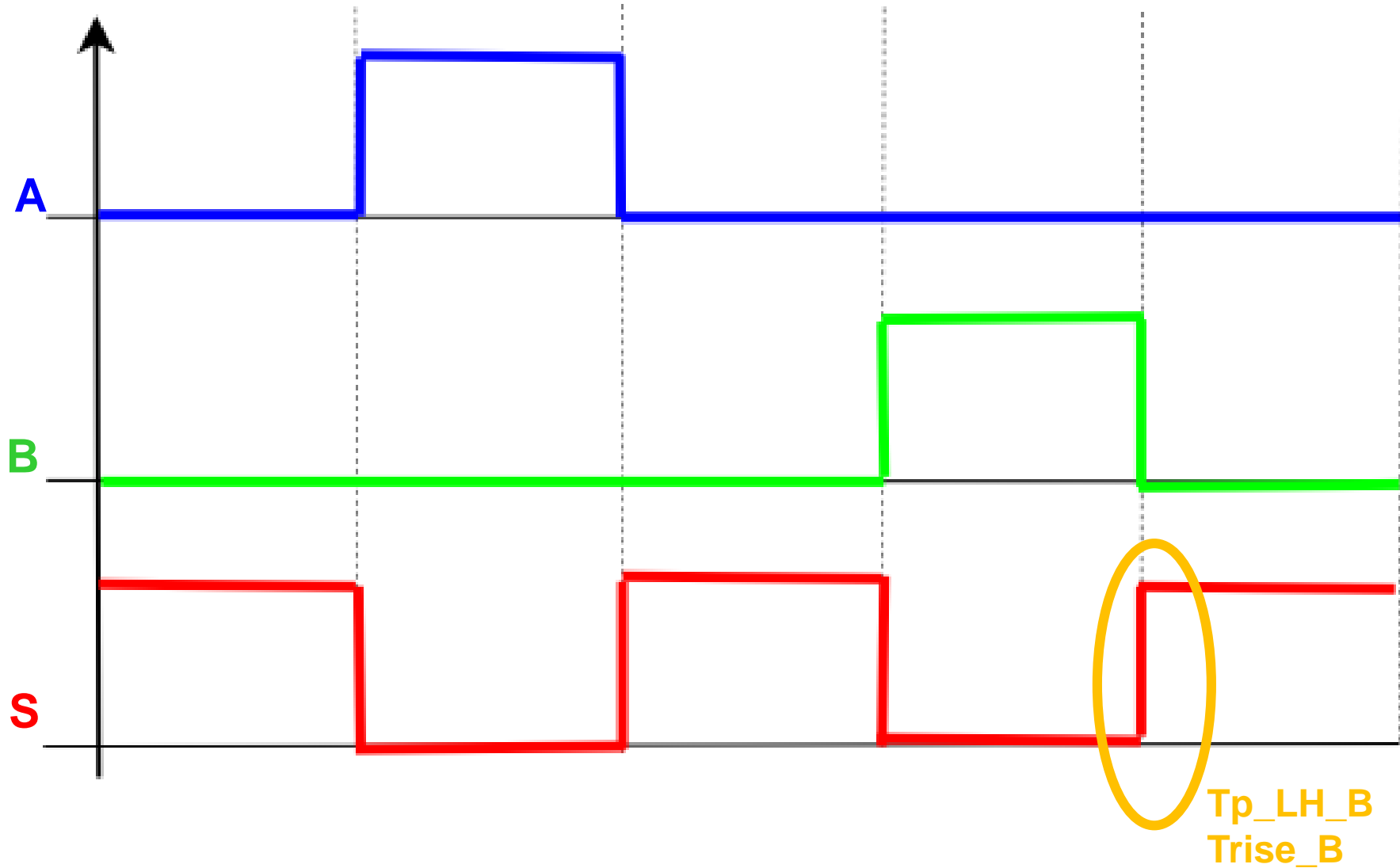
NOR de 2 entradas



NOR de 2 entradas



NOR de 2 entradas



Medindo atrasos da NOR2 no NGSPICE

PWL A

PWL B

- MEASURES A

- Tp_HL A
- Tp_LH_A
- T_rise_A
- T_fall_A

- MEASURES B

- Tp_HL A
- Tp_LH_A
- T_rise_A
- T_fall_A

NOR de 2 entradas



Plot esperado no NGSpice



Resultado de atrasos esperados no NGSpice

1) Medir os atrasos para um NAND de 2 entrada

Tabela-Verdade

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Símbolo



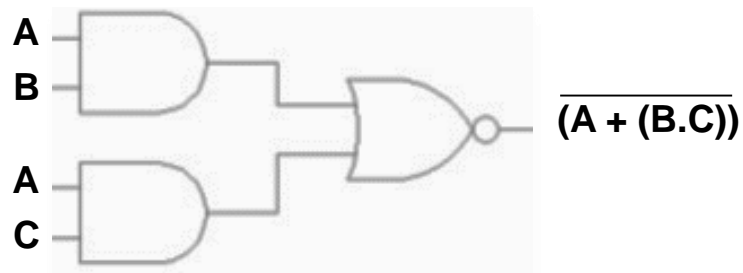
- Ondas
- Resultado dos atrasos

1) Medir os atrasos para as funções da aula 4

Microeletrônica: Introdução ao Projeto Físico de Portas Lógicas

Rafael Schivittz, Roberto Almeida, Giane Ulloa, Fábio Silva
Cristina Meinhardt, Paulo F. Butzen

Símbolo

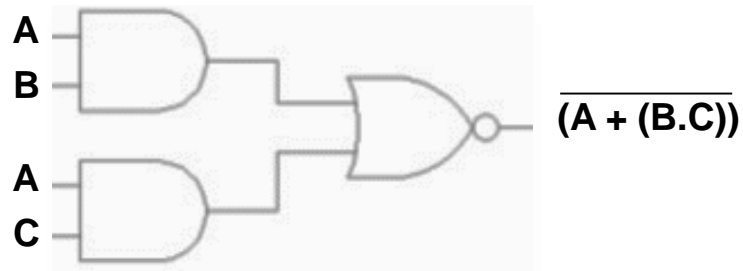


Tabela

A	B	C	B.C	$A + (B.C)$	$(A + (B.C))'$
0	0	0	0	0	1
0	0	1	0	0	1
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	1	0

AOI (AND OR INVERTER)

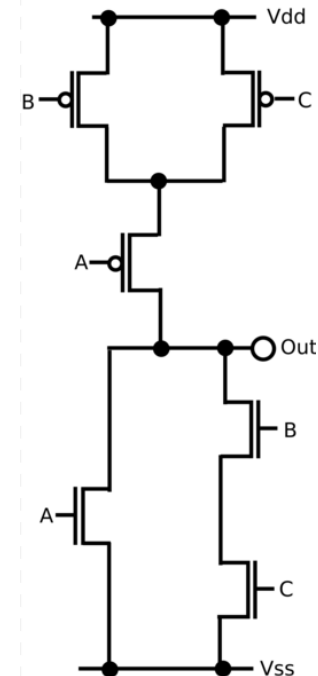
Símbolo



Tabela

A	B	C	B.C	A + (B.C)	$\overline{(A + (B.C))}$
0	0	0	0	0	1
0	0	1	0	0	1
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	1	0

Esquemático de Transistores



1. Montar redes de chaves :

- a. $A*B*C$
- b. $A+B+C$
- c. $(A+B)*C$

2. Montar as funções usando transistor e dois planos

- a. $\overline{A*B*C}$
- b. $\overline{A+B+C}$
- c. $\overline{(A+B)*C}$

- Montar os circuitos do exercício 2 no simulador e realizar a validação lógica
 - a. $\overline{A*B*C}$
 - b. $\overline{A+B+C}$
 - c. $\overline{(A+B)*C}$