

Microeletrônica: Introdução ao Projeto Físico de Portas Lógicas

Rafael Schivittz, Roberto Almeida, Giane Ulloa, Fábio Silva
Cristina Meinhardt, Paulo F. Butzen

- Aula 1 – Álgebra booleana → Tabela Verdade
→ Rede de chaves.
 - Introdução ao NGSPICE → Fontes DC e PWL
- Aula 2 – Transistores → Lógica Complementar
 - » (Pull-up/Pull-down)
- Aula 3 – Construção das portas lógicas complementares
 - » INV, NAND2, NOR2, AOI
- Aulas 4, 5 e 6
 - Atrasos, Dimensionamento, Sub-circuitos.

- Aula 1 – Álgebra booleana → Tabela Verdade
→ Rede de chaves.
 - Introdução ao NGSPICE → Fontes DC e PWL
- Aula 2 – Transistores → Lógica Complementar
 - » (Pull-up/Pull-down)
- Aula 3 – Construção das portas lógicas complementares
 - » INV, NAND2, NOR2, AOI
- Aulas 4, 5 e 6
 - Atrasos, Dimensionamento, Sub-circuitos.

- Construção de Redes lógica com chaves
- Característica da família lógica CMOS
 - Função Invertida
 - Planos pull-up / pull-down
 - Transcrição da Chave para Transistor
- Construção da rede lógica complementar (PMOS)

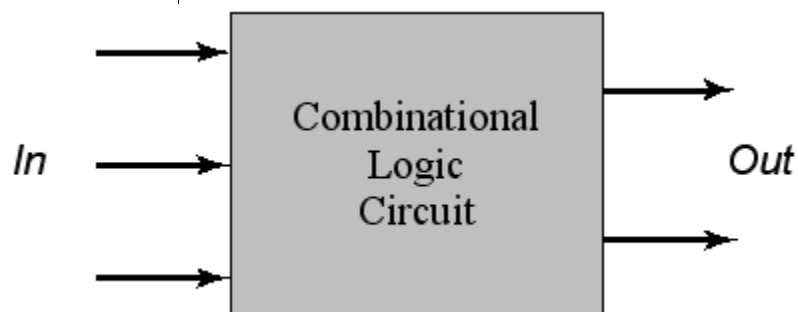
- Construção de Redes lógica com chaves

Aula passada!

- Características
 - Função
 - Planificação
 - Transcrição da Chave para Transistor

Duvidas?

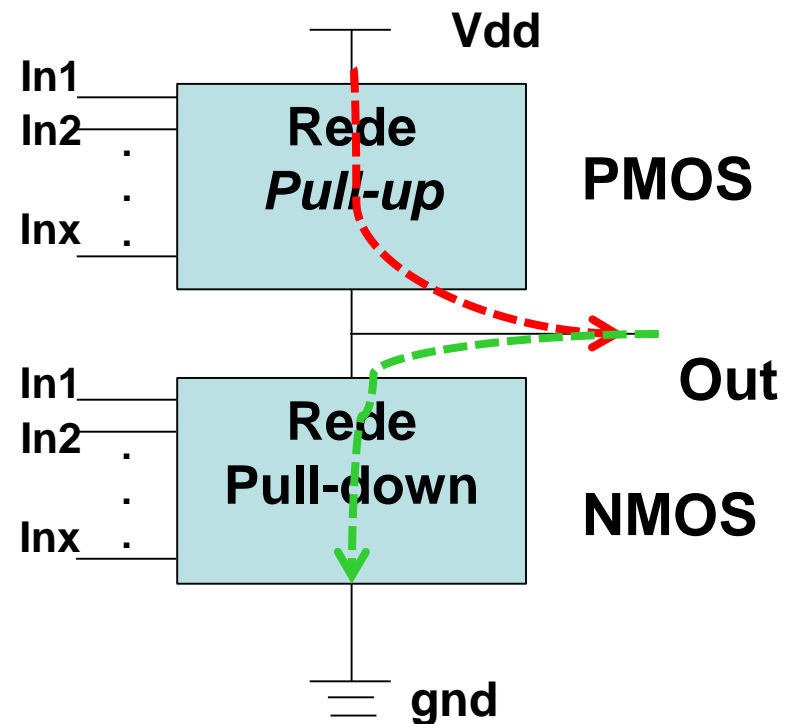
- Construção da rede lógica complementar (PMOS)



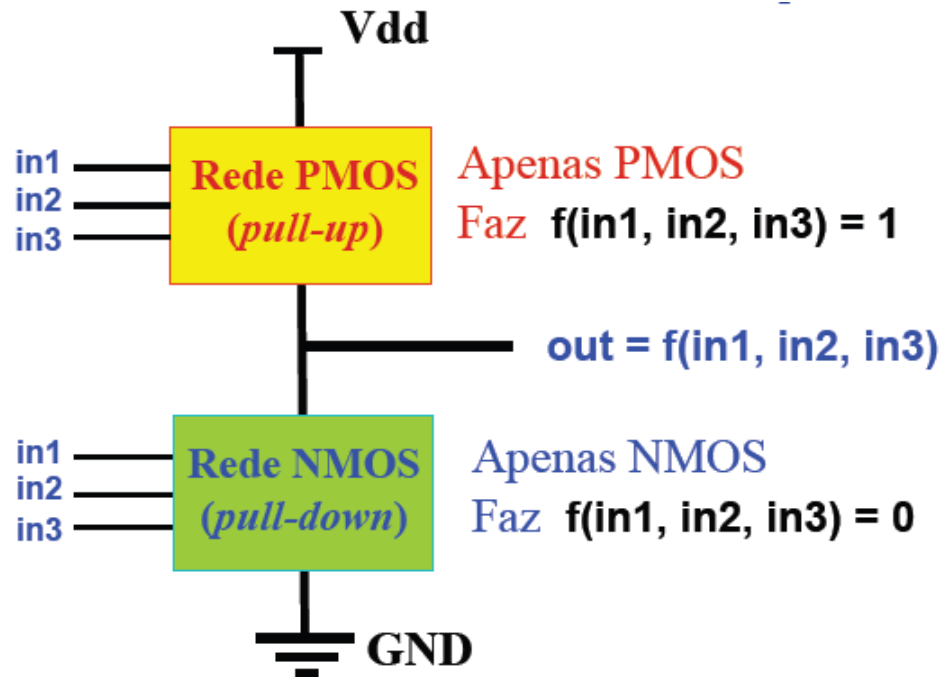
Combinacional

$$\text{Saída} = f(\text{In})$$

- Lógica Complementar (**Saída negada**)
- Rede *pull-up* e Rede *pull-down*
- Rede *pull-up*: parte do circuito responsável por colocar a saída em 1 lógico
- Rede *pull-down*: parte do circuito responsável por colocar a saída em 0 lógico



- Somente funções negativas são construídas (e.g.: inversor, NAND, NOR, XNOR...)



- As redes PMOS e NMOS são associações de transistores mutuamente exclusivas (duais)
- Quando as entradas estão estáveis, existe ao menos um caminho entre a saída e V_{dd} ou entre a saída e GND

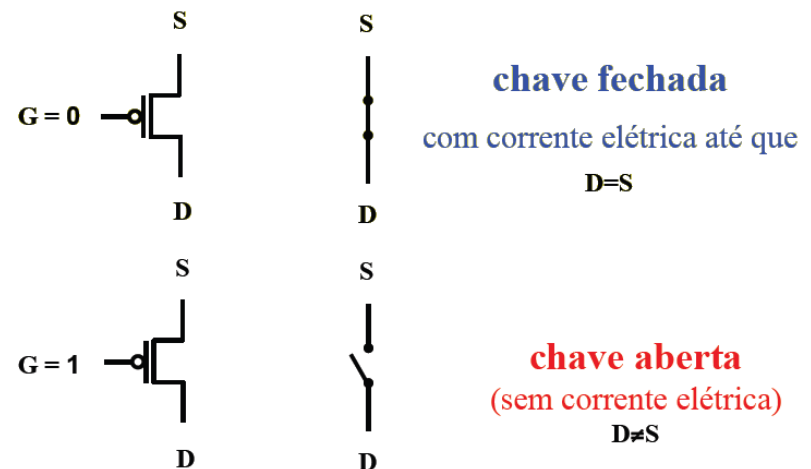
O Transistor NMOS

Funcionamento Simplificado: “uma chave eletrônica ideal”



O Transistor PMOS

Funcionamento Simplificado: “uma chave eletrônica ideal”



O Transistor NMOS

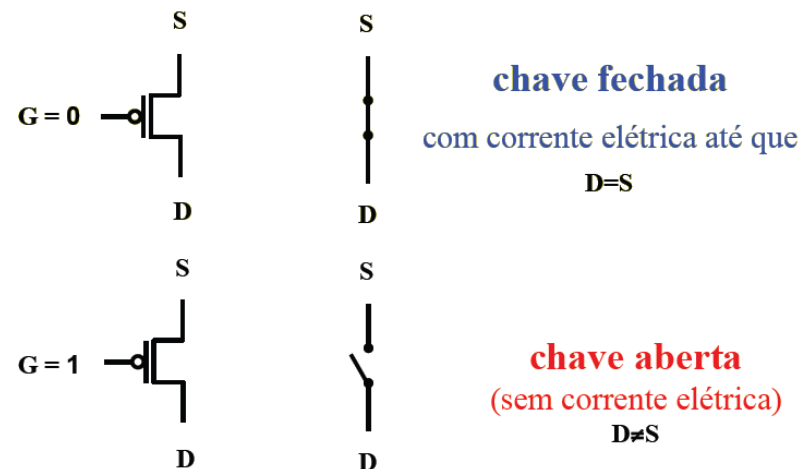
Funcionamento Simplificado: “uma chave eletrônica ideal”



Passa sinal 0 forte!
Passa 1 fraco!

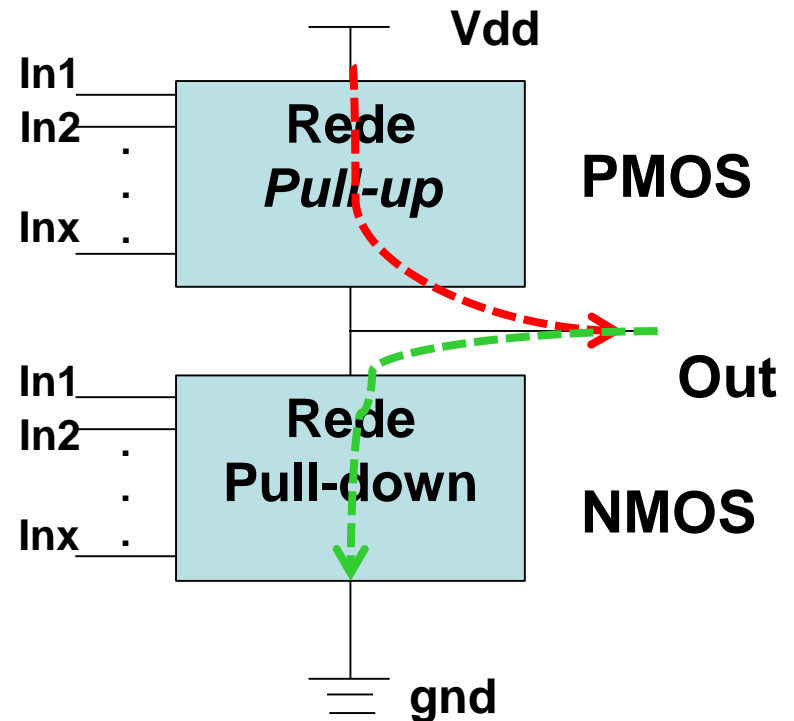
O Transistor PMOS

Funcionamento Simplificado: “uma chave eletrônica ideal”



Passa sinal 1 forte!
Passa 0 fraco!

- Primeiro:
 - Montar a rede pull-down
- Depois:
 - Montar a rede pull-up complementar



Símbolo

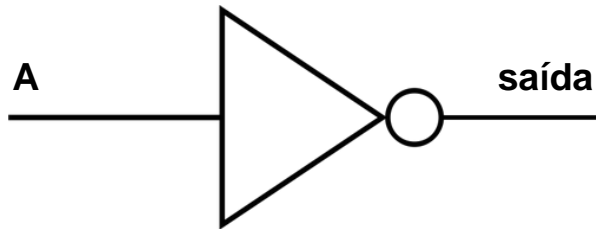


Tabela Verdade

A	Saída = \overline{A}
0	1
1	0

Símbolo

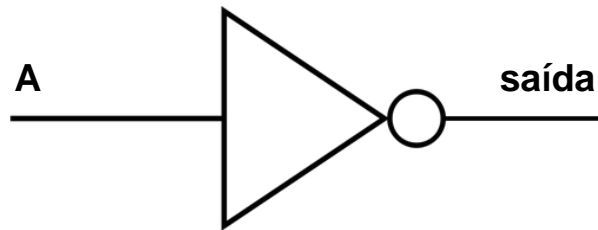


Tabela Verdade

A	Saída = \overline{A}
0	1
1	0

Lógica com Chaves (not)

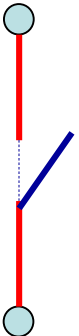
A = 0

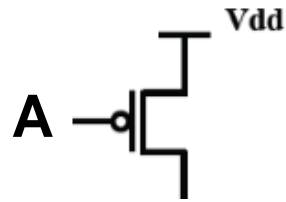
A'



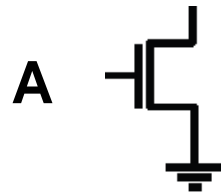
A = 1

A'

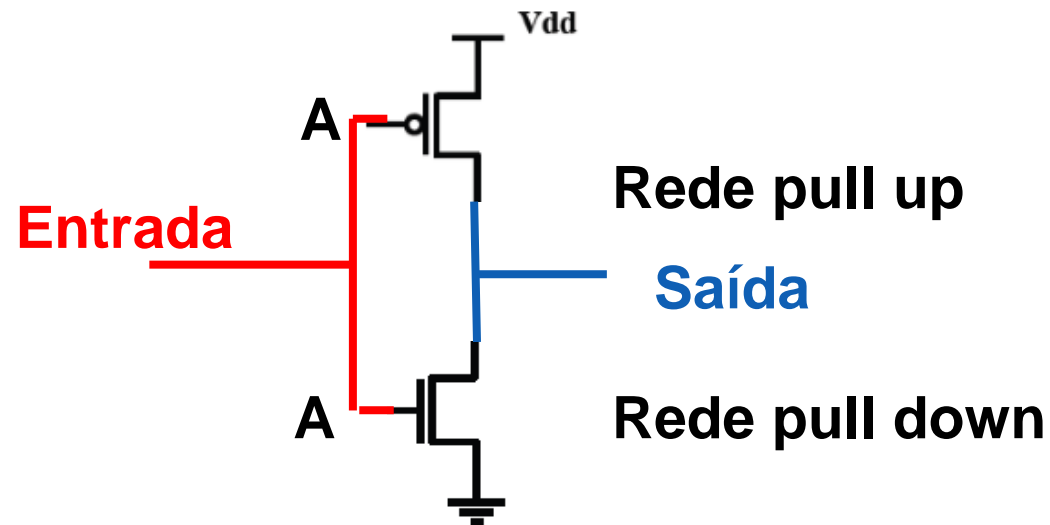




Rede pull up



Rede pull down



- Só o arranjo de transistores, sem as fontes

- Só o arranjo de transistores, sem as fontes

Mp1 vdd a inv vdd PMOS w=140n l=32n
Mn1 inv a gnd gnd NMOS w=70n l=32n

- Validação Lógica!
 - Confere para todas as combinações de entrada, a saída do circuito, verificando o funcionamento correto.
- Como realizar a validação lógica
 - Fontes das entradas do circuito devem representar todos os estados possíveis:
 - Tabela Verdade

- Agora as fontes, biblioteca e a simulação

- Agora as fontes, biblioteca e a simulação

*PARAMETROS

.include 32nm_HP.pm

* Declarando Fontes de tensão

Vvdd vdd gnd 1

* Declaração das fontes

Va a gnd PWL (0n 0 10n 0 10.01n 1 20n 1)

* Declarando o circuito

Mp1 vdd a inv vdd PMOS w=140n l=32n

Mn1 inv a gnd gnd NMOS w=70n l=32n

* Simulação Transiente de 20ns com passo de 0.1ns

.tran 0.1ns 20ns

* Fim do Arquivo SPICE

.end

Símbolo



Tabela-Verdade

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

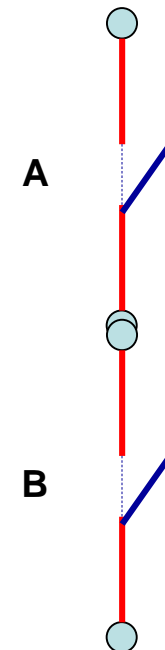
Símbolo



Tabela-Verdade

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Lógica com Chaves (and)



NAND de 2 entradas – Chaves Complementares

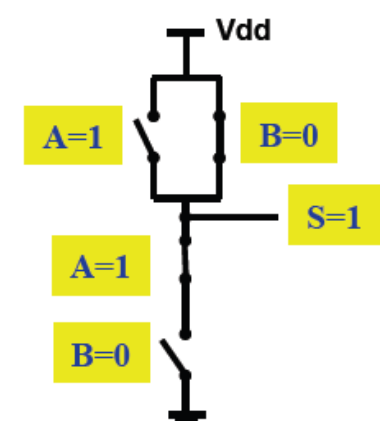
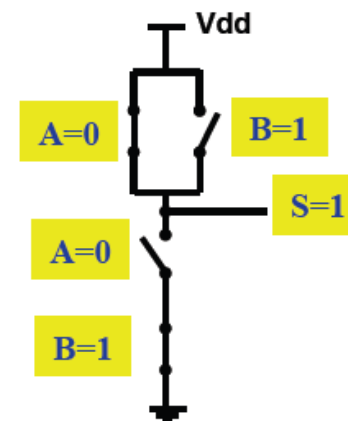
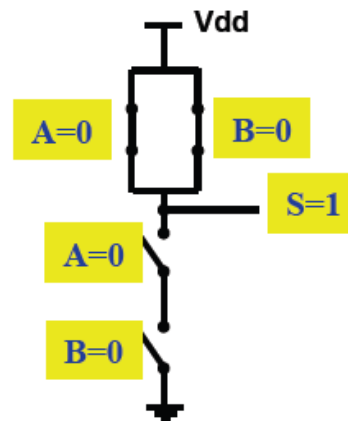
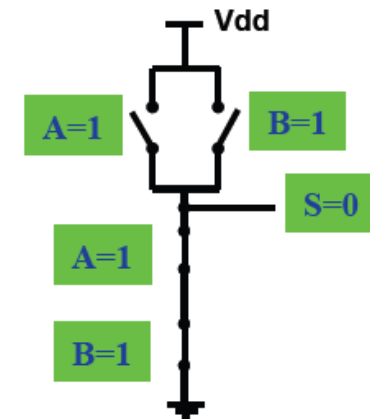


Símbolo



Tabela-Verdade

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



NAND de 2 entradas – Chaves Complementares



Símbolo



Esquemático de Transistores

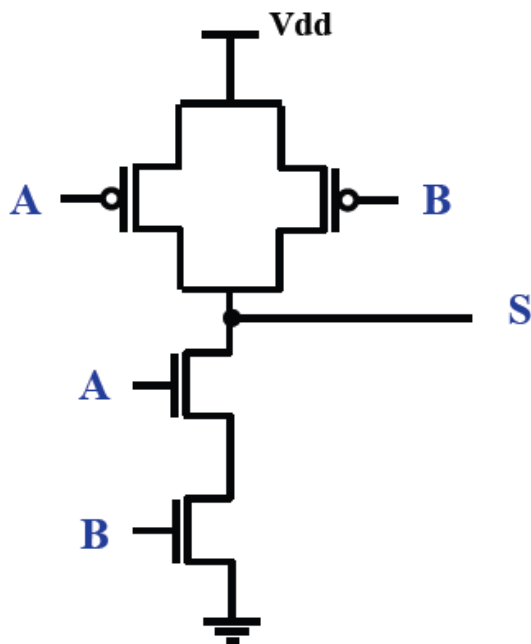
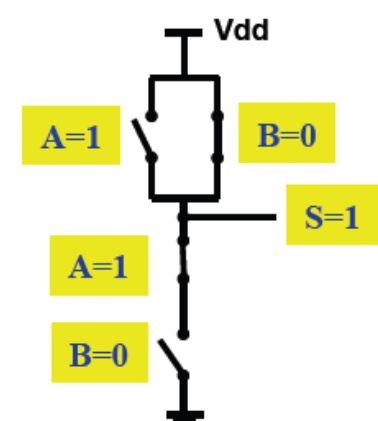
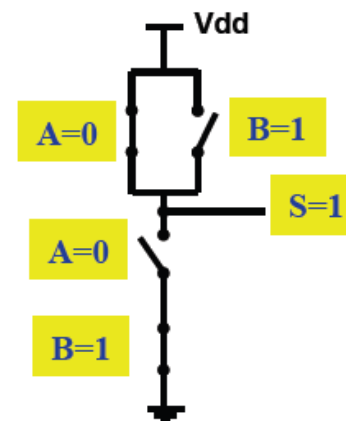
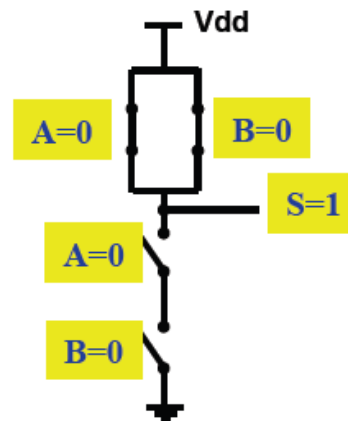
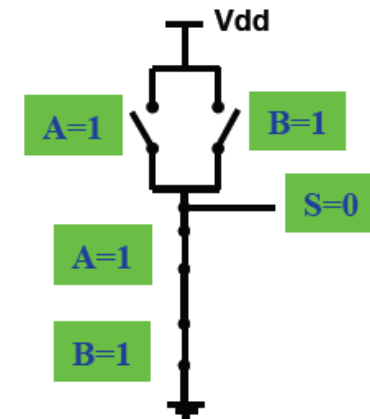


Tabela-Verdade

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



NOR de 2 entradas

Símbolo



Tabela-Verdade

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

NOR de 2 entradas



Símbolo



Esquemático de Transistores

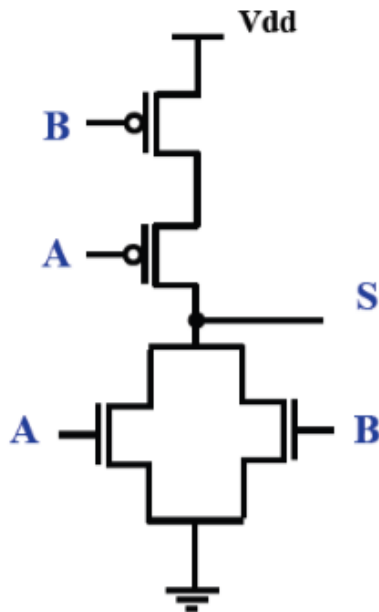
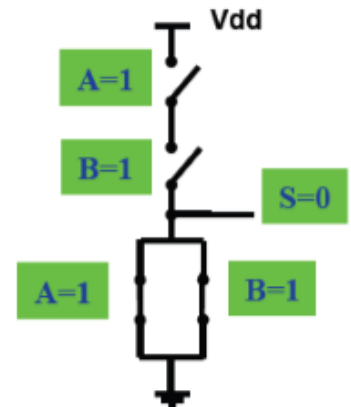
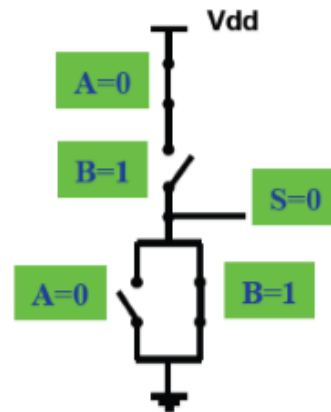
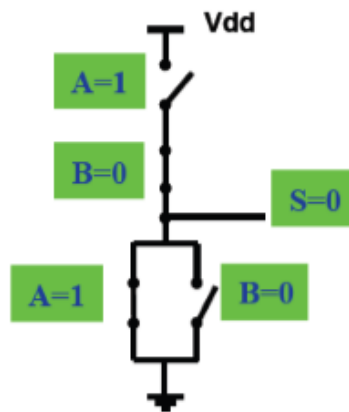
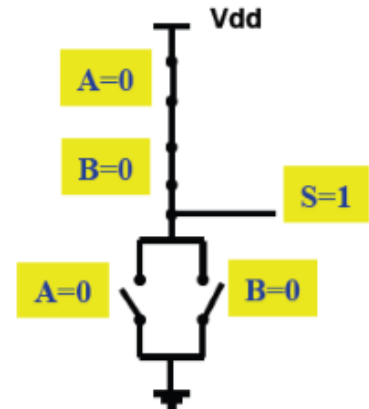
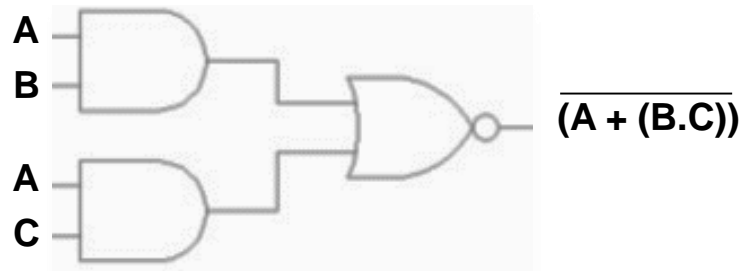


Tabela-Verdade

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0



Símbolo

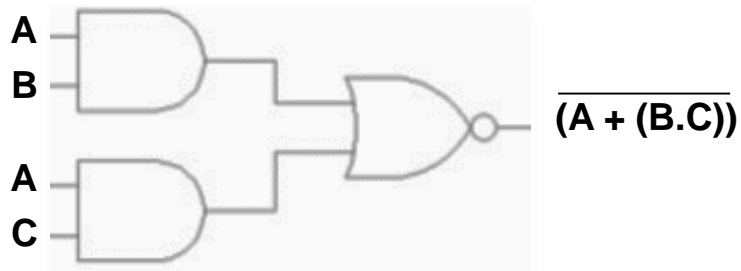


Tabela

A	B	C	B.C	$A + (B.C)$	$(A + (B.C))'$
0	0	0	0	0	1
0	0	1	0	0	1
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	1	0

AOI (AND OR INVERTER)

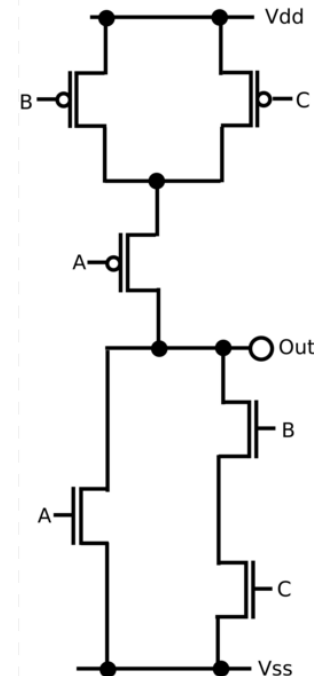
Símbolo



Tabela

A	B	C	B.C	A + (B.C)	$\overline{(A + (B.C))}$
0	0	0	0	0	1
0	0	1	0	0	1
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	1	0

Esquemático de Transistores



1. Montar redes de chaves :
 - a. $A*B*C$
 - b. $A+B+C$
 - c. $(A+B)*C$

2. Montar as funções usando transistor e dois planos
 - a. $\overline{A*B*C}$
 - b. $\overline{A+B+C}$
 - c. $\overline{(A+B)*C}$

- Montar os circuitos do exercício 2 no simulador e realizar a validação lógica
 - a. $\overline{A*B*C}$
 - b. $\overline{A+B+C}$
 - c. $\overline{(A+B)*C}$