



Interrupções e DMA



Tópicos da aula

- **Definição de Interrupções**
- **Mecanismos de atuação**
- **DMA**



Interrupções

- Um jeito simples de realizar a comunicação de um processador com um dispositivo é enviar comandos do processador para o dispositivos e aguardar o término do serviço solicitado
 - Essa técnica é o que se chama de **busy-wait I/O**



Interrupções

- Um jeito simples de realizar a comunicação de um processador com um dispositivo é enviar comandos do processador para o dispositivos e aguardar o término do serviço solicitado
 - Essa técnica é o que se chama de **busy-wait I/O**
- Se o dispositivo com o qual o processador está se comunicando for muito mais lento, então uma saída é o processador realizar outras tarefas e, de vez em quando, verificar se o dispositivo já terminou o serviço solicitado
 - Esta outra técnica é chamada de **polling**.



Universidade Federal
de Santa Catarina

Interrupções

- **Busy-wait I/O é muito ineficiente**
 - o processador **não faz nada** além de aguardar a finalização do serviço



Interrupções

- **Busy-wait I/O** é muito **ineficiente**
 - o processador **não faz nada** além de aguardar a finalização do serviço
- **Polling** também não é muito eficiente
 - parar de executar outras tarefas apenas para **verificar periodicamente** se o serviço solicitado foi finalizado



Interrupções

- **Busy-wait I/O** é muito **ineficiente**
 - o processador **não faz nada** além de aguardar a finalização do serviço
- **Polling** também não é muito eficiente
 - parar de executar outras tarefas apenas para **verificar periodicamente** se o serviço solicitado foi finalizado
- **Ideal**: ser avisado quando o serviço solicitado à um dispositivo finalizar



Interrupções

- **Interrupções**: são eventos que requerem **atenção imediata** pelo processador



Interrupções

- **Interrupções**: são eventos que requerem **atenção imediata** pelo processador
- Quando ocorre um evento de interrupção, o processador pausa sua tarefa atual e atende a interrupção executando uma ***Interrupt Service Routine - ISR*** ou ***Interrupt Handler***



Execução de Interrupções

- o processador salva os valores dos seus **registradores internos (PUSH)** e muda o valor do contador de programa (**PC**) para um endereço específico, onde é executada a ISR



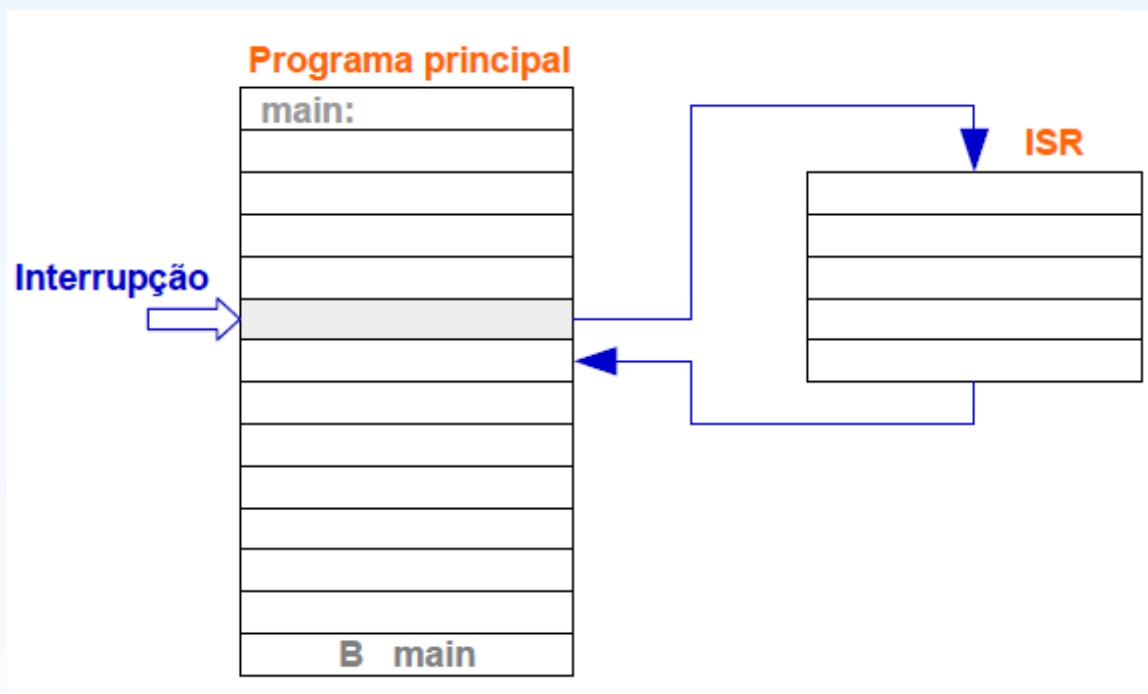
Execução de Interrupções

- o processador salva os valores dos seus **registradores internos (PUSH)** e muda o valor do contador de programa (**PC**) para um endereço específico, onde é executada a ISR
- No final da ISR, o processador retorna à tarefa em que parou (**POP**), restabelecendo o valor do **PC** e dos demais **registradores internos** antes da ocorrência da interrupção, e continua suas operações normais



Universidade Federal
de Santa Catarina

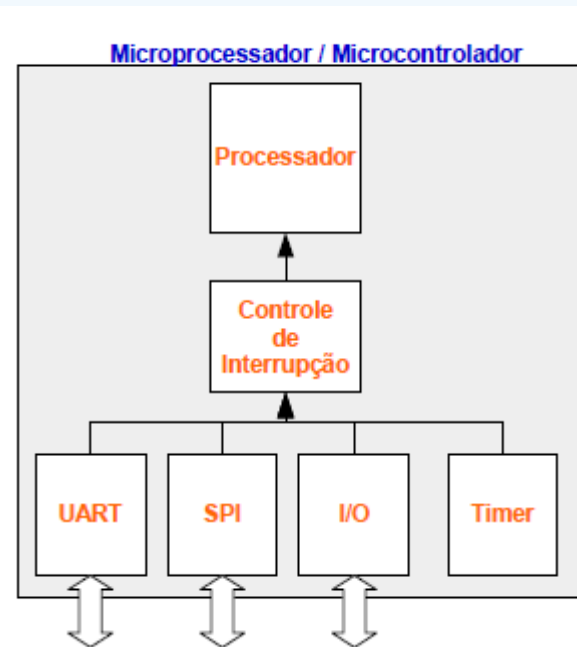
Execução de Interrupções





Interrupções de Hardware

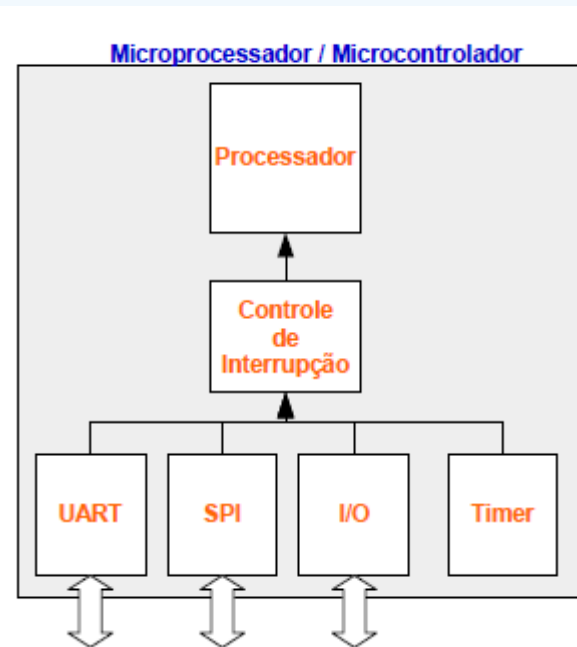
- Podem ser geradas por dispositivos **internos** ou **externos**





Interrupções de Hardware

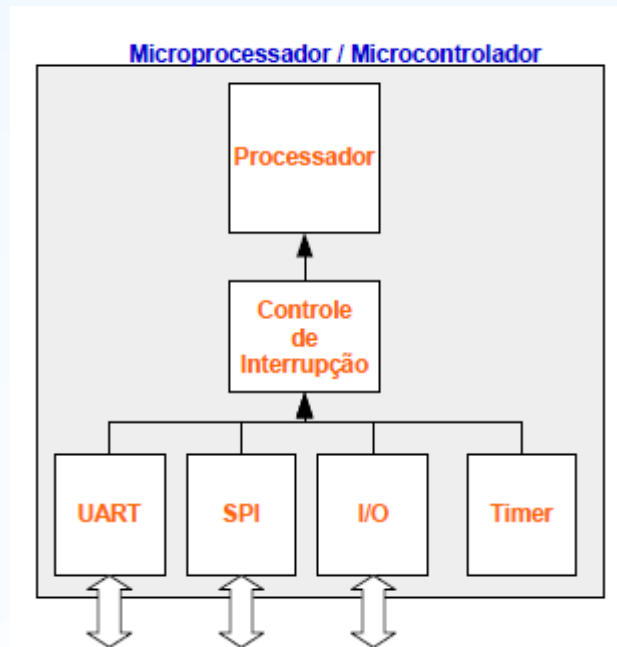
- Podem ser geradas por dispositivos **internos** ou **externos**





Interrupções de Hardware

- Podem ser geradas por dispositivos **internos** ou **externos**
- O ato de iniciar uma interrupção de hardware é chamado de **Interrupt ReQuest - IRQ**





Interrupções de Hardware

- **Interrupção por Nível**: manutenção do sinal elétrico (linha de interrupção) em um nível lógico **alto** ou **baixo**



Interrupções de Hardware

- **Interrupção por Nível**: manutenção do sinal elétrico (linha de interrupção) em um nível lógico **alto** ou **baixo**
- **Interrupção por Borda**: é uma interrupção sinalizada por uma “**transição de nível**” na linha de interrupção, seja uma borda **descendente** ou **ascendente**



Universidade Federal
de Santa Catarina

Interrupções de Software

- causada por uma **condição excepcional** (*trap*) no próprio processador
 - Ex.: divisão por zero



Interrupções de Software

- causada por uma **condição excepcional** (*trap*) no próprio processador
 - Ex.: divisão por zero
- ou por uma **instrução especial** no conjunto de instruções da arquitetura deste processador



Controlador de Interrupções

- Cada **interrupção** tem seu código alocado em **posição específica** da **memória** manipulador de interrupção



Controlador de Interrupções

- Cada **interrupção** tem seu código alocado em **posição específica** da **memória** manipulador de interrupção
- Para gerenciar as interrupções existe um **controlador de interrupções**



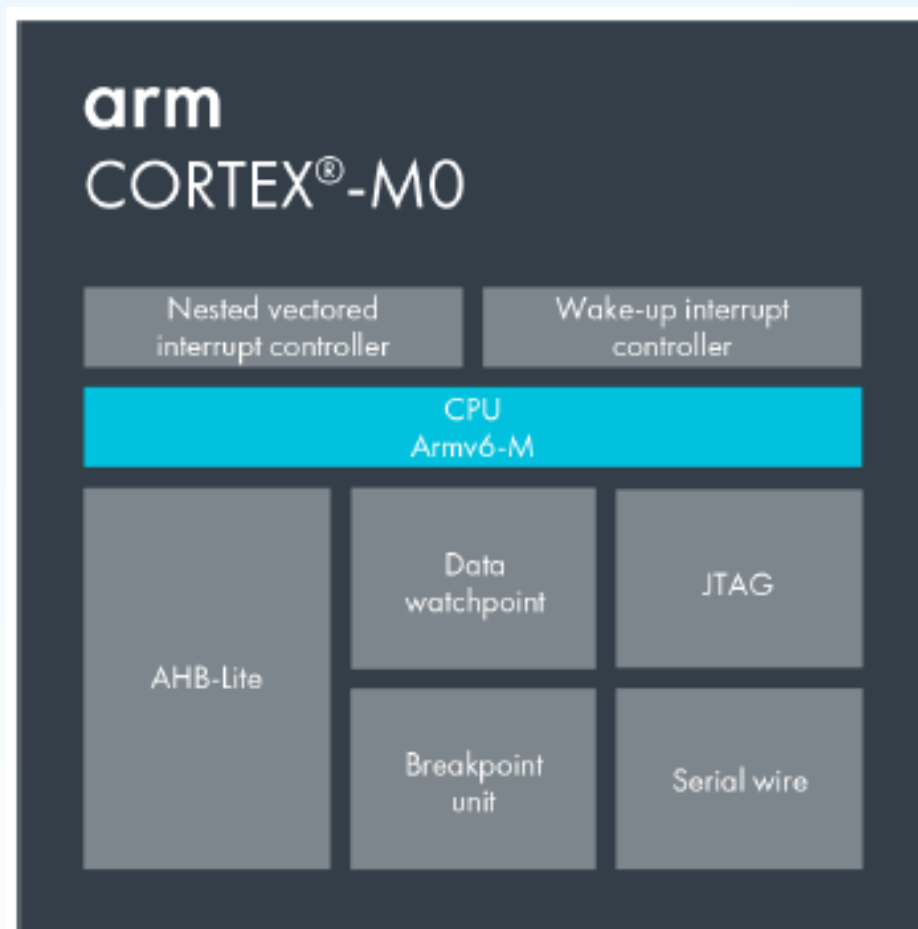
Controlador de Interrupções

- Cada **interrupção** tem seu código alocado em **posição específica** da **memória** manipulador de interrupção
- Para gerenciar as interrupções existe um **controlador de interrupções**
- Ele utiliza o conceito de **vetor de interrupção**, que é uma tabela de endereços de memória que apontam para o código de cada interrupção



Universidade Federal
de Santa Catarina

Controlador de Interrupções





DMA

- As transferência de dados num barramento requer que o **processador esteja envolvido** em todas as transações de **leitura ou escrita no barramento**



DMA

- As transferência de dados num barramento requer que o **processador esteja envolvido** em todas as transações de **leitura ou escrita no barramento**
- Porém, existem certos tipos de transferência de dados nas quais o processador **não precisa** estar envolvido
 - Exemplo, um dispositivo de I/O rápido pode necessitar transferir um bloco de dados para a memória



Universidade Federal
de Santa Catarina

DMA

- Até é possível escrever um programa que, **alternadamente**, leia os dados vindos do dispositivo e armazene na memória



DMA

- Até é possível escrever um programa que, **alternadamente**, leia os dados vindos do dispositivo e armazene na memória
- Mas é muito mais rápido eliminar o envolvimento do processador e deixar o dispositivo e a memória **comunicarem diretamente entre si**



DMA

- ***Direct Memory Access (DMA)*** - é uma operação no barramento que permite **escritas e leituras sem o controle direto do processador**



DMA

- ***Direct Memory Access (DMA)*** - é uma operação no barramento que permite **escritas e leituras sem o controle direto do processador**
- Gerenciada por um **controlador DMA**, o qual **requisita o controle** do barramento do processador



DMA

- ***Direct Memory Access (DMA)*** - é uma operação no barramento que permite **escritas e leituras sem o controle direto do processador**
- Gerenciada por um **controlador DMA**, o qual **requisita o controle** do barramento do processador
- Ao **finalizar** a comunicação, o controlador DMA **devolve** a gerência do barramento ao processador



Registradores de DMA

- O processador controla as operações de DMA através de **registradores** implementados dentro do controlador DMA



Registradores de DMA

- O processador controla as operações de DMA através de **registradores** implementados dentro do controlador DMA
 - **Registrador de Endereço** - para indicar início de onde a transferência de dados irá começar



Registradores de DMA

- O processador controla as operações de DMA através de **registradores** implementados dentro do controlador DMA
 - **Registrador de Endereço** - para indicar início de onde a transferência de dados irá começar
 - **Registrador de Tamanho** - especificando a quantidade de palavras que podem ser transferidas no barramento pelo controlador DMA



Registradores de DMA

- O processador controla as operações de DMA através de **registradores** implementados dentro do controlador DMA
 - **Registrador de Endereço** - para indicar início de onde a transferência de dados irá começar
 - **Registrador de Tamanho** - especificando a quantidade de palavras que podem ser transferidas no barramento pelo controlador DMA
 - **Registrador de Status** (ou Estado) - que permite ao processador operar o controlador DMA.



Concorrência pelo barramento

- O processador pode **necessitar de acessos** ao barramento enquanto realiza outras tarefas



Concorrência pelo barramento

- O processador pode **necessitar de acessos** ao barramento enquanto realiza outras tarefas
- Como o barramento está em uso pelo controlador DMA, o processador entra num estado de **stall** (parada)



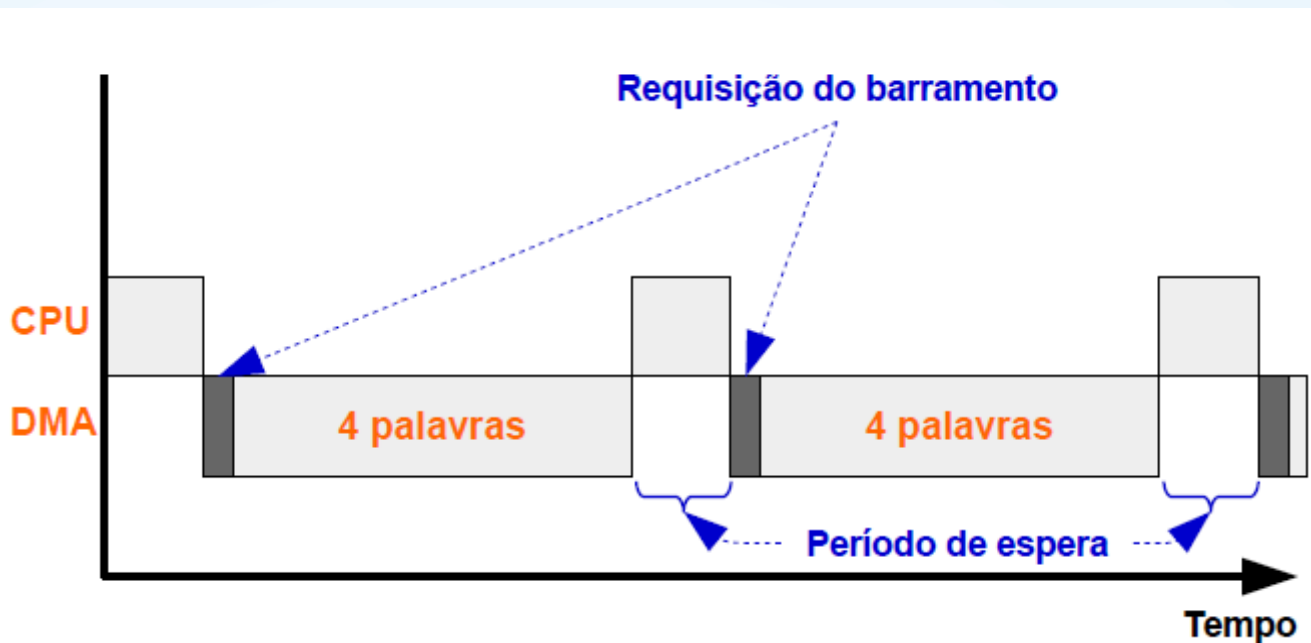
Concorrência pelo barramento

- O processador pode **necessitar de acessos** ao barramento enquanto realiza outras tarefas
- Como o barramento está em uso pelo controlador DMA, o processador entra num estado de **stall** (parada)
- Como solução, a maioria dos controladores DMA implementam **modos de ocupação** do barramento
 - Poucos ciclos de clock a cada vez.
 - Por exemplo, blocos de 4, 8 ou 16 palavras



Universidade Federal
de Santa Catarina

Concorrência pelo barramento





FIM MÓDULO 22