# Guía del Testbench – Controlador SDRAM 4 Canales con Auto-Precharge

Este documento describe las operaciones que realiza el testbench incluido para verificar el correcto funcionamiento del controlador SDRAM de 4 canales, incluyendo soporte para auto-precharge. El entorno está diseñado para FPGA Cyclone V (Analogue Pocket), con una frecuencia de reloj de 96 MHz.

## Objetivos del Testbench

- Verificar la secuencia de inicialización completa de la SDRAM según el datasheet.

- Simular peticiones de lectura y escritura desde múltiples canales de forma concurrente.

- Confirmar el funcionamiento de auto-precharge mediante accesos secuenciales a un mismo banco.

## Secuencia Simulada

1. Se inicia el reloj y se mantiene la señal de reset activa durante los primeros ciclos.

2. El controlador espera 100 µs, emite los comandos de precharge, auto-refresh y carga del registro de modo.

3. Se realiza una lectura desde el canal 0 (banco 0).

4. Se realiza una escritura desde el canal 1 (banco 1).

5. Se realiza una lectura desde el canal 2 (banco 2).

6. Se realiza una escritura desde el canal 3 (banco 3).

7. Tras los accesos, se realiza una segunda lectura en el canal 0, a una dirección diferente del mismo banco.

Esta operación permite comprobar que el auto-precharge cerró correctamente la fila anterior, permitiendo activar una nueva sin conflicto.

## Puntos de Observación

- Las señales `readyX` se activan tras completar correctamente una transacción.

- En la simulación se observa la aparición de datos leídos (`rdataX`) y confirmación por consola con `$display`.

- El modelo SDRAM dummy responde con latencia CAS=2 simulada, y mantiene estados internos por banco.

## Consideraciones Finales

Este testbench está diseñado para ejecutarse con una herramienta de simulación compatible con SystemVerilog como ModelSim, Verilator o NCSim. Se puede ampliar fácilmente para verificar ráfagas más largas, auto-refresh en curso o errores de acceso por violación de estados.