

SC/MP Input Output Timing

/Zeichnung siehe Rückseite)

Alle Zeitangaben beziehen sich auf eine Oszillatofrequenz von 1MHZ.

Tx = Periodendauer des Oszillators = 1000 ns.

1 microcycle = 2 Tx = 2000 ns.

### 1. SC/MP Data Input Timing:

Ein Einlesezyklus dauert 4000 ns = 2 microcycles.

Nachdem die CPU Zugriff zum Bus ( BREQ - high ) hat, wird nach 1500 ns das NWDS Signal auf Low gelaegt. Vorher liegen seit mindestens 200 ns die Adressausgänge 00 - 11 auf dem Adressbus der CPU Karte und die Adress und Statusinformation auf dem Datenbus der CPU Karte, jedoch sind die Adressleitungen noch nicht durch die Tri State Buffer (74125) auf den Systembus gelegt.

Mit der fallenden Flanke des NADS Signals werden die Tri State Buffer (75125) durchgeschaltet und die Adressen 12 - 15 vom Datenbus im Latch 4042 gespeichert. Die gesamte 16 Bit Adresse liegt dann auf dem System Adressbus. Die Tri State Buffer gehen erst wieder in den hochohmigen Zustand wenn das BREQ Signal auf Low geht. Die gesamte Adresse liegt also nach der fallenden Flanke des NADS Signals auf dem Systembus.

Die Ansteuerung eines Speichers sei nun am Typ MM 2112 ( 1000 ns access time) erläutert.

Die Adressen 00 - 07 müssen mindestens 1000 ns an den Adresseingängen des Speichers anliegen, bis die Ausgangsdaten an den Ausgängen des Speichers gültig sind (access time = 1000 ns ). Das CE Signal muß mindestens 800 ns anliegen bis die Information an den Ausgängen des Speichers gültig ist ( CE to Output Time = 800 ns ). Das CE Signal wird den Speichern von den Adressdekodern zugeführt. Der Adressendekoder auf der CPU Platine (Seite 0) und der Adressendekoder auf der Ram I/O Platine (Seite 1) erhalten ihr CE Signal wiederum von der Adressdekodierlogik auf der MUX Platine. Hier ist die Adressendekodierung mit dem auf der CPU Platine erzeugten (NRDS + NWDS) Signal verknüpft.

Durch diese vielen Verknüpfungen entsteht eine gewisse Verzögerung des Signals:

N 5 (7437) auf CPU Platine	11 ns
N 1 (4049) auf CPU Platine	125 ns
N 5 (7405) auf MUX Platine	22 ns
N 10 oder N 11 (7400) auf MUX Platine	10 ns
IC 1 (74155) auf CPU Platine oder Ram I/O Platine	21 ns
gesamt	189 ns

also insgesamt fast 200 ns. Da das NRDS Signal jedoch 1100 ns lang ist, liegt liegt das CE Signal doch mindestens 900 ns an den CE Eingangen der Speicher an, bis die gültigen Daten mit der steigenden Flanke des NRDS Signals vom Prozessor übernommen werden (nötig sind 800 ns).

$\xleftarrow{\quad}$  1 microcycle  $\xrightarrow{\quad}$   
 $\cong 2000 \text{ ns}$

$1000 \text{ ns} \cong 5 \text{ cm}$

BREQ

## SC/M P Data Input Timing

$\xleftarrow{\quad}$   $T_{D1}(\text{Ad}s)$   $1500 \text{ ns}$   $\xrightarrow{\quad}$

NRDS

$\rightarrow$   $\xleftarrow{\quad}$   $T_S(\text{Addr}) \geq 200 \text{ ns}$

Add11-Add00

Address valid

DB7-DB0

Address a.  
Status

High Z

Data  
Valid

High Z

NRDS

$\xleftarrow{\quad}$   $T_W(\text{RDS})$   $1100 \text{ ns}$   $\xrightarrow{\quad}$

Zeiten für  $f = 1 \text{ MHz}$

1 microcycle =  $2 T_x$

$T_x = \text{time period of oscillator} = \frac{1}{f_{\text{osc}}} = \frac{1}{\text{Quarz freq.}}$

Seiten Organisation

0XXX (Seite 0) ist normalerweise die Seitenadresse der durch den Adressendekoder auf der CPU Platine dekodierten Bereiche.

1XXX (Seite 1) ist normalerweise die Seitenadresse der durch den Adressendekoder auf der Ram I/O Platine dekodierten Bereiche.

Die Seitenadressen dieser beiden Bereiche können durch den Schalter auf der MUX Platine gegeneinander vertauscht werden.

Auf der MUX Platine werden die Adressenleitungen 12, 13, 14 und 15 dekodiert (N6, N7, N8, N9) und mit dem NRDS + NWDS logisch verknüpft. Diese Logik erzeugt die beiden CE Signale für den Adressendekoder auf der CPU Platine und für den Adressendekoder auf der Ram I/O Platine. Durch die Verknüpfung mit dem (NRDS + NWDS) Signal werden die beiden CE Signale nur ausgegeben, wenn das (NRDS + NWDS) Signal aktiv (Low) ist.

Durch den Schalter auf der MUX Platine kann entweder das CE Signal für den Adressendekoder auf der CPU Platine auf die Adressen 0XXX und das CE Signal für den Adressendekoder auf der Ram I/O Platine auf 1XXX gelegt werden oder umgekehrt.

2XXX (Seite 2) ist die 4K Ram Platine. Die gesamte Dekodierung dieses Bereichs erfolgt auf der 4K Ram Platine selbst (Adress Bits 00 - 15).

Die 4K Ram Platine kann durch Ändern ihrer Eingangslogik (Adress Bits 12 - 15 auf jede beliebige freie Seitenadresse gelegt werden.

Adressen Organisation der Seite " 0 "

Auf der CPU Platine sitzt der 2x2 Bit Binärdekoder SN 74155 der als 3 zu 8 Dekoder geschaltet ist. Seine Eingänge liegen an den Adress-Bits 09, 10 und 11. Die darunter liegenden 9 Adressleitungen 00 -08 werden durch diesen Baustein nicht dekodiert. Der Dekoder liefert also 8 Chip select Signale für Bereiche von je 1/2 K Speicher (X000 - XFFF).

Wenn der **CE** Eingang des Dekoders ( Pin 2 u. 14 ) auf Low geschaltet wird, wird je nach Zustand der Adress-Bits 09, 10 u. 11 einer der 8 Ausgänge des Dekoders auf Low geschaltet (aktiviert).

Wahrheitstabelle

Adressen	Adress Bits	Ausgänge							
		0	1	2	3	4	5	6	7
X000 - X1FF	L L L 1	H H H	H H H	H H H	H H H	H H H	H H H	Zu <b>CS</b> von IC 3 (Prom 5204 auf CPU-Platine = 1/2 K Prom)	
X200 - X3FF	L L H	H L H	H H H	H H H	H H H	H H H	H H H	Zu <b>CS</b> von IC 2 (Prom 5204 auf CPU-Platine = 1/2 K Prom)	
X400 - X5FF	L H H	H H H	H L H	H H H	H H H	H H H	H H H	auf Bus-Platine (15 A) zu <b>CS</b> von IC 14 (Prom 5204 auf MUX-Platine = 1/2 K Prom)	
X600 - X7FF	L H H	H H H	H L H	H H H	H H H	H H H	H H H	auf Bus-Platine (2A) - zur MUX-Platine und zur I/O Platine - siehe unter (4)	
X800 - X9FF	H L L	H H H	H H L	H H H	H H H	H H H	H H H	auf Bus-Platine (6 C) - nicht verwendet	
XA00 - XBFF	H L H	H H H	H H H	H H H	H H H	H H H	H H H	auf Bus-Platine (28 C) - nicht verwendet	
XC00 - XDFF	H H L	H H H	H H H	H H H	H L H	H H H	H H H	auf Bus-Platine (29 A) - zusammen mit Adress Bit 08 1/2 K Ram auf MUX-Platine (IC 10 - IC 13)	
XE00 - XFFF	H H H	H H H	H H H	H H H	H H H	L L L	L L L	auf Bus-Platine (2 C) - zusammen mit Adress Bit 08 1/4 K Ram auf MUX-Platine und 1/4 K Ram auf CPU Platine (siehe unter (8))	

( 4 ): X6X0 - X6X7 liest die 8 Eingänge des Multiplexers IC 7 (74151) auf der MUX-Platine.

X6X8 - X6XF liest den Ausgang des Prioritätsenkoders IC 8 (74148) auf der MUX-Platine.

Multiplexer: Das Signal des Adressendekoders (74155) auf der CPU-Platine aktiviert den 8 zu 1 Datenselektor 74155 (Multiplexer) auf der MUX-Platine wenn Bit 08 und Bit 03 des Adressbusses ebenfalls auf Low liegen und schaltet den Ausgang des Datenselektors 74151 über den Tri State Buffer 74125 auf Bit 07 des Datenbusses. Durch lesen der Adressen X6X0, X6X1, X6X2 usw. bis X6X7 kann festgestellt werden, ob an dem entsprechenden Eingang des Multiplexers ein Signal anliegt. Der Zustand des abgefragten Eingangs wird auf Bit 07 des Datenbusses geschaltet.

Prioritätsenkoder: Das Signal des Adressendekoders (74155) auf der CPU-Platine schaltet wenn Bit 08 des Adressenbusses auf Low und Bit 03 auf High liegen die drei Ausgänge des 8 zu 3 Prioritätsenkoders IC 8 (74148) über den Tri State Buffer IC 9 (74125) auf Bit 00, 01 und 02 des Datenbusses. Sobald ein Signal an den Eingängen des Prioritätsenkoders anliegt gibt das IC über die Bus Platine (I2C) ein Interrupt Signal an die CPU. In der Interruptroutine kann dann durch Lesen der Adresse X6X8 (X6X8 - X6XF haben die gleiche Wirkung) festgestellt werden, durch welches Peripheriegerät der Interrupt verursacht wurde. Bei mehreren gleichzeitigen Interrupt Anforderungen wird der mit der höchsten Priorität auf den Datenbus gelegt. Eingang 0 (= Pin 4 am IC 74148) hat höchste Priorität und bewirkt das Datum XLLL auf den unteren 4 Bits des Datenbusses.

X7X0 - X7X7 sind die Adressen der Siebensegmentanzeigen der Hex I/O Platine. Dabei steuert X7X0 die am weitsten rechts stehende Anzeige an (niedrigste Stelle).

Siebensegmentanzeigen: Das Signal vom Adressendekoder 74155 auf der CPU Platine (über Leitung 2A) schaltet wenn gleichzeitig Bit 08 des Adressbusses auf High und Bit 03 auf Low liegt die Adress Bits 00 - 02 durch den Datenselektor IC 14 (74157) auf der Hex I/O Platine auf die Adresseingänge der Speicher IC 15 und IC 16 (2 x 7489). Beim NWDS Signal des Prozessors übernehmen diese Speicher (8 Bit breit) den Zustand des Datenbusses. Wird nicht gerade eingeschrieben, so steuert der Zähler IC 18 (7493) laufend die 8 verschiedenen Adressen dieser Speicher an und schaltet so die eingeschriebenen Daten nacheinander auf die 8 verschiedenen Siebensegmentanzeigen. Welche Siebensegmentanzeige gerade angesp-

## Adressenorganisation der Seite "0" (Fortsetzung)

rochen wird, wird ebenfalls über den 8 Bit Zähler IC 18 (7493) gesteuert.

X7X8 -X7XF sind die Adressen des keyboards der Hex I/O Platine (redundant).

Keyboard: Das Signal vom Adressendekoder 74155 auf der CPU Platine über Leitung 2 A) stuert wenn Bit 08 und Bit 03 des Adressbusses auf High liegen die beiden Tri State Buffer IC 4 und IC 5 auf der Hex I/O Platine durch (74125) und legt so das Signal der gedrückten Taste des Keyboards auf den Datenbus.

( 8 ): Das Signal vom Adressendekoder 74155 auf der CPU Platine geht über die Bus Platine ( 2C ) zur MUX Platine. Durch die dortige Logik wird es mit Adress Bit 08 kombiniert. Wenn Adress Bit 08 auf Low liegt ( Adressen 0E00 - 0EFF) wird 1/4 K Ram auf der Interrupt Platine angesteuert. Liegt Adress Bit 08 auf High wird das resultierende CE Signal über die Bus Platine (29 C) zur CPU Platine zurückgeführt und steuert dort 1/4 K Ram (IC 4 und IC 5) an.

Adressen Organisation der Seite " 1 "

1000 - 10FF	= 1/4 K Ram auf der Ram I/O Platine (z. Zt. nicht bestückt)
11XX	= LEDs auf der Ram I/O Platine
12XX	= Datenschalter auf der Ram I/O Platine
13XX	= dekodiert aber nicht verwendet
14XX	= " " " "
15XX	= " " " "
16XX	= " " " "
17XX	= " " " "

Auf der Ram I/O Platine sitzt der Adressendekoder IC 1 (74155). Er erhält sein CE Signal über die Bus Leitung 17 A von der Dekodierlogik auf der MUX Platine (N 6 - N 11). Normalerweise wird er durch die Seitenadresse 1XXX angesprochen. Durch den Schalter auf der MUX Platine kann er jedoch auch auf die Seitenadresse 0XXX gelegt werden (Vertauschung mit der Seitenadresse des Adressendekoders auf der CPU Platine).

Der Adressendekoder auf der Ram I/O Platine dekodiert die Adress Bits 08, 09 und 10. Bit 11 wird nicht dekodiert, wodurch der Bereich 1XXX nur zur Hälfte, d.h. nur von 1000 - 17FF dekodiert ist.

1/4 K Ram Bereich: Die Adressen sind 1000 - 10FF. Liegen die Adress Bits 08, 09 und 10 alle auf Low geht der Ausgang " 0 " des Adressdekkoders (Pin 9) ebenfalls auf Low und gibt so das CE Signal für die beiden Ram ICs MM 2112.

LEDs auf der Ram I/O Platine: Die Adressen sind 1100 - 11FF (redundant). Liegen die Adress Bits 09 und 10 auf Low und 08 auf High, so geht der Ausgang " 1 " des Adressdekkoders (Pin 10) auf Low. Diese Signal wird mit dem NWDS Signal verknüpft und bewirkt so das Einlesen der Daten vom Datenbus in die beiden TTL Latches 7475, an deren Ausgängen die LEDs liegen. Die LEDs liegen an den invertierenden Ausgängen der Latches. Die nicht invertierten Ausgänge sind auf Pins am Rand der Platte geführt und können zur Ausgabe verwendet werden.

Datenschalter auf der Ram I/O Platine : Die Adressen sind 1200 - 12FF (redundant). Liegen die Adress Bits 08 und 10 auf Low und 09 auf HIgh, so geht der Ausgang " 2 " des Adressdekkoders (Pin 11) auf Low und schaltet die beiden Analogschalter IC 10 und IC 11 (CD 4066) durch, wodurch der Zustand der Datenschalter auf den Datenbus geschaltet wird.