数字逻辑练习题答案

一、选择题

CBCDB　BDCDD　CCDDC　BDDCD　DAAD

二、填空题

1、100100

2、00110110

3、10001110、11110001、11110010

4、1

5、0，1

6、0，1

7、高阻态

8、$\overline{A}$、A、0、1

9、保持、置 0、置 1、翻转

10、$J\overline{Q}+\overline{K}Q$、保持、置 0、置 1、翻转

11、0、1

三、问答题

1、答：根据数字逻辑电路有无记忆功能，可分为组合逻辑电路和时序逻辑电路两类。

组合逻辑电路：电路在任意时刻产生的稳定输出值仅取决于该时刻电路输入值的组合，而与电路过去的输入值无关。

时序逻辑电路：电路在任意时刻产生的稳定输出值不仅与该时刻电路的输入值有关，而且与电路过去的输入值有关。

2、时序电路按输出方式分为哪两种类型，有何区别？

答：时序电路按输出方式分为 Moore 和 Mealy 型两类。

区别是：Moore 时序电路的输出只与现态有关，mealy 时序电路的输出不仅与现态有关，而且与输入也有关。

3、应用逻辑代数运算法则化简下式：

$$F=BC+D+\overline{D}\cdot\left(\overline{B}+\overline{C}\right)\cdot\left(AC+B\right)$$

答：

$$
\begin{aligned}
F &= BC + D + \overline{D}\cdot\left(\overline{B}+\overline{C}\right)\cdot\left(AC+B\right) \\
&= BC + D + (\overline{B}+\overline{C})(AC+B) \\
&= BC + D + \overline{BC}\,(AC+B) \\
&= BC + D + AC + B \\
&= B + D + AC
\end{aligned}
$$

4、应用逻辑代数运算法则化简下式：

$$Y = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\,\overline{C} + \overline{A}BC$$

答：

$$Y = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\,\overline{C} + \overline{A}BC = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + \overline{A}\,\overline{B}\,\overline{C} + \overline{A}B\overline{C} + \overline{A}\,\overline{B}\,\overline{C} + A\overline{B}\,\overline{C} + \overline{A}BC$$
$$= \overline{A}\,\overline{B} + \overline{A}\,\overline{C} + \overline{B}\,\overline{C} + \overline{A}BC = \overline{A}(\overline{B}+\overline{C}) + \overline{B}\,\overline{C} + \overline{A}BC = \overline{A}\,\overline{BC} + \overline{B}\,\overline{C} + \overline{A}BC = \overline{A} + \overline{B}\,\overline{C}$$

5、应用逻辑代数运算法则证明 $\overline{AB+\overline{A}C}+\overline{\overline{A}+\overline{B}}$=A+$\overline{C}$

证明：

$\overline{AB+\overline{A}C}+\overline{\overline{A}+\overline{B}}$

=$\overline{AB}$•$\overline{\overline{A}C}$+AB

=$\overline{\overline{A}C}$+AB

=A+$\overline{C}$+AB

=A(1+B)+$\overline{C}$

=A+$\overline{C}$

6、应用逻辑代数运算法则证明 $\overline{\overline{A+B}+\overline{\overline{A}+C}}+\overline{\overline{A}+C}$=A+B

证明:

$\overline{\overline{A+B}+\overline{\overline{A}+C}}+\overline{\overline{A}+C}$

= $(A+B)$•$(\overline{A}+C)$+$\overline{\overline{A}+C}$

=$(A+B)$+$\overline{\overline{A}+C}$

=$A+B$+$A\overline{C}$

=A+B

7、应用逻辑代数运算法则证明 $\overline{A}(C\oplus D)+B\overline{C}D+AC\overline{D}+A\overline{B}\,\overline{C}D=C\oplus D$

证明：

$\overline{A}(C\oplus D)+B\overline{C}D+AC\overline{D}+A\overline{B}\ \overline{C}D$

$=\overline{A}\,\overline{C}D+\overline{A}C\overline{D}+B\overline{C}D+AC\overline{D}+A\overline{B}\ \overline{C}D$

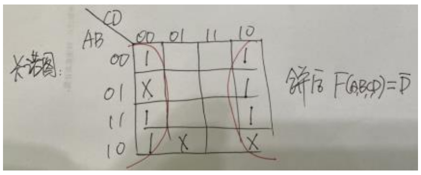
$=\overline{C}D(\overline{A}+B+A\overline{B}\ )+\overline{A}C\overline{D}+AC\overline{D}$

$=\overline{C}D+C\overline{D}$

$=C\oplus D$

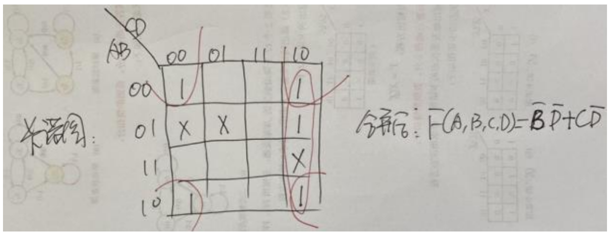
8、用卡诺图化简函数$F(A,B,C,D)=\sum$m（0,2,6,8,12, 14）+$\sum$d（4，9,10）为最简与或表达式

答：



9、用卡诺图化简函数$F(A,B,C,D)=\sum$m（0,2,6,8,10）+$\sum$d（4,5,14）为最简与或表达式

答：



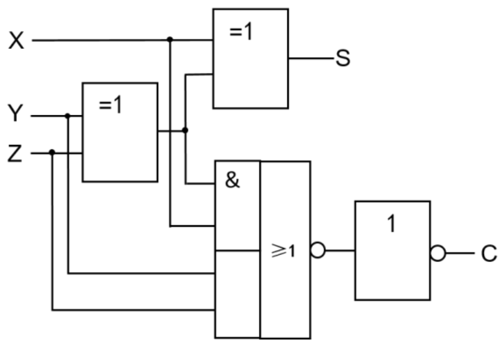
三、分析题

1、请分析下图的逻辑功能。

（1） 写出 S 和 C 的逻辑函数表达式。

（2） 列出真值表。

（3） 说明该电路的功能。



答：① S和C的表达式为：

$S = X \oplus Y \oplus Z$

$C = (Y \oplus Z) \cdot X + YZ$

② 列真值表：

X	Y	Z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

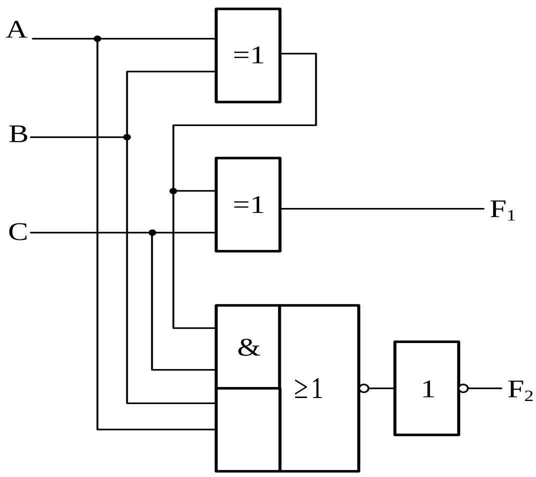
③ 全加器，C为产生的进位，S为和

2、请分析下图的逻辑功能。

（1） 写出 F1 和 F2 的逻辑函数表达式。

（2） 列出真值表。

写出该电路的功能。



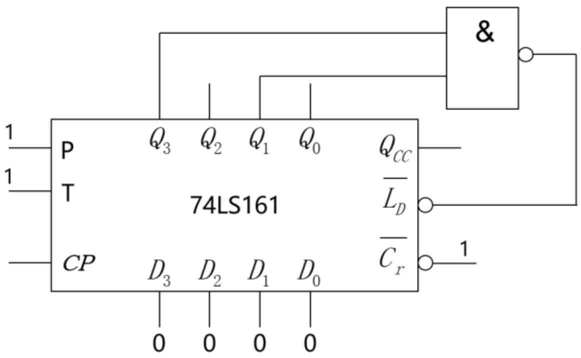
答：同 1

3、用集成 4 位二进制同步加法计数器 74LS161 构成的 N 进制计数器如下图所示，其中 $\overline{L_D}$ 为同步置数控制端。

（1）写出置数控制端 $\overline{L_D}$ 的逻辑表达式

（2）画出该计数器的状态转换图

（3）该计数器的模 N 是多少？如果希望构成十进制计数器，电路将如何修改？



3.答：① $\overline{L_D}=\overline{Q_3Q_1}$

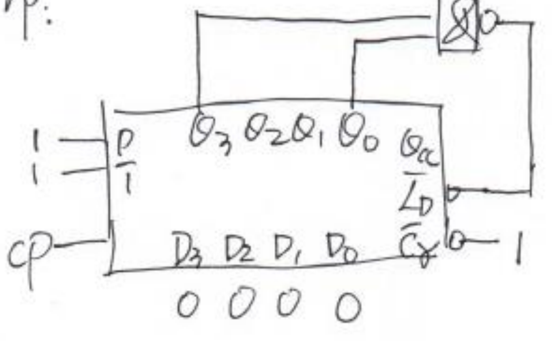
② ∵$\overline{L_D}$为同步置数，所当 $Q_3Q_2Q_1Q_0=1010$ 时，在下一个CP置数（$Q_3Q_2Q_1Q_0=0000$）

0000 → 0001 → 0010 → 0011 → 0100 → 0101
↓
1010 ← 1001 ← 1000 ← 0111 ← 0110
（1010 → 0000）

③ N为11· 如果希望构成十进制计数器

则：$\overline{L_D}=\overline{Q_3Q_0}$

即：



4、用集成 4 位二进制同步加法计数器 74LS161 构成的 N 进制计数器如下图所示，其中 $\overline{C_r}$ 为异步清零控制端。

（1）写出清零控制端 $\overline{C_r}$ 的逻辑表达式

（2）画出该计数器的状态转换图

该计数器的模 N 是多少？如果希望构成十进制，将如何修改？

4 答：① $\overline{C_r}=\overline{Q_3Q_0}$

② ∵ $\overline{C_r}$ 为异步清零.

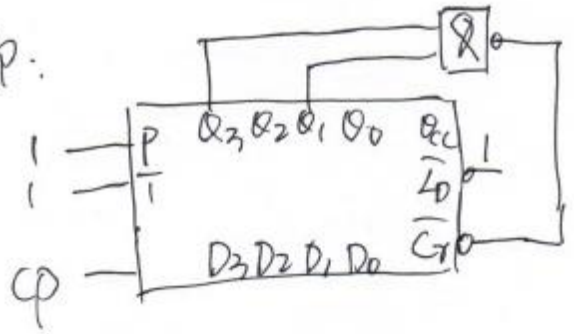
即当 $Q_3Q_0=11$ 时，即刻清零.

0000 → 0001 → 0010 → 0011 → 0100 → 0101 → 0110 → 0111 → 1000 → 1001

③ N 为 9. 如果希望构成十进制计数.

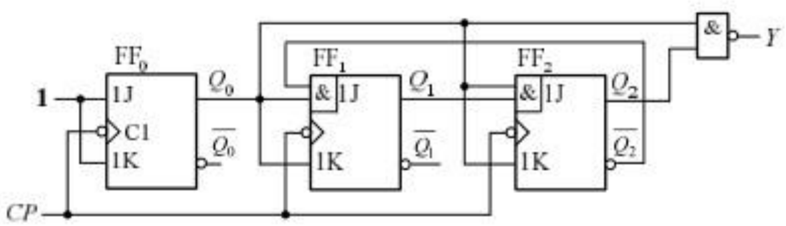
则：$\overline{C_r}=\overline{Q_3Q_1}$

即：



5、同第 6 题

6、试分析如图所示同步时序逻辑电路，并写出分析过程。



解：（1）写出驱动方程输出方程

$J_0 = K_0 = 1$

$J_1 = \overline{Q_2^n} Q_0^n, K_1 = Q_0^n$

$J_1 = Q_2^n Q_0^n, K_2 = Q_0^n$

$Y = Q_2^n Q_0^n$

（2）写出状态方程

$$Q_0^{n+1} = \overline{Q_0^n}$$

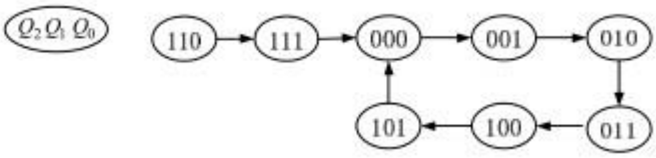
$$Q_1^{n+1} = \overline{Q_2^n}\,\overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n}$$

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n + Q_2^n \overline{Q_0^n}$$

（3）列出状态转换真值表

$Q_2{}^n$	$Q_1{}^n$	$Q_0{}^n$	$Q_2{}^{n+1}$	$Q_1{}^{n+1}$	$Q_0{}^{n+1}$	$Q_2{}^n$	$Q_1{}^n$	$Q_0{}^n$	$Q_2{}^{n+1}$	$Q_1{}^{n+1}$	$Q_0{}^{n+1}$
0	0	0	0	0	1	1	0	0	1	0	1
0	0	1	0	1	0	1	0	1	0	0	0
0	1	0	0	1	1	1	1	0	1	1	1
0	1	1	1	0	0	1	1	1	0	0	0

（4）画出状态转换图



（5）逻辑功能

同步六进制加法计数器

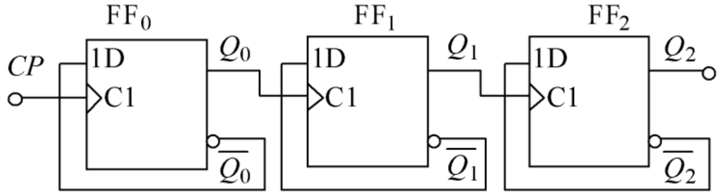
（6）自启动校验

因为：当现态为 110 时，次态为 111，当现态为 111 时，次态为 000，电路能够回到有效的循环重，所以，可以自启动

7、参考第 6 题

8、参考第 6 题

9、分析图示时序逻辑电路。



解：（1）写方程式：

异步时序电路，时钟方程：$CP_2 = Q_1$，$CP_1 = Q_0$，$CP_0 = CP$ 。

驱动方程：$D_2=\overline{Q}_2^n$，$D_1=\overline{Q}_1^n$，$D_0=\overline{Q}_0^n$

（2）求状态方程：D 触发器的特性方程：$Q^{n+1}=D$ 将各触发器的驱动方程代入，即得电路的状态方程：

$$\begin{cases} Q_2^{n+1}=D_2=\overline{Q}_2^n & \text{Q}_1\text{上升沿时刻有效} \\ Q_1^{n+1}=D_1=\overline{Q}_1^n & \text{Q}_0\text{上升沿时刻有效} \\ Q_0^{n+1}=D_0=\overline{Q}_0^n & \text{CP上升沿时刻有效} \end{cases}$$

（3）计算、列状态表：

现　　态			次　　态			注
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	时钟条件
0	0	0	1	1	1	$CP_0\ CP_1\ CP_2$
0	0	1	0	0	0	CP_0
0	1	0	0	0	1	$CP_0\ CP_1$
0	1	1	0	1	0	CP_0
1	0	0	0	1	1	$CP_0\ CP_1\ CP_2$
1	0	1	1	0	0	CP_0
1	1	0	1	0	1	$CP_0\ CP_1$
1	1	1	1	1	0	CP_0

（4）画状态图、时序图：

$$\begin{cases} Q_2^{n+1}=\overline{Q}_2^n & \text{Q}_1\uparrow \\ Q_1^{n+1}=\overline{Q}_1^n & \text{Q}_0\uparrow \\ Q_0^{n+1}=\overline{Q}_0^n & \text{CP}\uparrow \end{cases} \begin{cases} Q_2^{n+1}=1\text{不变} \\ Q_1^{n+1}=1\text{不变} \\ Q_0^{n+1}=\overline{1}=0,\text{CP}\uparrow \end{cases}$$

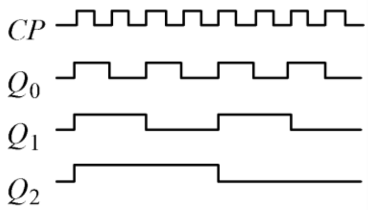
排列顺序：$Q_2^nQ_1^nQ_0^n \longrightarrow$

000←001←010←011

↓　　　　　　　　↑

111→110→101→100

(a)　状态图

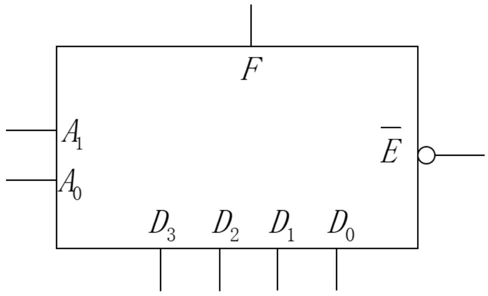


(b)　时序图

（5）电路功能：由状态图可以看出，在时钟脉冲 CP 的作用下，电路的 8 个状态按递减规律循环变化，即：000→111→110→101→100→011→010→001→000→…电路具有递减计数功能，是一个 3 位二进制异步减法计数器。

四、综合设计题

1、某 4 选 1 数据选择器如下图所示：



请用该数据选择器实现下列逻辑函数：

$$F(A,B,C)=\overline{A}C+\mathrm{B}\overline{\mathrm{C}}$$

1.答：∵ $F(A.B.C)=\overline{A}C+B\overline{C}$

$=\overline{A}\,\overline{B}C+\overline{A}BC+\overline{A}B\overline{C}+AB\overline{C}$

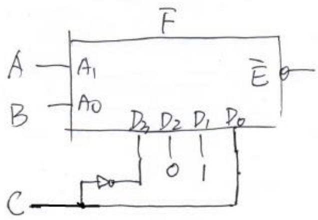
对比四选一数据选择器：$F=\overline{A}_1\overline{A}_0D_0+\overline{A}_1A_0D_1+A_1\overline{A}_0D_2+A_1A_0D_3$

得：$A=A_1$

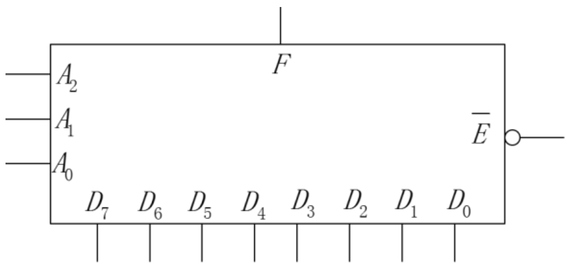
$B=A_2$

$D_0=C$，$D_1=(C+\overline{C})=1$，$D_2=0$，$D_3=\overline{C}$

∴有



2、某 8 选 1 数据选择器如下图所示：



2. ∵ $F=\bar{A}C+B\bar{C}$

$=\bar{A}\bar{B}C+\bar{A}BC+\bar{A}B\bar{C}+AB\bar{C}$

~~$=\bar{A}BC+$~~

对比：八选一数据选择器的输出方程：

$F=\bar{A}_2\bar{A}_1\bar{A}_0D_0+\bar{A}_2\bar{A}_1A_0D_1+\bar{A}_2A_1\bar{A}_0D_2+\bar{A}_2A_1A_0D_3$

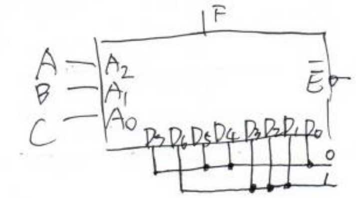
$+A_2\bar{A}_1\bar{A}_0D_4+A_2\bar{A}_1A_0D_5+A_2A_1\bar{A}_0D_6+A_2A_1A_0D_7$

得：$A_2=A$

$A_1=B$　　$D_0=0,\ D_1=1,\ D_2=1,\ D_3=1,$

$A_0=C$　　$D_4=0,\ D_5=0,\ D_6=1,\ D_7=0$

∴有



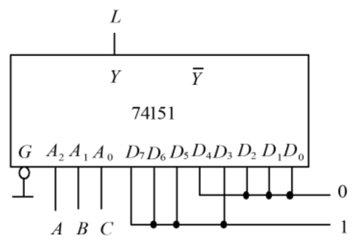
3、请用该数据选择器实现下列逻辑函数：

$$F(A,B,C)=\bar{A}C+B\bar{C}$$

用八选一数据选择器 74LS151 实现下列逻辑函数：$L=\bar{A}BC+A\bar{B}C+AB\bar{C}+ABC$

解：（1）将逻辑函数转换成最小项表达式：$L=\bar{A}BC+A\bar{B}C+AB\bar{C}+ABC$ =m3+m5+m6+m7

（2）画出连线图。

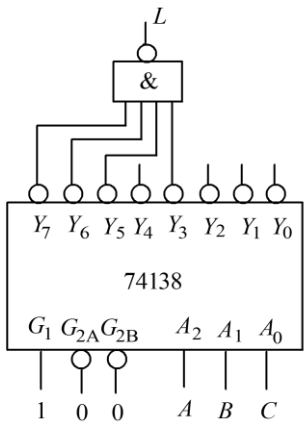


4、用译码器 74LS138 和门电路实现逻辑函数：$L=AB+BC+AC$

解：将逻辑函数转换成最小项表达式，再转换成与非—与非形式。

$L=\bar{A}BC+A\bar{B}C+AB\bar{C}+ABC$ =m3+m5+m6+m7=$\overline{\overline{m_3}\cdot\overline{m_5}\cdot\overline{m_6}\cdot\overline{m_7}}$·

用一片 74138 加一个与非门就可实现该逻辑函数。如下图所示：



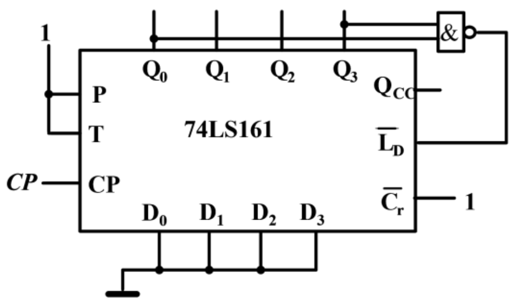
5、用 74LS161 计数器，采用同步置数归零法构成十进制计数器。

解：当 74LS161 计数到 Q3Q2Q1Q0=1001 时，使 $\overline{L_D}=0$，为置数创造了条件。当下一个计数脉冲一到，各置数端数据立即送到输出端，预置数端 D3D2D1D0=0000。

即置数条件为 $\overline{L_D}=\overline{Q_3\overline{Q_2}\,\overline{Q_1}Q_0}$，

$$\boldsymbol{Q_3Q_2Q_1Q_0=1001}$$
$$\downarrow$$
$$\overline{L_D}=\overline{Q_3\overline{Q_2}\,\overline{Q_1}Q_0}$$
$$\downarrow$$
$$\boldsymbol{Q_3Q_2Q_1Q_0=0000}$$

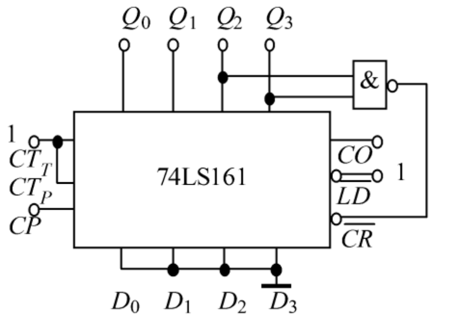
电路如图所示：



6、用 74LS161 计数器，采用异步清零法构成一个十二进制计数器。

答：异步清零就是当 74LS161 计数到 Q3Q2Q1Q0=1100 时，即刻使 $\overline{C_r}=0$，

即清零条件为 $\overline{C_r}=\overline{Q_3Q_2}$，（说明：$D_0 \sim D_3$ 可以接地，也可以不接。）

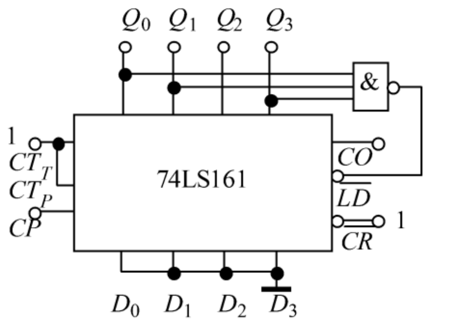


(a) 用异步清零端 $\overline{CR}$ 归零

7、用 74LS161 计数器，采用同步置数法构成一个十二进制计数器。

答：同步置数法就是当 74LS161 计数到 Q3Q2Q1Q0=1011 时，使 $\overline{L_D}=0$ 有效，当下一个时钟有效时，将 Q3Q2Q1Q0 置成 0000，因此，置数条件为 $\overline{L_D}=\overline{Q_3\overline{Q_2}Q_1Q_0}$

其电路图如图所示：



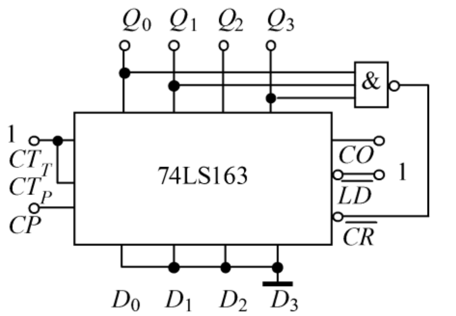
(b) 用同步置数端 $\overline{LD}$ 归零

8、用 74LS163 构成一个十二进制计数器。

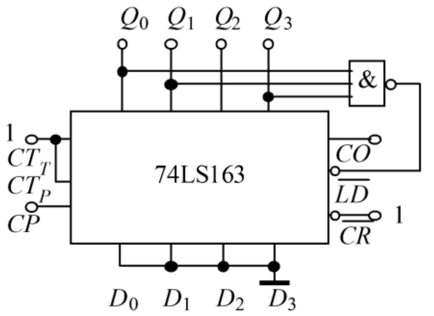
解：（1）写出状态 SN-1 的二进制代码。SN-1＝S12-1＝S11＝1011

（2）求归零逻辑 $\overline{CR}=\overline{LD}=\overline{P}_{N-1}=\overline{P}_{11}, P_{N-1}=P_{11}=Q_3Q_1Q_0$

（3）画连线图。同步清零法实现如图（a）所示，同步置数法实现如图（b）所示。



(a) 用同步清零端 $\overline{CR}$ 归零



(b) 用同步置数端 $\overline{LD}$ 归零

9、某学生参加 3 类课程考试，规定如下：

文化基础课（A），及格得 2 分，不及格得 0 分；

专业基础课（B），及格得 3 分，不及格得 0 分；

专业技能课（C），及格得 5 分，不及格得 0 分。

如果所得总分大于 6 分，则为通过（Y），试设计实现上述功能的逻辑电路。

9.答：假设：考试及格用"1"表示，不及格用"0"表示。

考试通过用"1"表示，不通过用"0"表示。

则真值表为：

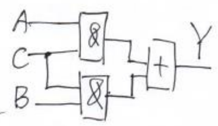
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

从真值表得：

$Y=\overline{A}BC+A\overline{B}C+ABC$

$=AC+BC$

∴



10、某学院举行研究生论文开题答辩，答辩组成员由两名评委和一名组长组成。当每一名评委同意通过时，可得 1 票；组长同意通过时，可得 2 票。如果学生获得 3 票及以上票数，则同意开题。否则，不同意开题。试设计实现上述功能的逻辑电路。

10.答：假设组长用A表示，评委用B和C表示。

同意用"1"表示，不同意用"0"表示。

通过真值表：　结果用Y表示，通过用"1"表示，

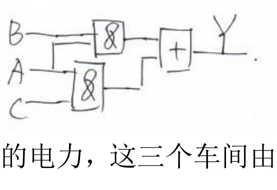
不通过用"0"表示。

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$Y=A\overline{B}C+AB\overline{C}+ABC$

$=AC+AB$

∴



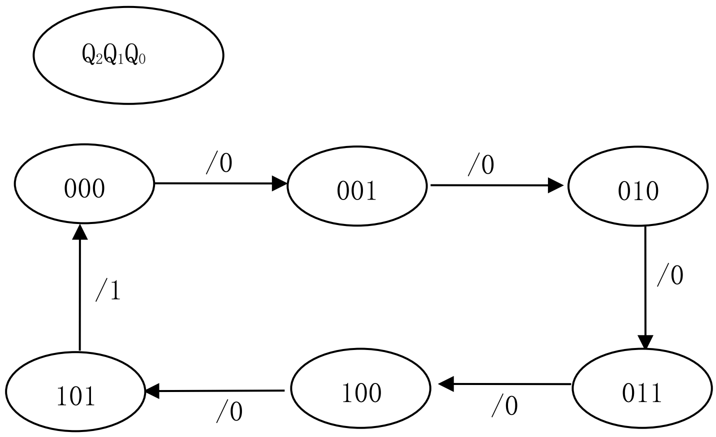
11、某工厂有三个车间，每个车间各需要 1KW 的电力，这三个车间由两台发电机组供电，一

台是 1KW，另一台是 2KW。此三车间经常不同时工作，有时只有一个车间工作，也可能有两个车间或三个车间工作。为了节省能源，又保证电力供应，试设计一个逻辑电路，能自动完成配电任务。

答：参看课件，课堂上已经讲过。

12、试用 JK 触发器和必要的逻辑门设计一个同步六进制加法计数器。

解：根据题意，可绘制六进制加法计数器的状态先如下：



由状态转换图可画出 $Q_2Q_1Q_0$ 的次态卡诺图和输出 F 的卡诺图如下：

Q_2 \ Q_1Q_0	00	01	11	10
0	0	0	1	0
1	1	0	X	X

(a) Q_2 次态卡诺图

Q_2 \ Q_1Q_0	00	01	11	10
0	0	1	0	1
1	0	0	X	X

(b) Q_1 卡诺图

Q_2 \ Q_1Q_0	00	01	11	10
0	1	0	0	1
1	1	0	X	X

(c) Q_0 次态卡诺图

Q_2 \ Q_1Q_0	00	01	11	10
0	0	0	0	0
1	0	1	X	X

(d) Y 卡诺图

由卡诺图化简即写出状态方程如下：Q_0^n

$$Q_0^{n+1}=\overline{Q_0^n}$$

$$Q_1^{n+1}=\overline{Q_2^n}Q_0^nQ_1^n+\overline{Q_0^n}Q_1^n$$

$$Q_2^{n+1}=Q_1^nQ_0^n\overline{Q_2^n}+\overline{Q_0^n}Q_2^n$$

输出方程：F= Q_0Q_2

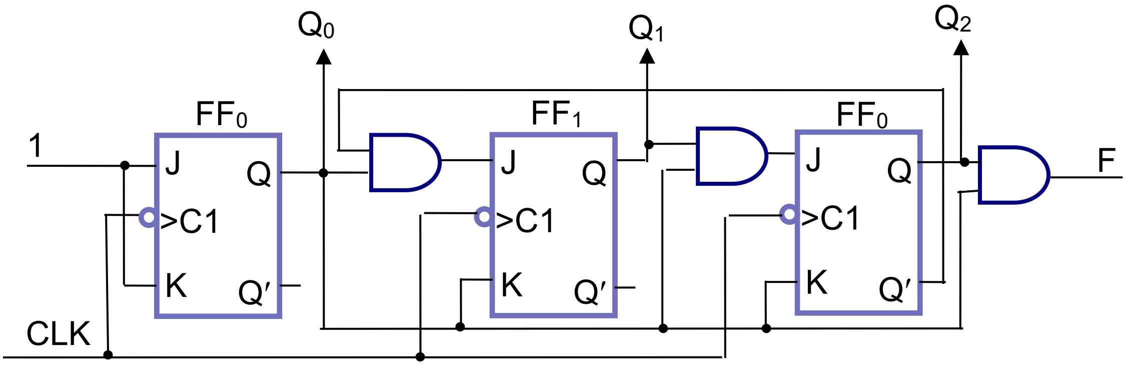
将状态方程与 JK 触发器特性方程 $Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$ 对比可得

J_0= K_0=1

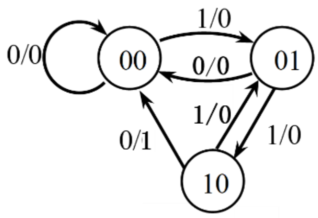
$J_1= Q_2' Q_0$　　　$K_1=Q_0'$

$J_2= Q_1Q_0$　　　$K_2=Q_0$

根据驱动方程与输出方程可绘制逻辑图如下：



13、某串行序列检测器，有一个输入端 X，一个输出端 Z,从 X 端输入一组按时间顺序排列的串行二进制码。当输入编码中依次出现 110 时，输出 Z 为 1，否则输出 Z 为 0。其状态图如下图所示。请用 JK 触发器，设计该序列检测器的同步时序电路。



序列检测器状态图

（1）列出状态转换真值表

（2）分别画出输出和触发器次态的卡诺图

（3）求出输出方程和次态方程

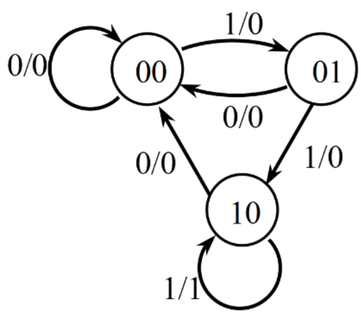
（4）求出激励方程。

（5）画出电路图。

（6）检查自启动。

答：参看第 14 题

14、 某串行序列检测器，有一个输入端 X，一个输出端 Z,从 X 端输入一组按时间顺序排列的串行二进制码。当输入编码中连续出现 3 个 1 时，输出 Z 为 1，否则输出 Z 为 0。其状态图如下图所示。请用 JK 触发器，设计该序列检测器的同步时序电路。



序列检测器状态图

（1）列出状态转换真值表

（2）分别画出输出和触发器次态的卡诺图

（3）求出输出方程和次态方程

（4）求出激励方程。

（5）画出电路图。

（6）检查自启动。

（1）根据状态转换图列出状态转换真值表如下：

x	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	×	×	×
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	×	×	×

（2）画出输出变量的卡诺图，并求出输出方程

输出 Y 的卡诺图如下：

X \ $Q_1^nQ_0^n$	00	01	11	10
0	0	0	×	0
1	0	0	×	1

Y 的卡诺图

得输出方程：$Y = XQ_1^n$

画出触发器次态的卡诺图，并求出次态方程

状态的卡诺图如下：

X \ $Q_1^nQ_0^n$	00	01	11	10
0	0	0	×	0
1	1	0	×	0

(a)　Q_0^{n+1} 的卡诺图

X \ $Q_1^nQ_0^n$	00	01	11	10
0	0	0	×	0
1	0	1	×	1

(b)　Q_1^{n+1} 的卡诺图

得状态方程：

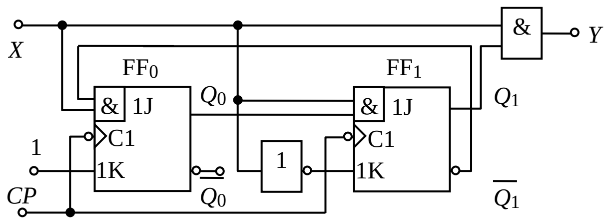
$$Q_0^{n+1} = X\overline{Q}_1^n\overline{Q}_0^n \qquad Q_1^{n+1} = XQ_0^n\overline{Q}_1^n + XQ_1^n$$

（4）求出激励方程

与 JK 触发器的特性方程 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$ 比较，得驱动方程：

$$\begin{cases} J_0 = X\overline{Q}_1^n & K_0 = 1 \\ J_1 = XQ_0^n & K_1 = \overline{X} \end{cases}$$

（5）画出电路图：



（6）检查电路能否自启动

将无效状态 11 代入输出方程和状态方程计算：$00 \xleftarrow{0/0} 11 \xrightarrow{1/1} 01$

所以电路能够自启动。