

数字逻辑练习题

一、单选题

1、用 8 位二进制数表示十进制数-14 的补码，其中最高位为符号位，则结果为_____。

A、00001110 B、11111110 C、11110010 D、01110010

2、用 8 位二进制数表示十进制数-0.625 的补码，其中最高位为符号位，则结果为_____。

A、11010000 B、10110000 C、01010000 D、00110000

3、任意相邻的两组编码之间仅有 1 位不同，其余各位均相同的编码是_____。

A、BCD B、CRC C、格雷码 D、ASCII

4、格雷码的编码规则是_____。

A、按照位权依次为 8421 的二进制编码

B、用二进制编码表示的十进制数

C、用 7 位二进制编码表示一个字符

D、任意相邻的两组编码之间仅有 1 位不同，其余各位均相同

5、十进制数 35 的 8421BCD 编码是_____。

A、00100011 B、00110101

C、01010011 D、00110010

6、8421BCD 编码是 00111001，则该编码对应的十进制数是_____。

A、57 B、39

C、75 D、93

7、当两个输入逻辑变量取值不同时输出为 1，相同时输出为 0。实现这样的逻辑电路是_____。

A、与门 B、或门 C、同或门 D、异或门

8、当两个输入逻辑变量取值不同时输出为 0，相同时输出为 1。实现这样的逻辑电路是_____。

A、与门 B、或门 C、同或门 D、异或门

9、下列等式中，不成立的是_____。

A、 $A + \overline{A}B = A + B$

B、 $BC + \overline{A}B + AC = BC + \overline{A}B$

C、 $(A+B)(A+C)=A+BC$

D、 $\overline{A \oplus B \oplus C} = A \odot B \odot C$

10、下列等式中，不成立的是_____。

A、 $\overline{AB} + B = \overline{A} + B$

B、 $\overline{AB} + \overline{AC} + \overline{BC} = \overline{AB} + \overline{AC}$

C、 $(A+B)(A+C)=A+BC$

D、 $\overline{A \odot B \odot C} = A \oplus B \oplus C$

11、函数 $F = \overline{(\overline{AB} + \overline{BC}) \oplus 0}$ 的反函数(\overline{F})为_____。

A、 $\overline{F} = \overline{(\overline{A} + B) \cdot (\overline{B} + C) \odot 1}$

B、 $\overline{F} = (\overline{A} + B) \cdot (\overline{B} + C) \odot 1$

C、 $\overline{F} = \overline{(\overline{A} + B) \cdot (\overline{B} + C) \oplus 1}$

D、 $\overline{F} = \overline{(\overline{A} + B + \overline{B} + C) \oplus 1}$

12、函数 $F = \overline{(\overline{AB} + \overline{BC}) \odot 1}$ 的反函数(\overline{F})为_____。

A、 $\overline{F} = \overline{(\overline{A} + B) \cdot (\overline{B} + C) \oplus 0}$

B、 $\overline{F} = (\overline{A} + B) \cdot (\overline{B} + C) \odot 0$

C、 $\overline{F} = \overline{(\overline{A} + B) \cdot (\overline{B} + C) \odot 0}$

D、 $\overline{F} = \overline{(\overline{A} + B + \overline{B} + C) \odot 0}$

13、关于最小项，下列描述不正确的是_____。

A、 3 个变量的逻辑函数有 8 个最大项

B、 对于任意一个最小项，只有一组变量的取值才能使其值为 1

C、 任意两个不同的最小项之积恒为 0

D、 n 个变量的全部最小项之和为 0

14、关于最大项，下列描述不正确的是_____。

A、 3 个变量的逻辑函数有 8 个最大项

B、 对于任意一个最大项，只有一组变量的取值才能使其值为 0

C、 任意两个不同的最大项的和恒等于 1

D、 n 个变量的所有最大项相与，结果为 1

15、在同一逻辑函数中，对于最大项 M_i 与最小项 m_i 之间的关系，下列说法错误

$$C、J = \overline{Q}, K = Q$$

$$D、J = K = 0$$

23、对于 JK 触发器，输入 $J=0$ 、 $K=1$ ，CP 脉冲作用后，触发器的 Q^{n+1} 应为 (A)。

$$A、0 \quad B、1 \quad C、Q^n \quad D、\overline{Q^n}$$

24、时序逻辑电路的特点是_____。

- A、输出由以前输入决定
- B、输出由当时输入决定
- C、输出由原来的输出决定
- D、输出由当时和以前的输入共同决定

二、填空题

1、十进制数 36 的二进制编码是_____

2、十进制数 36 的 8421BCD 码表示为_____

3、字长为 8 位，最高位为符号位，十进制数-14 的原码表示为_____、反码表示为_____、补码表示为_____

4、与普通二进制代码相比，格雷码最大优点是相邻两个代码之间有_____位发生变化。

5、同一逻辑函数中，对于最大项 M_i 与最小项 m_i 之间的关系有 $M_i \cdot m_i = \underline{\hspace{2cm}}$ 。
 $M_i + m_i = \underline{\hspace{2cm}}$

6、同一逻辑函数中，对于最小项 m_i 与 $m_j (i \neq j)$ 之间的关系有 $m_i \cdot m_j = \underline{\hspace{2cm}}$ 。
 对于最大项 M_i 与 $M_j (i \neq j)$ 之间的关系有 $M_i + M_j = \underline{\hspace{2cm}}$

7、三态门除了高电平、低电平两个状态外，还有第三个状态，这第三个状态常称为_____。

8、对于逻辑变量 A，当它和 1 异或运算时，结果为_____，当它与 0 异或运算，结果是_____，当它和 A 异或运算时，结果是_____，当它和 \overline{A} 异或运算时，结果是_____。

9、对于 JK 触发器，当 CP 脉冲有效期间，若 $J=K=0$ 时，触发器状态_____；若 $J = \overline{K}$ 时，触发器_____或_____；若 $J=K=1$ 时，触发器状态_____。

10、对于 JK 触发器，其特性方程是_____；

在 CP 脉冲有效时，若 $J = K = 0$ ，触发器状态_____；若 $J = 0, K = 1$ ，触发器_____；若 $J = 1, K = 0$ ，触发器_____；若 $J = K = 1$ 时，触发器状态_____。

11、在数据传输中，当要发送的信息码为 10110110 时，如果采用奇校验方式，其校验位 $P =$ _____；如果采用偶校验方式，其校验位 $P =$ _____。

三、问答题

1、数字逻辑电路按功能可分为哪两种类型？主要区别是什么？

答：根据数字逻辑电路有无记忆功能，可分为组合逻辑电路和时序逻辑电路两类。

组合逻辑电路：电路在任意时刻产生的稳定输出值仅取决于该时刻电路输入值的组合，而与电路过去的输入值无关。

时序逻辑电路：电路在任意时刻产生的稳定输出值不仅与该时刻电路的输入值有关，而且与电路过去的输入值有关。

2、时序电路按输出方式分为哪两种类型，有何区别？

答：时序电路按输出方式分为 Moore 和 Mealy 型两类。

区别是：Moore 时序电路的输出只与现态有关，mealy 时序电路的输出不仅与现态有关，而且与输入也有关。

3、应用逻辑代数运算法则化简下式：

$$F = BC + D + \overline{D} \cdot (\overline{B} + \overline{C}) \cdot (AC + B)$$

答：

$$\begin{aligned} F &= BC + D + \overline{D} \cdot (\overline{B} + \overline{C}) \cdot (AC + B) \\ &= BC + D + (\overline{B} + \overline{C})(AC + B) \\ &= BC + D + \overline{BC}(AC + B) \\ &= BC + D + AC + B \\ &= B + D + AC \end{aligned}$$

4、应用逻辑代数运算法则化简下式：

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + \overline{A}BC$$

答：

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + A\overline{B}C + A\overline{B}\overline{C} + ABC \\ = \overline{A}\overline{B} + \overline{A}C + \overline{B}C + \overline{A}BC = \overline{A}(\overline{B} + C) + \overline{B}C + \overline{A}BC = \overline{A}\overline{B}C + \overline{B}C + \overline{A}BC = \overline{A} + \overline{B}C$$

5、应用逻辑代数运算法则证明 $\overline{AB + AC} + \overline{A + B} = A + \overline{C}$

6、应用逻辑代数运算法则证明 $\overline{\overline{A + B} \overline{A + C}} + \overline{\overline{A + C}} = A + B$

7、应用逻辑代数运算法则证明 $\overline{A}(C \oplus D) + \overline{B}CD + A\overline{C}\overline{D} + A\overline{B}\overline{C}D = C \oplus D$

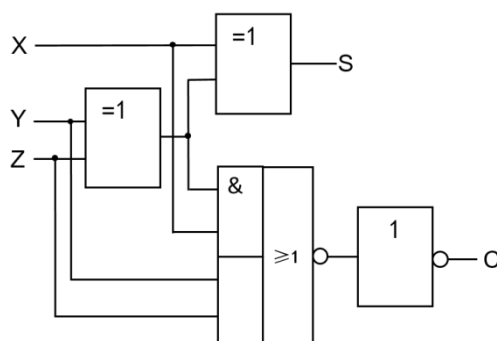
8、用卡诺图化简函数 $F(A,B,C,D) = \sum m(0,2,6,8,12,14) + \sum d(4,9,10)$ 为最简与或表达式

9、用卡诺图化简函数 $F(A,B,C,D) = \sum m(0,2,6,8,10) + \sum d(4,5,14)$ 为最简与或表达式

四、分析题

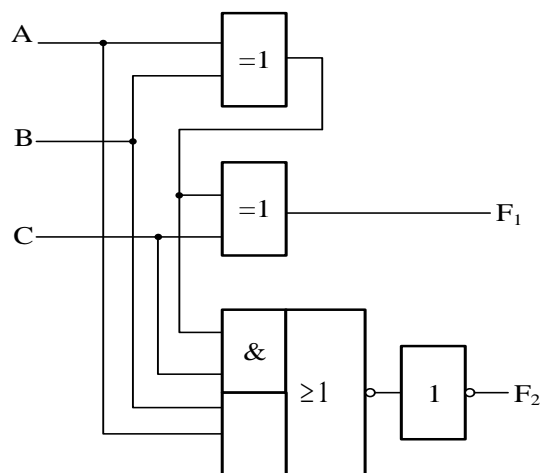
1、请分析下图的逻辑功能。

- (1) 写出 S 和 C 的逻辑函数表达式。
- (2) 列出真值表。
- (3) 说明该电路的功能。



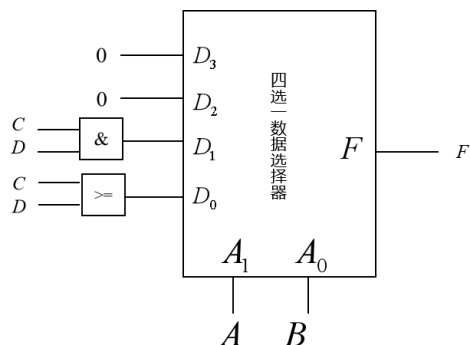
2、请分析下图的逻辑功能。

- (4) 写出 F1 和 F2 的逻辑函数表达式。
- (5) 列出真值表。
- (6) 写出该电路的功能。



下图为一个四选一数据选择器。

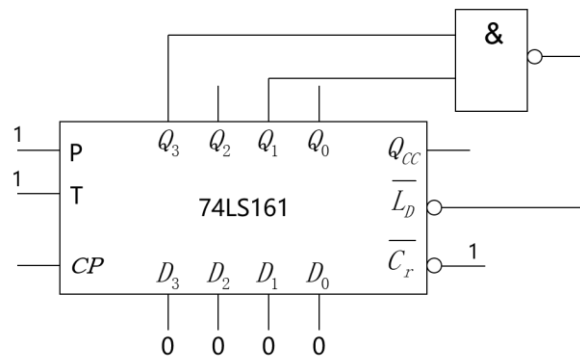
- 1) 请写出下图中输出 F 与输入 A 、 B 、 C 、 D 之间的逻辑函数表达式。
- 2) 列出真值表
- 3) 若输入变量为四名毕业答辩专家，输入变量的值为 1 时表示该位专家同意通过，值为 0 时表示该位专家不同意通过。输出变量的值为 1 时表示该答辩通过，值为 0 时表示该答辩不通过。则该电路表达的答辩规则是什么？



3、用集成 4 位二进制同步加法计数器 74LS161 构成的 N 进制计数器如下图所示，

其中 $\overline{L_d}$ 为同步置数控制端。

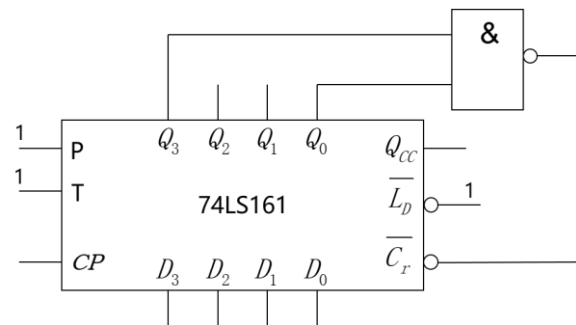
- (1) 写出置数控制端 $\overline{L_d}$ 的逻辑表达式
- (2) 画出该计数器的状态转换图
- (3) 该计数器的模 N 是多少？如果希望构成十进制计数器，电路将如何修改？



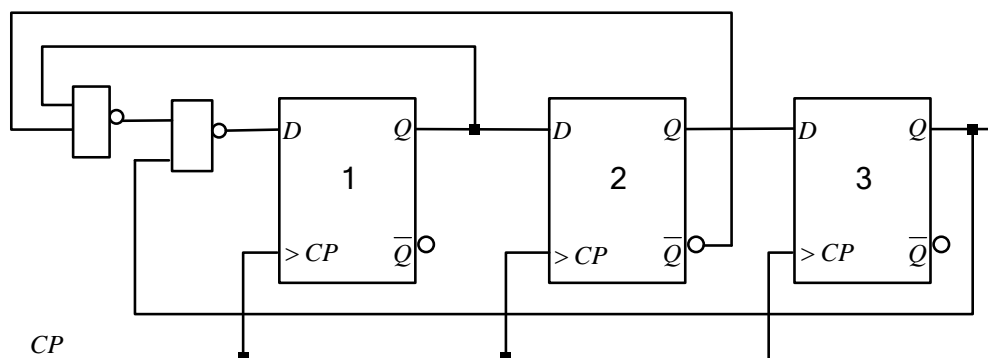
4、用集成 4 位二进制同步加法计数器 74LS161 构成的 N 进制计数器如下图所示，

其中 $\overline{C_r}$ 为异步清零控制端。

- (1) 写出清零控制端 $\overline{C_r}$ 的逻辑表达式
- (2) 画出该计数器的状态转换图
- (3) 该计数器的模 N 是多少？如果希望构成十进制，将如何修改？

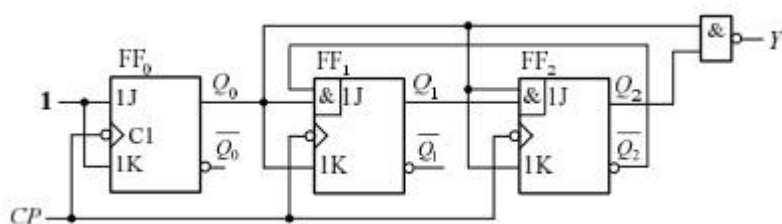


5、时序逻辑电路的分析。



- (1) 写出电路的时钟方程。
- (2) 写出电路的驱动（激励）方程。
- (3) 写出电路的状态方程。
- (4) 写出电路的状态转换图（注意完整性）。
- (5) 描述该电路的逻辑功能，并判断是否能自启动。

6、试分析如图所示同步时序逻辑电路，并写出分析过程。



解：（1）写出驱动方程输出方程

$$J_0 = K_0 = 1$$

$$J_1 = Q_2^n Q_0^n, K_1 = Q_0^n$$

$$J_2 = Q_2^n Q_0^n, K_2 = Q_0^n$$

$$Y = Q_2^n Q_0^n$$

（2）写出状态方程

$$Q_0^{n+1} = \overline{Q_0^n}$$

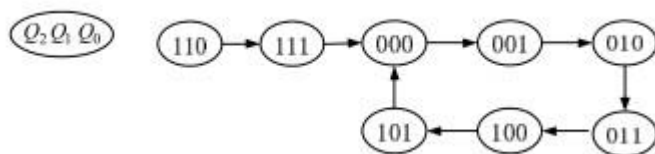
$$Q_1^{n+1} = Q_2^n Q_0^n Q_1^n + Q_1^n \overline{Q_0^n}$$

$$Q_2^{n+1} = Q_2^n Q_1^n Q_0^n + Q_2^n \overline{Q_0^n}$$

（3）列出状态转换真值表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1	1	0	0	1	0	1
0	0	1	0	1	0	1	0	1	0	0	0
0	1	0	0	1	1	1	1	0	1	1	1
0	1	1	1	0	0	1	1	1	0	0	0

（4）画出状态转换图



（5）逻辑功能

同步六进制加法计数器

（6）自启动校验

因为：当现态为 110 时，次态为 111，当现态为 111 时，次态为 000，电路能够回到有效的循环重，所以，可以自启动

7、一时序逻辑电路如下图所示：

解：（1）写方程式：

异步时序电路，时钟方程： $CP_2 = Q_1$, $CP_1 = Q_0$, $CP_0 = CP$ 。

驱动方程： $D_2 = \overline{Q_2}^n$, $D_1 = \overline{Q_1}^n$, $D_0 = \overline{Q_0}^n$

（2）求状态方程：D 触发器的特性方程： $Q^{n+1} = D$ 将各触发器的驱动方程代

入，即得电路的状态方程：

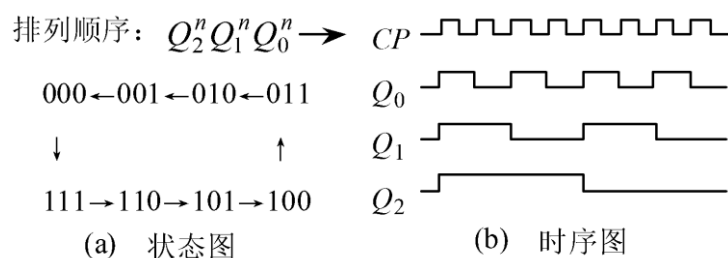
$$\begin{cases} Q_2^{n+1} = D_2 = \overline{Q_2}^n & Q_1 \text{ 上升沿时刻有效} \\ Q_1^{n+1} = D_1 = \overline{Q_1}^n & Q_0 \text{ 上升沿时刻有效} \\ Q_0^{n+1} = D_0 = \overline{Q_0}^n & CP \text{ 上升沿时刻有效} \end{cases}$$

（3）计算、列状态表：

现 态	次 态	注
$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	时钟条件
0 0 0	1 1 1	$CP_0 CP_1 CP_2$
0 0 1	0 0 0	CP_0
0 1 0	0 0 1	$CP_0 CP_1$
0 1 1	0 1 0	CP_0
1 0 0	0 1 1	$CP_0 CP_1 CP_2$
1 0 1	1 0 0	CP_0
1 1 0	1 0 1	$CP_0 CP_1$
1 1 1	1 1 0	CP_0

（4）画状态图、时序图：

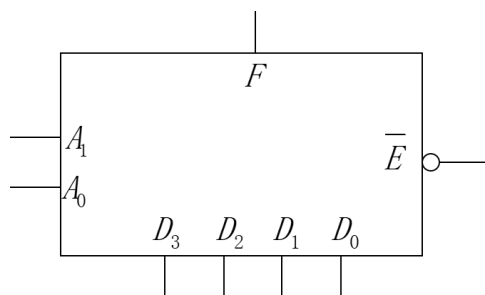
$$\begin{cases} Q_2^{n+1} = \overline{Q_2}^n & Q_1 \uparrow \\ Q_1^{n+1} = \overline{Q_1}^n & Q_0 \uparrow \\ Q_0^{n+1} = \overline{Q_0}^n & CP \uparrow \end{cases} \begin{cases} Q_2^{n+1} = 1 \text{ 不变} \\ Q_1^{n+1} = 1 \text{ 不变} \\ Q_0^{n+1} = \overline{1} = 0, CP \uparrow \end{cases}$$



（5）电路功能：由状态图可以看出，在时钟脉冲 CP 的作用下，电路的 8 个状态按递减规律循环变化，即：000→111→110→101→100→011→010→001→000→... 电路具有递减计数功能，是一个 3 位二进制异步减法计数器。

五、综合设计题

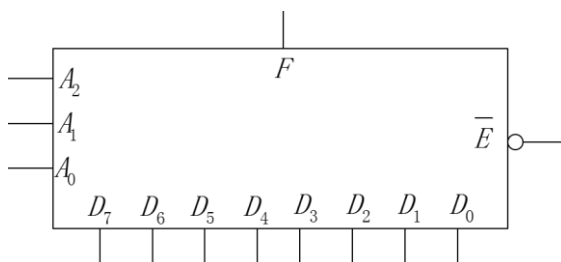
1、某 4 选 1 数据选择器如下图所示：



请用该数据选择器实现下列逻辑函数：

$$F(A, B, C) = \bar{A}C + B\bar{C}$$

2、某 8 选 1 数据选择器如下图所示：



3、请用该数据选择器实现下列逻辑函数：

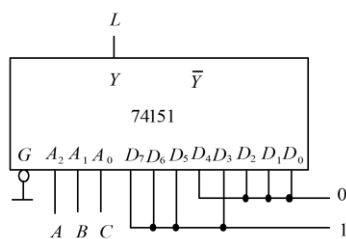
$$F(A, B, C) = \bar{A}C + B\bar{C}$$

用八选一数据选择器 74LS151 实现下列逻辑函数： $L = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$

解：（1）将逻辑函数转换成最小项表达式： $L = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$

$$= m_3 + m_5 + m_6 + m_7$$

（2）画出连线图。

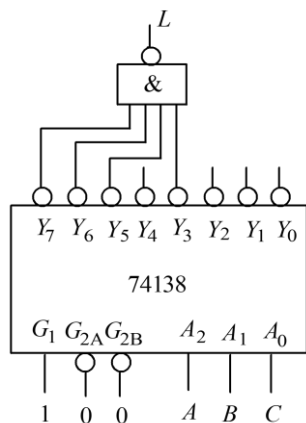


4、用译码器 74LS138 和门电路实现逻辑函数： $L = AB + BC + AC$

解：将逻辑函数转换成最小项表达式，再转换成与非—与非形式。

$$L = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC = m_3 + m_5 + m_6 + m_7 = \overline{m_3 \cdot m_5 \cdot m_6 \cdot m_7}$$

用一片 74138 加一个与非门就可实现该逻辑函数。如下图所示：



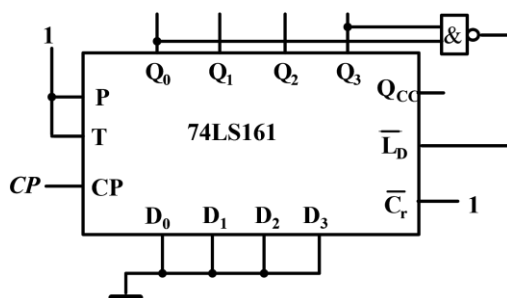
5、用 74LS161 计数器，采用同步置数归零法构成十进制计数器。

解：当 74LS161 计数到 $Q_3Q_2Q_1Q_0=1001$ 时，使 $\overline{L_d} = 0$ ，为置数创造了条件。当下一个计数脉冲一到，各置数端数据立即送到输出端，预置数端 $D_3D_2D_1D_0=0000$ 。

即置数条件为 $\overline{L_d} = \overline{Q_3Q_2Q_1Q_0}$ ，

$$\begin{aligned}
 &Q_3Q_2Q_1Q_0=1001 \\
 &\quad \downarrow \\
 &\overline{L_d} = \overline{Q_3Q_2Q_1Q_0} \\
 &\quad \downarrow \\
 &Q_3Q_2Q_1Q_0=0000
 \end{aligned}$$

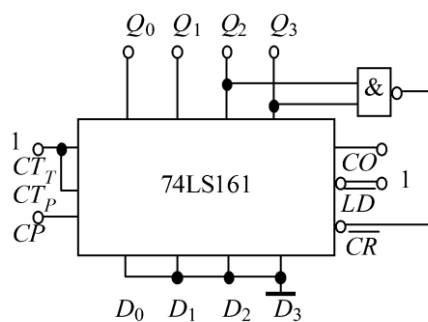
电路如图所示：



6、用 74LS161 计数器，采用异步清零法构成一个十二进制计数器。

答：异步清零就是当 74LS161 计数到 $Q_3Q_2Q_1Q_0=1100$ 时，即刻使 $\overline{C_r} = 0$ ，

即清零条件为 $\overline{C_r} = \overline{Q_3Q_2}$ ，（说明： $D_0 \sim D_3$ 可以接地，也可以不接。）



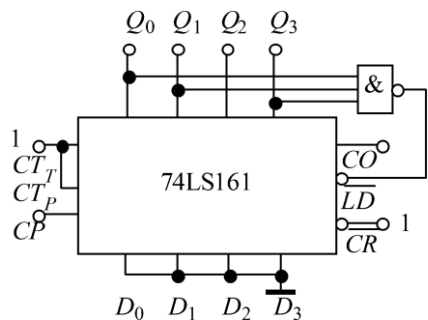
(a) 用异步清零端 \overline{CR} 归零

7、用 74LS161 计数器，采用同步置数法构成一个十二进制计数器。

答：同步置数法就是当 74LS161 计数到 $Q_3Q_2Q_1Q_0=1011$ 时，使 $\overline{LD}=0$ 有效，当下

一个时钟有效时，将 $Q_3Q_2Q_1Q_0$ 置成 0000，因此，置数条件为 $\overline{LD}=\overline{Q_3Q_2Q_1Q_0}$

其电路图如图所示：



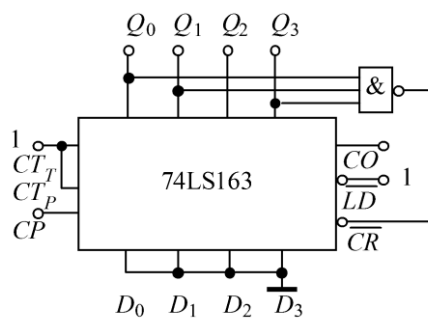
(b) 用同步置数端 \overline{LD} 归零

8、用 74LS163 构成一个十二进制计数器。

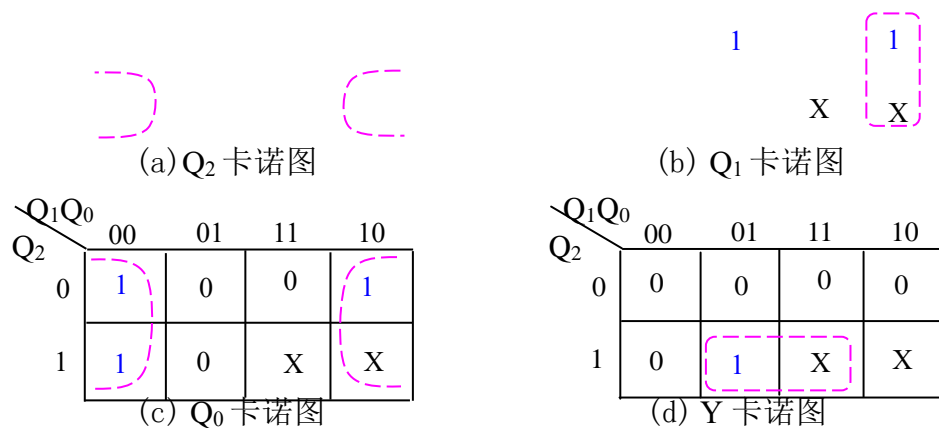
解：（1）写出状态 S_{N-1} 的二进制代码。 $S_{N-1}=S_{12-1}=S_{11}=1011$

（2）求归零逻辑 $\overline{CR}=\overline{LD}=\overline{P_{N-1}}=\overline{P_{11}}, P_{N-1}=P_{11}=Q_3Q_1Q_0$

（3）画连线图。同步清零法实现如图（a）所示，同步置数法实现如图（b）所示。



(a) 用同步清零端 \overline{CR} 归零



由卡诺图化简即写出状态方程如下：

$$Q_0^* = Q_0'$$

$$Q_1^* = Q_2'Q_0Q_1 + Q_0'Q_1$$

$$Q_2^* = Q_1Q_0Q_2' + Q_0'Q_2$$

输出方程：F = Q_0Q_2

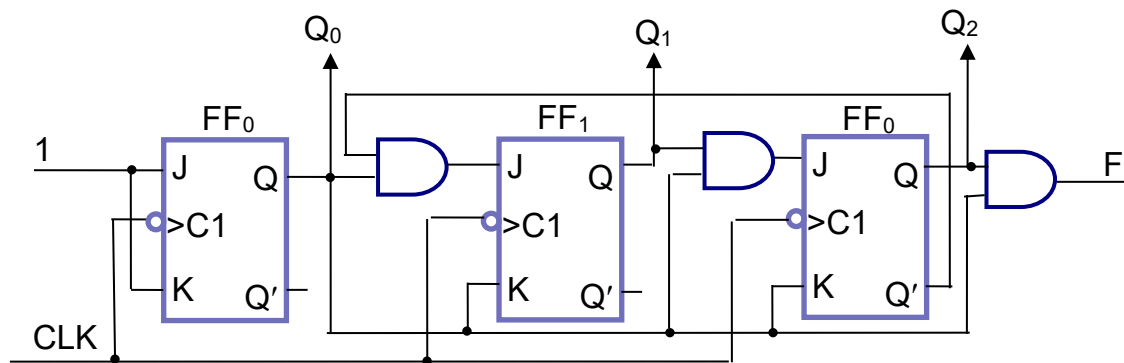
将状态方程与 JK 触发器特性方程 $Q^* = JQ' + K'Q$ 对比可得

$$J_0 = K_0 = 1$$

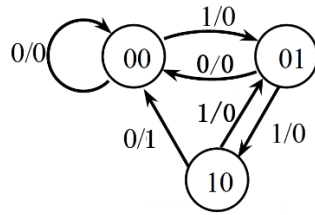
$$J_1 = Q_2'Q_0 \quad K_1 = Q_0'$$

$$J_2 = Q_1Q_0 \quad K_2 = Q_0$$

根据驱动方程与输出方程可绘制逻辑图如下：



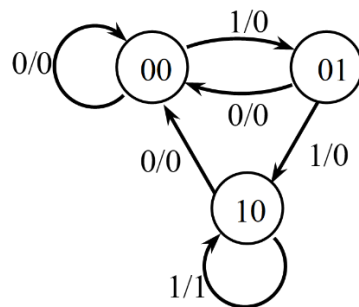
13、某串行序列检测器，有一个输入端 X，一个输出端 Z，从 X 端输入一组按时间顺序排列的串行二进制码。当输入编码中依次出现 110 时，输出 Z 为 1，否则输出 Z 为 0。其状态图如下图所示。请用 JK 触发器，设计该序列检测器的同步时序电路。



序列检测器状态图

- (1) 列出状态转换真值表
- (2) 分别画出输出和触发器次态的卡诺图
- (3) 求出输出方程和次态方程
- (4) 求出激励方程。
- (5) 画出电路图。
- (6) 检查自启动。

14、 某串行序列检测器，有一个输入端 X ，一个输出端 Z ，从 X 端输入一组按时间顺序排列的串行二进制码。当输入编码中连续出现 3 个 1 时，输出 Z 为 1，否则输出 Z 为 0。其状态图如下图所示。请用 JK 触发器，设计该序列检测器的同步时序电路。



序列检测器状态图

- (1) 列出状态转换真值表
- (2) 分别画出输出和触发器次态的卡诺图
- (3) 求出输出方程和次态方程
- (4) 求出激励方程。
- (5) 画出电路图。
- (6) 检查自启动。