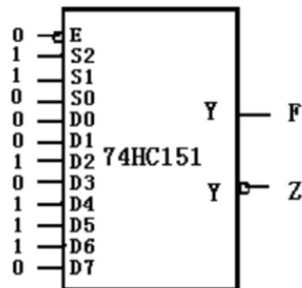


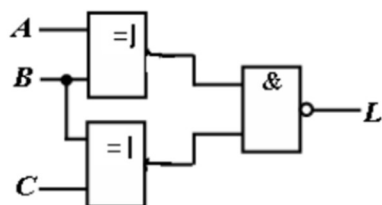
题 号	一	二	三	四	五	六	七	总分
得 分								
阅卷人								

1、(3分) $(268.5)_D = \underline{(100001100.1)}_B = \underline{(001001101000.0101)}_{8421BCD}$ 。

2、(3分) 8选1数据选择器74HC151各输入端信号如下图所示，其输出 $F = \underline{1}$ 。



- 3、(3 分) 一个存储容量为 $4K \times 4$ 的存储系统有 2^{14} 个存储单元，若存储器的起始地址为全 0，则该存储系统的最高地址的十六进制地址码为 3FFFH。
- 4、(3 分) 某单极性输出的 8 位 D/A 转换器正常工作，当输入数字量为 $(10101010)_B$ 时，其输出电压为 3.4V，当输入数字量为 $(10101100)_B$ 时，其输出电压为 3.44 V。
- 5、(2 分) 如下图所示的逻辑电路，其输出逻辑函数表达式 L 为 $\overline{(A \oplus B) \cdot (B \oplus C)}$ 。

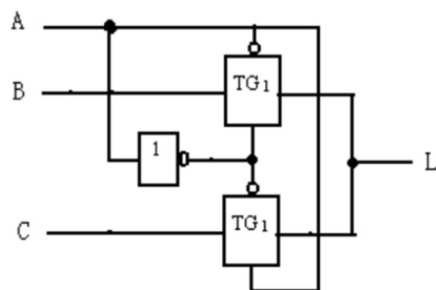


6、(3 分) 已知二进制数 $A = (-1011110)_B$, 则 $A_{原} = \underline{11011110}$, $A_{反} = \underline{10100001}$, $A_{补} = \underline{10100010}$ 。

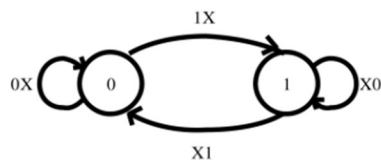
7、(3 分) A/D 转换器一般要经过 采样、保持、量化和 编码 这 4 个转换过程。采样时需满足采样定理, 即 $f_s \geq 2f_{i\max}$ 。

(采样定理 1 分, 其余各 0.5 分)

8、(3 分) 由传输门构成的电路如下图所示, 输出 $L = \underline{\bar{A}B + AC}$ 。



9、(2 分) 某触发器状态图如下图所示, 则该触发器为 JK 触发器。



10、(2 分) 4 位移位寄存器的现态从左到右为 1011, 现处于右移工作状态。当右移串行输入 D_1 分别为 0 或 1 时, 1 个 CP 之后, 移位寄存器的次态分别为 0101 或 1101。

11、(3 分) 某 PLD 电路如图所示, 其输出逻辑函数 $Y = \underline{A\bar{B}C + ABC + \bar{A}BC}$,

$$Z = \underline{ABC + \bar{A}BC + A\bar{B}}$$

考 试 日 期

学 号

课 程 号

数 字 电 子 技 术

课 程 名 称

姓 名

学 号

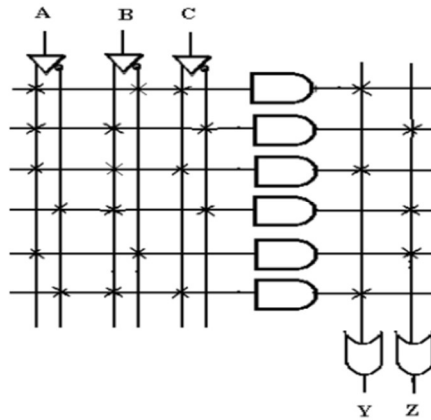
课 程 号

年 级

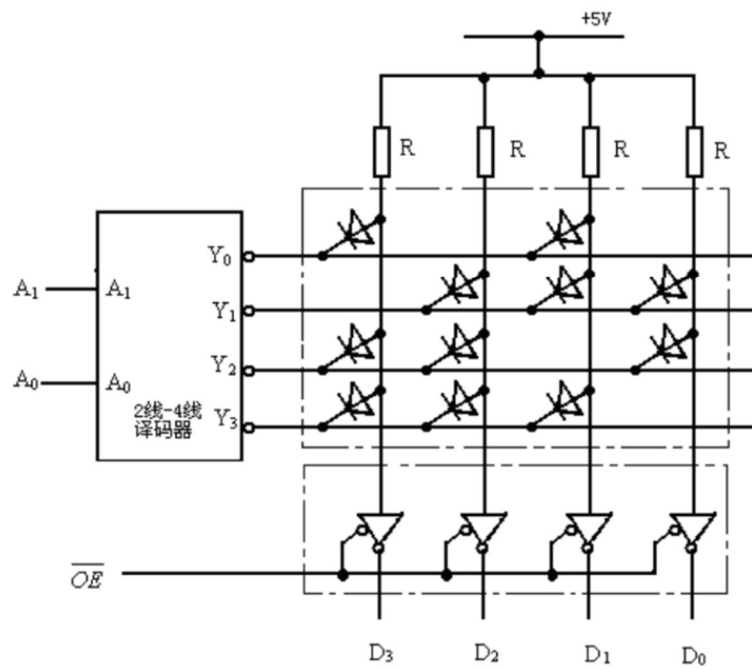
业

专

密 封 线



12、(4 分) 如图所示 ROM, 有 2 条地址线, 4 条数据线, 当 $\overline{OE} = 0$, 输入地址 $A_1A_0=01$ 时, 输出 $D_3D_2D_1D_0=$ 0111。
(分别 1 分, 1 分, 2 分)



二、用卡诺图法将下列逻辑函数化简为最简与或式 (10 分)

$$F(A, B, C, D) = \sum m(0, 2, 5, 9, 15) + \sum d(6, 7, 8, 10, 12, 13)$$

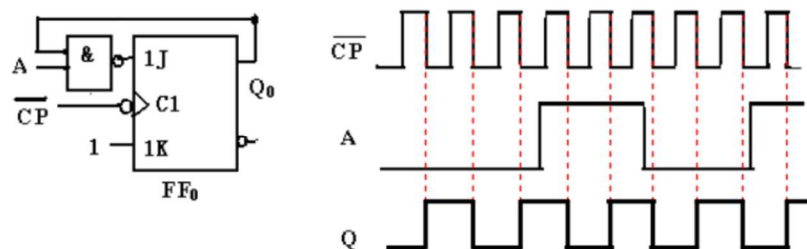
解:

CD \ AB	00	01	11	10
00	1	0	0	1
01	0	1	×	×
11	×	×	1	0
10	×	1	0	1

$$F = BD + AC + \overline{BD}$$

卡诺图 4 分, 化简 6 分

三、(6 分) 时序电路及输入波形如图所示, 写出其激励方程和状态方程, 并画出输出 Q 端的波形。设触发器初态为“0”。



解: (1) 激励方程: $J = \overline{AQ}$, $K = 1$ 2 分

(2) 状态方程: $Q^{n+1} = J\overline{Q}^n + KQ^n = \overline{AQ}^n \cdot \overline{Q}^n + Q^n = \overline{Q}^n$ 1 分

波形图 3 分

四、(12 分) 试用一片 3-8 线译码器 74HC138 和与非门设计一个 3 位奇偶校验器。即当 3 位数中有奇数个 1 时, 输出为 1, 否则, 输出为 0。

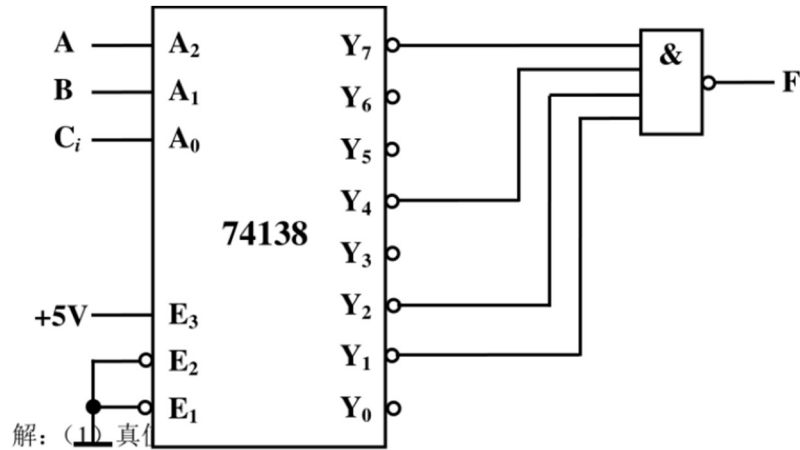
课程名称
数字电子技术
课程号
教学班
学号
姓名
日期
专业
年级
年

密
封
线

(1) 列出真值表; 4分

(2) 写出逻辑函数的最小项式; 2分

(3) 用74HC151实现该电路。 6分



解: (1) 真值

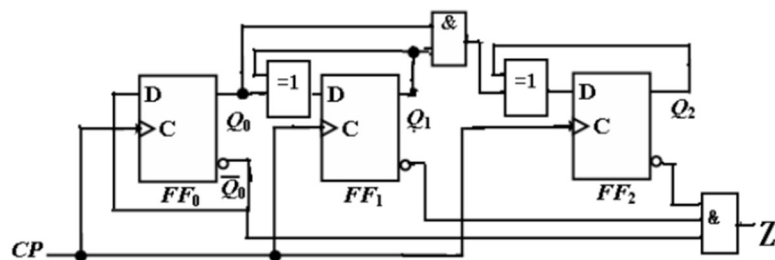
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

(2) 逻辑函数的最小项表达式:

$$\begin{aligned}
 F &= \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC \\
 &= m_1 + m_2 + m_4 + m_7 \\
 &= \overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7} \\
 &= Y_1 \cdot Y_2 \cdot Y_4 \cdot Y_7
 \end{aligned}$$

(3) 电路图如上图所示。

五、(20 分) 分析下图所示的时序逻辑电路，写出其激励方程、状态方程和输出方程，画出其状态转换表、状态转换图，说明电路实现的逻辑功能。



解：(1) 激励方程：

3 分

$$D_0 = \overline{Q_0}$$

$$D_1 = Q_0 \oplus Q_1$$

$$D_2 = (Q_0 Q_1) \oplus Q_2$$

(2) 状态方程：D 触发器的特性方程为： $Q^{n+1} = D$ ，则：

3 分

$$Q_0^{n+1} = D_0 = \overline{Q_0^n}$$

$$Q_1^{n+1} = D_1 = Q_0^n \oplus Q_1^n$$

$$Q_2^{n+1} = D_2 = (Q_0^n Q_1^n) \oplus Q_2^n$$

(3) 输出方程： $Z = \overline{Q_0} Q_1 \overline{Q_2}$

2 分

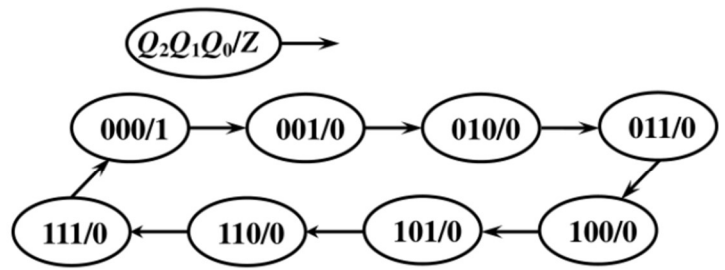
(4) 计算、列状态表：

5 分

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	1	1
0	0	1	0	1	0	0

0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	0

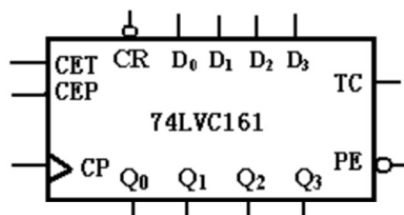
(5) 画状态图: 5 分



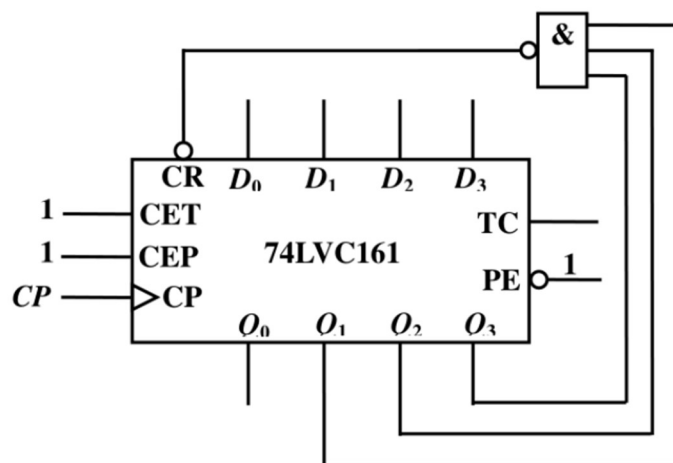
(6) 该电路的功能是同步 3 位二进制加计数器，Z 为进位。 2 分

六、(10 分) 试用 4 位同步二进制加计数器 74HTC161 构成同步七进制计数器，并画出该七进制计数器状态图。

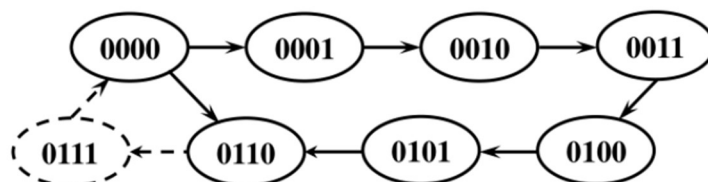
74LVC161 的符号：
(注：D₃、Q₃ 为高位，D₀、Q₀ 为低位。)



解：采用反馈清零法实现，接线图如下图所示。



7 分



3 分

七、（8 分）由 555 定时器构成的电路如下图所示。试问：

(1) 该电路是什么电路？

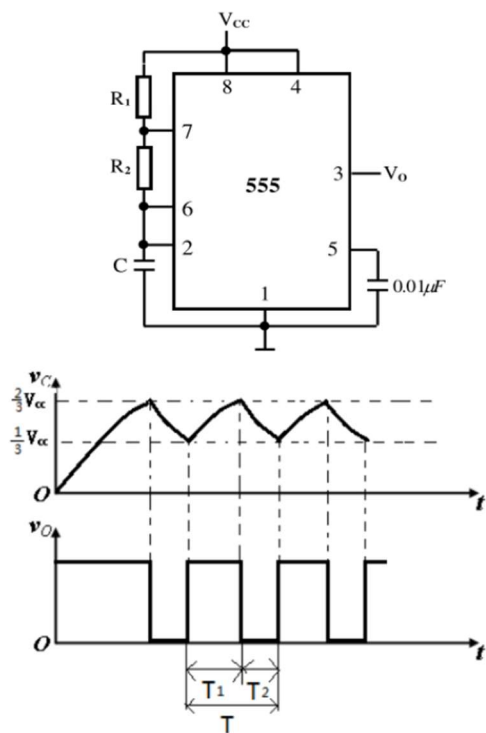
2 分

(2) 若 $R_1 = 1K\Omega$, $R_2 = 2K\Omega$, $C = 0.2\mu F$, 计算电路的振荡器频率及占空比。

3 分

(3)画出 v_c 及 v_o 的工作波形图。

3 分



解：(1) 该电路为由 555 定时器构成的多谐振荡器；

(2) 因为 $t_{pL}=R_2C\ln 2\approx 0.7R_2C$, $t_{pH}=(R_1+R_2)C\ln 2\approx 0.7(R_1+R_2)C$, 则振荡

$$\text{周期为: } f = \frac{1}{t_{pL} + t_{pH}} \approx \frac{1.43}{(R_1 + 2R_2)C} \approx 1.43\text{kHz}$$

$$\text{占空比为: } q(\%) = \frac{t_{pH}}{t_{pL} + t_{pH}} \times 100\% = 60\% ;$$

附 1: 集成同步 4 位二进制加计数器 74LVC161 功能表

输入					输出				
清零 \overline{CR}	预置 \overline{PE}	使能 CEP CET	时钟 CP	预置数据输入 D ₃ D ₂ D ₁ D ₀	Q ₃ Q ₂ Q ₁ Q ₀	进位 TC			
L	×	×	×	×	L L L L	L			
H	L	×	↑	D ₃ [*] D ₂ [*] D ₁ [*] D ₀ [*]	D ₃ D ₂ D ₁ D ₀	#			
H	H	L	×	×	保持	#			

H	H	×	L	×	×	×	×	×	保持	L
H	H	H	H	↑	×	×	×	×	计数	#

注：D_N^{*}表示 CP 脉冲上升沿之前瞬间 D_N 的电平，#表示只有当 CET 为高电平且计数器状态为 HHHH 时输出为高电平，其余均为低电平。

附 2：集成译码器 74HC138 功能表

输入						输出							
E ₃	$\overline{E_2}$	$\overline{E_1}$	A ₂	A ₁	A ₀	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
×	H	×	×	×	×	H	H	H	H	H	H	H	H
×	×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

附 3：集成数据选择器 74HC151 的功能表

输入				输出	
使能 \overline{E}	选择 S ₂ S ₁ S ₀			Y	\overline{Y}
H	×	×	×	L	H
L	L	L	L	D ₀	$\overline{D_0}$
L	L	L	H	D ₁	$\overline{D_1}$
L	L	H	L	D ₂	$\overline{D_2}$
L	L	H	H	D ₃	$\overline{D_3}$
L	H	L	L	D ₄	$\overline{D_4}$
L	H	L	H	D ₅	$\overline{D_5}$
L	H	H	L	D ₆	$\overline{D_6}$
L	H	H	H	D ₇	$\overline{D_7}$