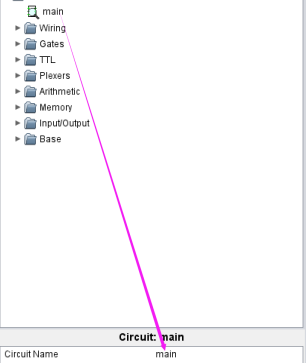
实验报告二 数据选择器与译码器

|  |  |  |  |
| --- | --- | --- | --- |
| 姓名 | 王磊 | 学号 | 202231060435 |
| 专业 | 计算机科学与技术 | 年级 | 2022级 |

1. 用38译码器实现全加器。
2. 74LS138译码器的3个地址输入端A2~A0以及8个输出端/Y0-/Y7之间的关系是怎样的？由于Logisim软件下Plexer---Decoder的输入和输出均为正逻辑，故与74LS138不同。请同学们先设计一个74LS138再使用它来设计全加器。参考步骤：

Step1：打开Logisim，双击main，确保是在main里设计电路。

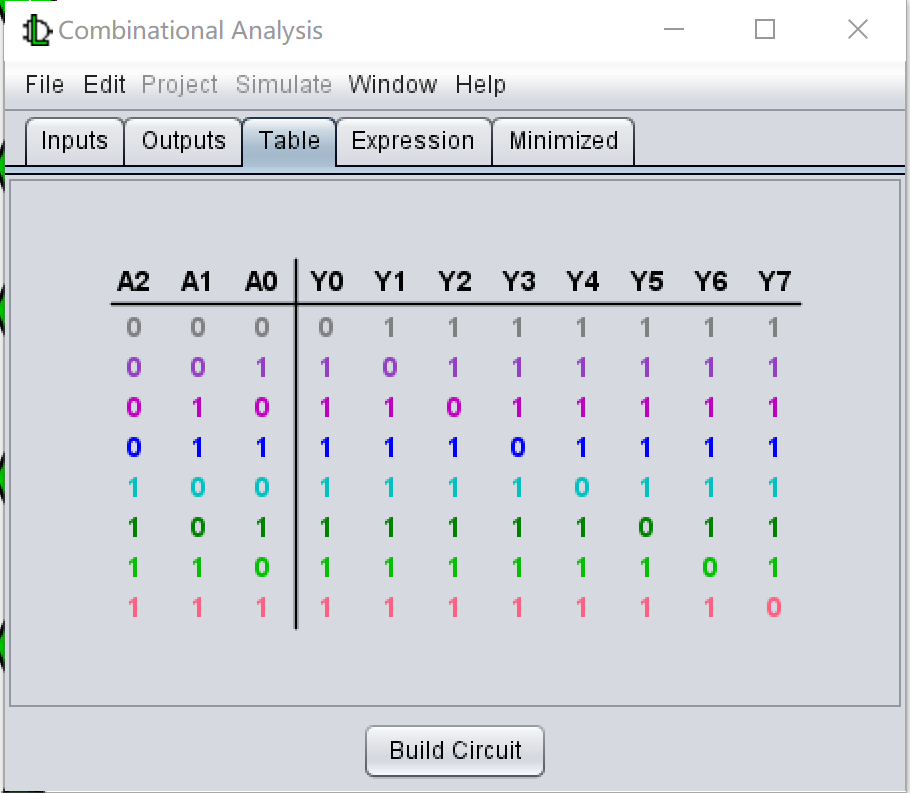
Step2：如下图所以，在Circuit name里将电路名称修改为38Decoder。



**图1 修改电路名称**

Step3：在电路中添加3个输入端和8个输出端，分别命名为A2~A0以及/Y7~/Y0。

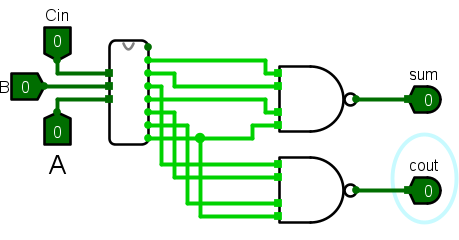
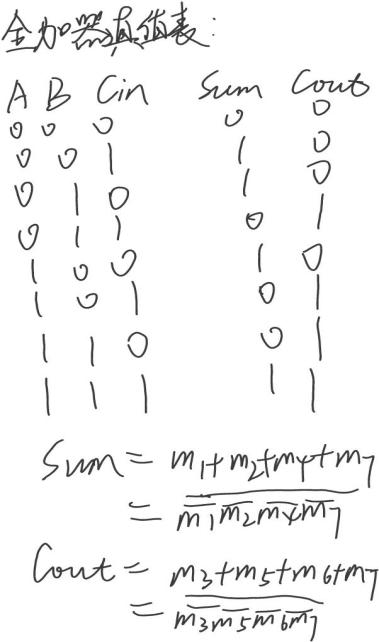
Step4：在Project下点击Analyze circuit。在Table里设置真值表的值后，点击Build circuit。就能生成38译码器电路。



**图2 38译码器的真值表**

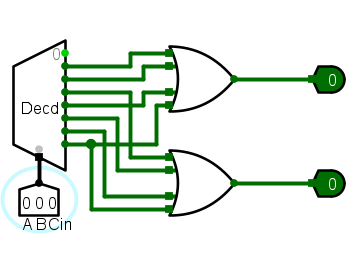
2. 如何利用74LS138设计一个全加器？请给出计算过程以及设计图。

Step1：在与38Decoder的同路径下，新建一个FullAdder\_Decorder.circ，将之前建立的Decorder38拖入FullAdder\_Decorder.circ。若此步骤有问题，请在QQ群@我。



**图1 计算过程**  **图2 74LS138设计的全加器**

1. 若采用logisim中的Plexers下的Decoder来设计全加器，与“2”有什么不同？



**图3 Plexers下的Decoder设计的全加器**

Plexers中的译码器为正逻辑的三八译码器，其真值表为

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | B | Cin | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

表达式为sum = m1+m2+m4+m7,cout = m3+m5+m6+m7

1. 用数据选择器实现全加器。

请利用logisim中Plexers下的Multiplexer作答。该Multiplexer既可以设置为八选一也可以设置为四选一。

1. 八选一数据选择器的基本原理是什么？

**八选一数据选择器的基本原理是通过控制输入端的信号,选择其中一个输入与输出相连。**在八个输入端中,只有一个输入端能够与输出端相连,其他七个输入端与输出端断开。

1. 输入端：通常有八个输入端（A0-A7），每个输入端都连接着一个输入信号。

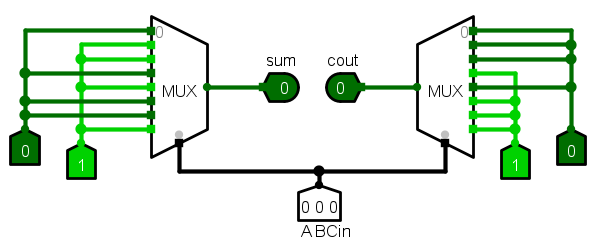
2. 输出端：有一个输出端（Y），输出选择器选择的输入信号将会传递到该输出端。

3. 选择信号：有三个控制输入端（S0、S1、S2），它们确定要传输到输出端的输入端。这些信号以二进制形式编码，共有八种可能的组合，对应着八个输入端的选择情况。

4. 逻辑门实现：内部有一组逻辑门实现选择功能。根据选择信号的不同组合，只有一个输入信号会被选择传递到输出端。

1. 如何利用八选一选择器设计一个全加器？请给出计算过程以及设计图。

由真值表可得sum(A,B,Cin) = m1+m2+m4+m7,cout(A,B,Cin) = m3+m5+m6+m7



**图4 八选一选择器组成的全加器**

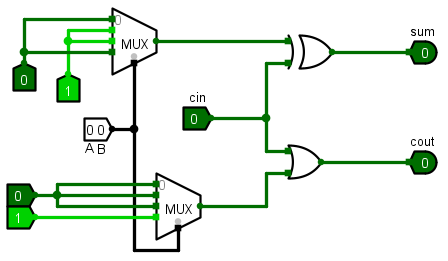
该处利用两个八选一选择器设计全加器，左边的实现输出sum值，右侧实现输出进位cout的值

1. 若改为四选一数据选择器设计一个全加器，该怎么设计？

由于四选一的控制端为两位输入，所以先用两个四选一选择器设计一个半加器，然后再利用和半加器和进位cin的关系设计一个全加器。

四选一选择器的表达式：sum0=m1+m2,cout0=m3;

全加器:sum=cin^sum0,cout=cin+cout0;



**图5 四选一选择器组成的全加器**