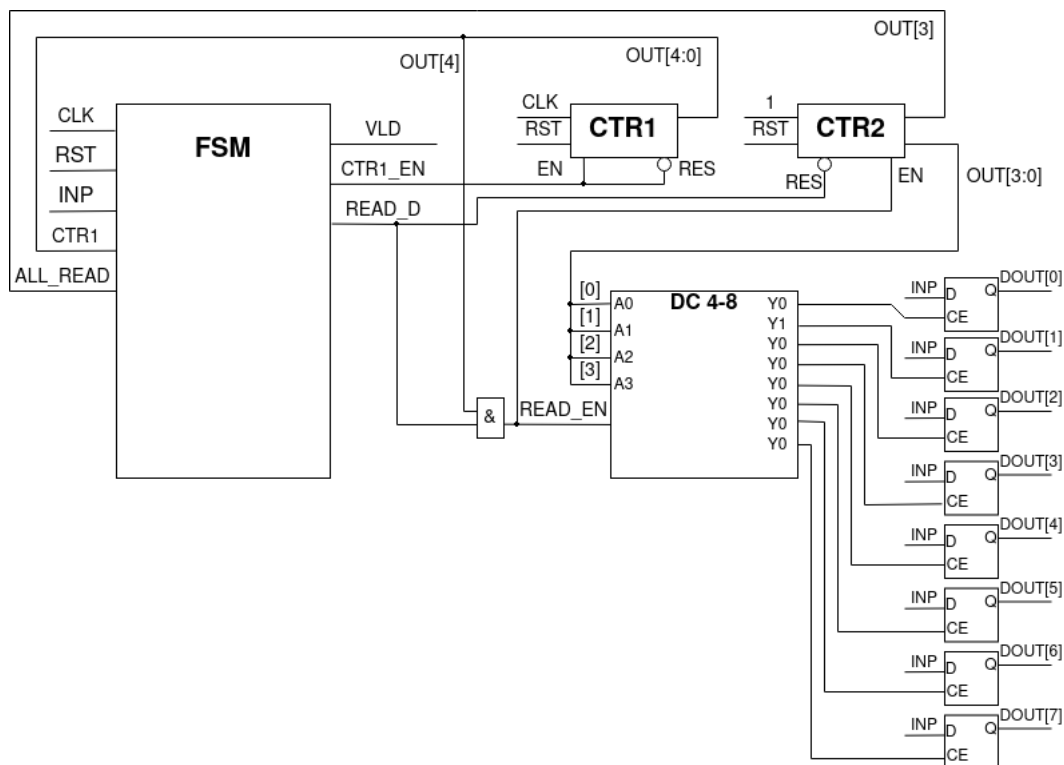


Příloha: Výstupní zpráva

Jméno: János László Vasík
Login: xvasik05

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

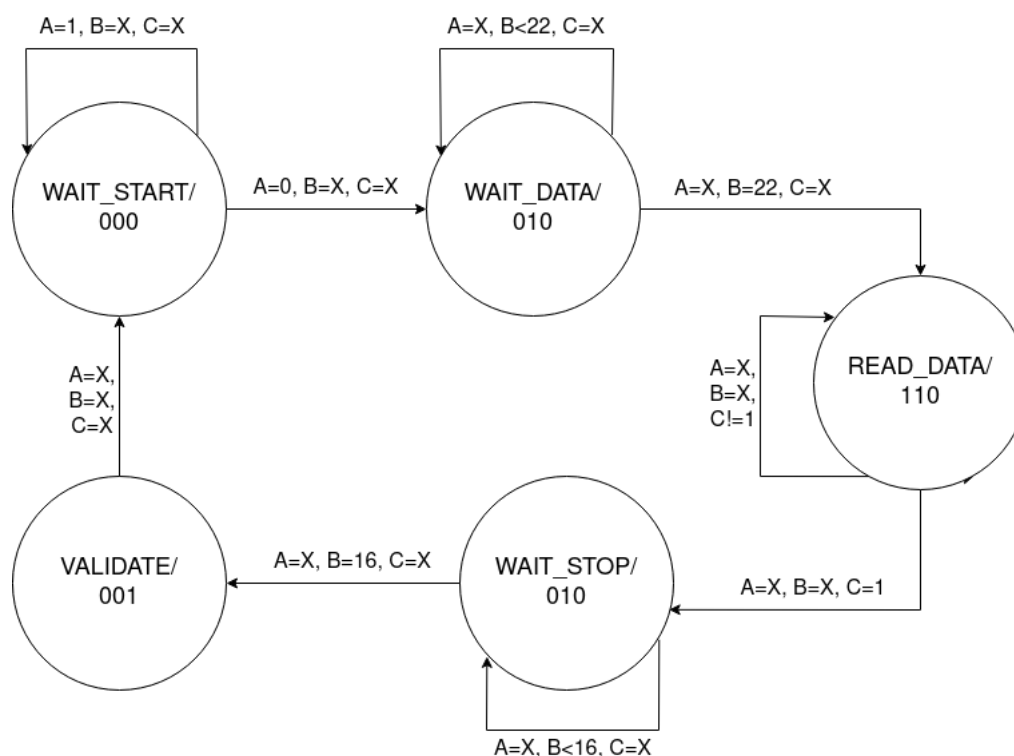
Podľa riadenia FSM sú počítané hodinové cykly a počet načítaní. Počítadlá sú anulovaný pri určitých stavoch automatu. Po načítaní osem bitov je poslaný validačný signál.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: WAIT_START, WAIT_DATA, READ_DATA, WAIT_STOP, VALIDATE
- Vstupné signály: A=INP; B=CTR1; C=ALL_READ
- Moorov výstupy: READ_D, CTR1_EN, VLD



Popis funkcie

Vo stavu WAIT_START automat čaká na nulu (start bit) zo vstupu A. Keď detektuje príchod start bitu, automat sa zmení svoj stav na WAIT_DATA. V tomto okamihu automat počíta hodinové cykly, pokiaľ nedostane do času, kde sa dá načítať prvý dátový bit. Keď prišiel bit, automat sa prepína do stavu READ_D, kde napíše jeden bit do registry a inkrementuje druhé počítadlo. Pokiaľ nenačítal osem bitov, ostane v cyklu v stave READ_D. Pri načítaní ôsmeho bitu, automat zmení svoj stav na WAIT_STOP, kde bude čakať na prítomnosť stop bitu. Pri okamžitej prítomnosti stop bitu, automat sa prepína do stavu VALIDATE, kde pošle DOUT_VLD signál, a resetuje obidve počítadlá.

