

计算机组成 (2022秋)

计算机组成课程组

(刘旭东、高小鹏、肖利民、栾钟治、万寒)

北京航空航天大学计算机学院中德所

栾钟治

北京航空航天大学

1

习题2——时序逻辑

- ❖ 已发布
 - Spoc平台
- ❖ 10月14日截止
 - 23:55
- ❖ 在sopc提交
 - 电子版，可手写

北京航空航天大学

2

回顾：时序约束

- ❖ 孔径时间
- ❖ 时序逻辑电路的时序
 - 寄存器的时序
 - 同步时序逻辑电路的时钟周期
- ❖ 保持时间约束

北京航空航天大学

3

第四讲：主存储器

- 一. 存储系统概述
- 二. 存储单元电路
- 三. 存储器芯片结构
- 四. 存储器扩展
- 五. DRAM的刷新

北京航空航天大学

4

存储系统概述

❖ 存储器分类

➤ 按介质分类:

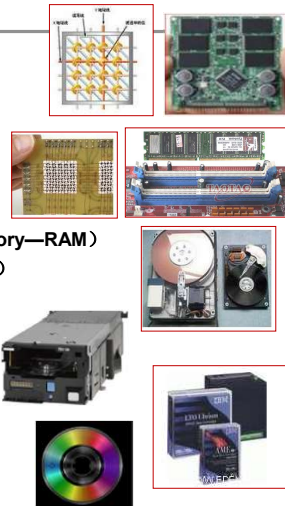
- 半导体存储器 (易失性)
- 磁介质存储器 (非易失性)
- 光盘存储器 (非易失性)

➤ 按访问方式分类:

- 随机访问存储器 (Random Access Memory—RAM)
- 只读存储器 (Read Only Memory—ROM)
- 顺序访问存储器 (Tape)
- 直接访问存储器 (Disk)

➤ 按功能分类:

- 高速缓冲存储器
- 主存储器
- 辅助存储器
- 控制存储器



存储系统概述

❖ 存储器的性能指标

➤ 访问时间 (Access Time): T_A

- 随机访问存储器: 访问时间指读或写操作所用时间, 即从给定地址到存储器完成读或写操作所需时间。
- 其他类型: 指将读写机构定位到目标位置所需的时间。

➤ 存储周期 (Cycle Time): T_C

- 仅对RAM而言, 指两次访问存储单元间的最小时间间隔。
- $T_C > T_A$

➤ 带宽 (Bandwidth) / 数据传输率 (Transfer Rate)

- 一般的随机访问存储器: $1 / \text{Cycle Time} * \text{总线宽度 (或存储字长)}$;
- 其他类型: $T_N = T_A + N/R$

T_N : 读写N Bits所需的平均时间

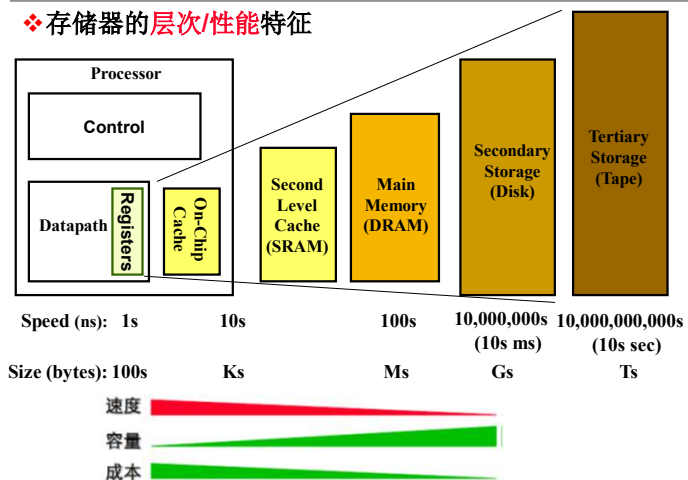
T_A : 访问时间

N: N Bits

R: 存储部件的数据传输率 (bits/s)

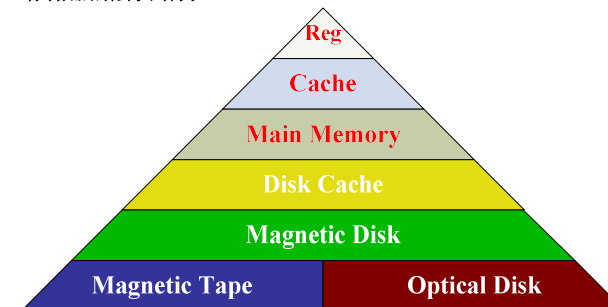
存储系统概述

❖ 存储器的层次/性能特征



存储系统概述

❖ 存储器的层次结构



二级存储系统指: 高速缓冲存储器 (Cache) + 主存储器

三级存储系统指: Cache + 主存 + 辅存 (虚拟存储器)

半导体存储器

❖ 半导体存储器从访问方式上可分为：

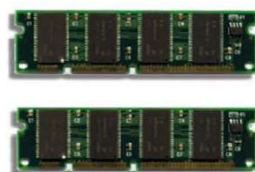
- 随机访问存储器RAM、只读存储器ROM

❖ RAM从实现原理上，又可分为：

- 静态随机访问存储器SRAM (Static RAM)
 - 静态存储器，相对动态而言，集成度低，不必刷新。用作Cache。
- 动态随机访问存储器DRAM (Dynamic RAM)
 - 动态存储器，需要刷新，相对而言，集成度高。用作主存。



SRAM



DRAM

半导体存储器

❖ 目前主流DRAM

➢ SDRAM (Synchronous DRAM)

同步DRAM，与CPU采用相同时钟，避免了不必要的等待周期，减少数据等待时间，数据可在脉冲上升期便开始传输。SDRAM内存又分PC66、PC100、PC133等不同规格，相应带宽分别为528MB/S、800MB/S和1.06GB/S。

➢ DDR (Double Data Rate) SDRAM

双倍速率SDRAM。SDRAM只在一个时钟的上升期传输一次数据；而DDR内存则在一个时钟的上升期和下降期各传输一次数据，因此称为双倍速率SDRAM。DDR SDRAM可以在与SDRAM相同的总线频率下达到更高的数据传输率。

➢ DDR2 (Double Data Rate 2) SDRAM

DDR2内存拥有两倍于DDR内存预读取能力，即：DDR2内存每个时钟能够以4倍外部总线的速度读/写数据，例如，在同样100MHz的工作频率下，DDR的实际频率为200MHz，而DDR2则可达400MHz。DDR2内存采用1.8V电压，相对于DDR标准的2.5V，降低了不少。

➢ DDR3 (Double Data Rate 3) SDRAM

最初主要用于显卡内存，频率在800M以上。DDR3是在DDR2基础上采用的新型设计，与DDR2 SDRAM相比具有功耗和发热量较小、工作频率更高、降低显卡整体成本、通用性好的优势。DDR3内存工作电压1.5V，DDR3内存预读取能力为DDR2的二倍。



SDRAM (133MHz)



SDRAM DDR (200MHz)



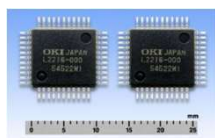
SDRAM DDR2 (266MHz)



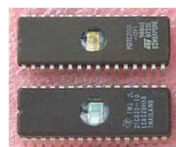
半导体存储器

❖ 只读存储器 (ROM) — 非易失性

- 固定掩膜 (Masks) ROM
- PROM (Programmable ROM)：一次性可编程
- EPROM (Erasable PROM)：可擦除可编程 (紫外线擦除)
- EEPROM (Electrically Erasable PROM)：电擦除
- Flash Memory (闪存)：本质上属于电擦除可编程ROM，如SM (Smart Media) 卡、CF (Compact Flash) 卡、MMC (Multi Media Card) 卡、SD (Secure Digital) 卡和记忆棒 (Memory Stick) 等



Masks ROM

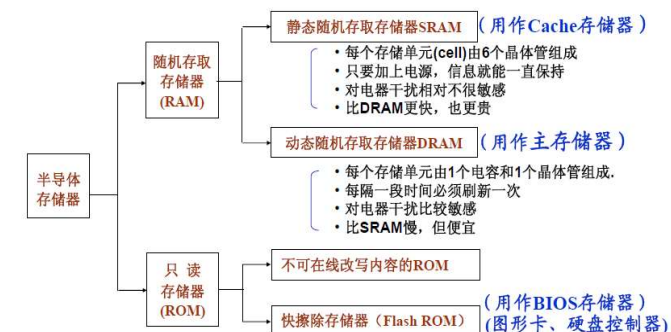


EPROM



Flash Memory

半导体存储器



第四讲：主存储器

- 一. 存储系统概述
- 二. 存储单元电路
- 三. 存储器芯片结构
- 四. 存储器扩展
- 五. DRAM的刷新

存储单元电路

❖ 存储单元电路

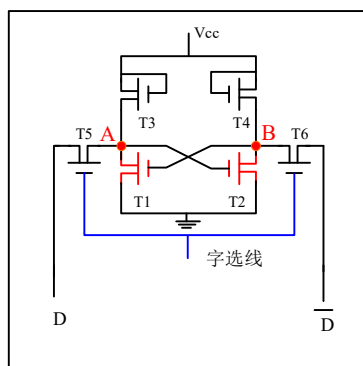
- 存储器中用来存储一位二进制信息（0或1）的电路
- 是组成存储器的基础和核心
- 也称存储元件、存储基元、存储位元、存储元

❖ 基本要求

- 具有两种稳定（或半稳定）状态，用来表示二进制的1和0
- 可以实现状态写入（或设置）
- 可以实现状态读取（或感知）

SRAM存储单元电路

❖ SRAM存储单元电路（六管单元电路）



MOS管功能：

- T1, T2: 工作管；
- T3, T4: 负载管；
- T5, T6: 门控管；

稳定状态：

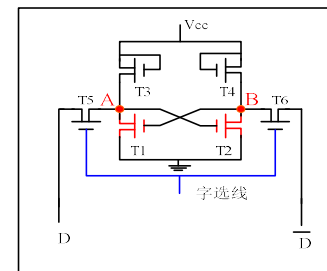
- “1”：T1 截止，T2 导通
- “0”：T2 截止，T1 导通

保持状态：

字选线低电平，T5 和 T6 截止，内部保持稳定。

SRAM存储单元电路

❖ SRAM存储单元电路工作原理（读出）



稳定状态：

- “1”：T1 截止，T2 导通
- “0”：T2 截止，T1 导通

保持状态：

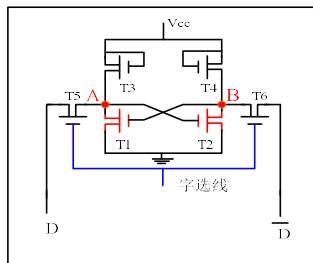
字选线低电平，T5 和 T6 截止，内部保持稳定。

读出操作：

- 输入条件：字选线高电平
- T5和T6导通，如果存储单元原来保存信息是“1”，D线则“读出”了内部状态（A点电平）则为高，否则为低。

SRAM存储单元电路

❖SRAM存储单元电路工作原理（写入）



稳定状态:

“1”: T1 截止, T2 导通

“0”: T2 截止, T1 导通

保持状态:

字选线低电平, T5 和 T6 截止, 内部保持稳定。

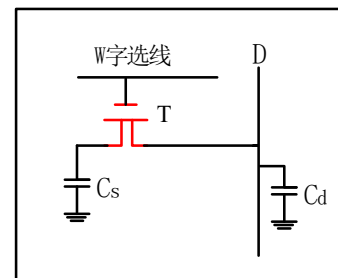
写入操作:

写 1: D线高电平, \bar{D} 线低电平, 字选线高电平, T5 和 T6 导通, T1截止, T2导通, 写入 1。

写 0: D线低电平, \bar{D} 线高电平, 字选线高电平, T5 和 T6 导通, T2截止, T1导通, 写入 0。

DRAM存储单元电路

❖DRAM存储单元电路（单管单元电路）



Cs电容 << Cd电容

Cs上有电荷表示 “1”

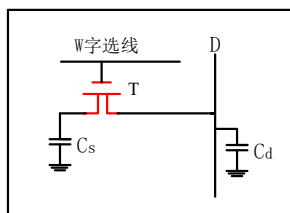
Cs上无电荷表示 “0”

保持状态: 字选线低电平, T截止, 理论上内部保持稳定状态。

注意: 在保存二进制信息 “1” 的状态下, Cs有电荷, 但Cs存在漏电流, Cs上的电荷会逐渐消失, 状态不能长久保持, 在电荷泄漏到威胁所保存的数据性质之前, 需要补充所泄漏的电荷, 以保持数据性质不变。这种电荷的补充称之为刷新 (或再生)。

DRAM存储单元电路

❖DRAM存储单元电路工作原理（读出）

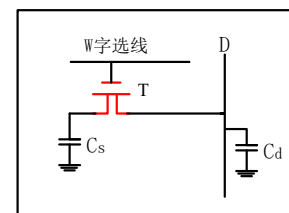


读出时: D 线先预充电到 $V_{pre}=2.5V$, 然后字选线高电平, T导通

- 若电路保存 信息1, $V_{cs}=3.5V$, 电流方向从单元电路内部向外;
- 若电路保存信息 0, $V_{cs}=0.0V$, 电流方向从外向单元电路内部;
- 因此根据数据线上电流的方向可判断单元电路保存的是 1还是 0。
- 读出过程实际上是Cs与Cd上的电荷重新分配的过程, 也是Cs与Cd上的电压重新调整的过程。Cd上的电压, 即是D线上的电压。

DRAM存储单元电路

❖DRAM存储单元电路工作原理（写入）

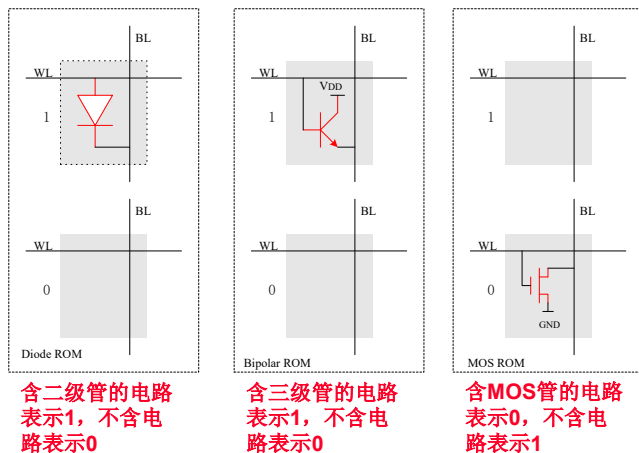


写入操作: D 线加高电平 (1) 或低电平 (0), 字选择线置高电平, T导通;

- 写1时, D线高电平, 对Cs充电;
- 写0时, D线低电平, Cs放电;

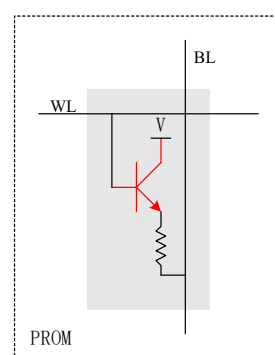
ROM存储单元电路

❖ 固定掩膜ROM单元电路



ROM存储单元电路

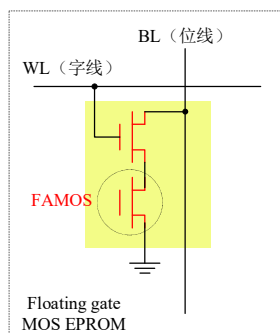
❖ 可编程的PROM单元电路



- 出厂时所有位均为1。
- 编程时（写入数据），对写0的单元加入特定的大电流，熔丝被烧断，变为另一种表示0的状态，且不可恢复。
- 工作时，加入正常电路。

ROM存储单元电路

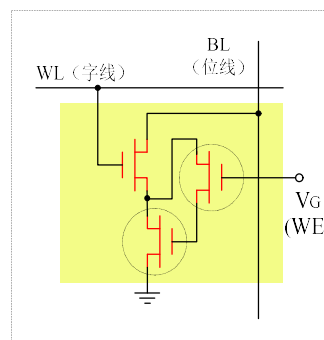
❖ 紫外线擦除可编程的EPROM单元电路



- 出厂时所有位均为1，FAMOS（浮空栅极MOS）G极无电荷，处于截止状态。
- 编程时（写入数据），对写0的单元加入特定的电压，FAMOS上的G极与D极被瞬时击穿，大量电子聚集到G极上，撤销编程电压后，G极上的聚集的电子不能越过隔离层，FAMOS导通，表示0。
- 工作时，加入正常电压，FAMOS的状态维持不变。
- 擦除时，用紫外线照射，FAMOS聚集在G极上的电子获得能量，越过隔离层泄漏，FAMOS恢复截止状态。

ROM存储单元电路

❖ EEPROM单元电路



- 与EPROM相似，它是在EPROM基本单元电路的浮空栅的上面再生成一个浮空栅，前者称为第一级浮空栅，后者称为第二级浮空栅。第二级浮空栅引出一个电极，接某一电压 V_G 。
- 若 V_G 为正电压，第一浮空栅极与漏极之间产生隧道效应，使电子注入第一浮空栅极，即编程写入。
- 若使 V_G 为负电压，强使第一级浮空栅极的电子散失，即擦除。擦除后可重新写入。

- ❖ 主存储器——存储单元电路
- ❖ 存储单元电路的概念及其基本条件 (0/1状态、读出、写入)
- ❖ SRAM存储单元电路工作原理 (六管、触发器)
- ❖ DRAM存储单元电路工作原理 (单管、电容充放电、需要刷新)
- ❖ ROM存储单元电路的工作原理 (ROM、PROM、EPROM、EEPROM)

非易失存储器

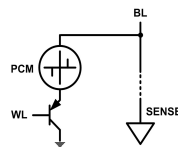
- ❖ 如果存储器是非易失的...
 - 不需要刷新...
 - 不会在掉电时丢失数据...
- ❖ 问题: 非易失存储器件一直以来都比DRAM慢很多
 - 比如硬盘... 甚至闪存...
- ❖ 机遇: 一些新兴的存储技术, 非易失而且相对较快
 - 同时, 比DRAM可扩展性更好
- ❖ 提问: 是否可以采用这些新兴技术来实现主存储器?

新兴的存储技术

- ❖ 一些新兴的电阻式存储技术似乎比DRAM具有更好的可扩展性 (并且它们是非易失的)

❖ 例如: 相变存储器

- 通过材料的相变存储数据
- 通过检测材料的阻抗读取数据
- 预计尺寸可以达到9nm (2022 [ITRS])
- 原型20nm (Raoux+, IBM JRD 2008)
- 将比DRAM密度更高: 可存储多个bit/位元



❖ 当然, 新的技术会有一些缺陷

- 它们能够代替DRAM吗?

电阻式存储器技术

❖ PCM(相变存储器)

- 通过注入电流使材料发生相变
- 相变决定阻抗的不同

❖ STT-MRAM(自旋转矩磁随机存取存储器)

- 通过注入电流改变磁极
- 极性改变决定阻抗的不同

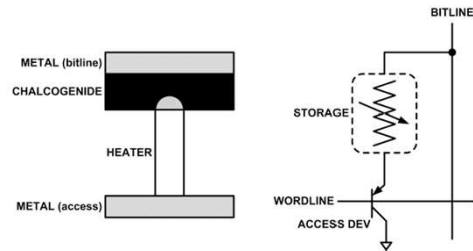
❖ Memristor(忆阻器)

- 通过注入电流改变原子结构
- 原子间的距离决定阻抗

什么是相变存储器？

❖ 相变材料(硫族化合物玻璃) 存在两种状态:

- 非晶态: 低光反射率, 高电阻率
- 晶态: 高光反射率, 低电阻率



PCM是电阻式存储器: 高阻态 (0), 低阻态 (1)
PCM的位元可以在不同状态之间可靠、快速地切换

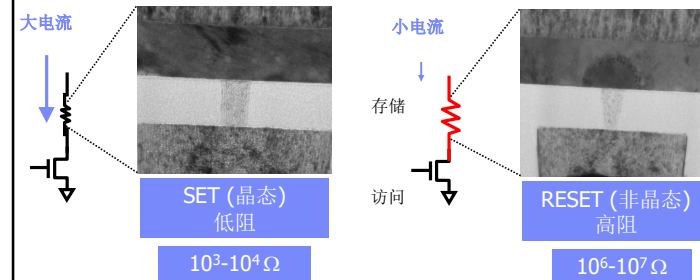
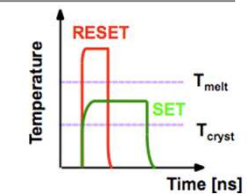
PCM 如何工作？

❖ 写: 通过电流注入改变物相

- SET: 持续注入电流加热位元温度超过 T_{cryst}
- RESET: 位元加热超过 T_{melt} 并迅速冷却

❖ 读: 通过材料的阻抗判断物相

- 非晶/晶态



相变存储器: 优点和缺点

❖ 优于DRAM之处

- 更好的工艺规模(容量和成本)
- 非易失
- 空闲时功率低 (无需刷新)

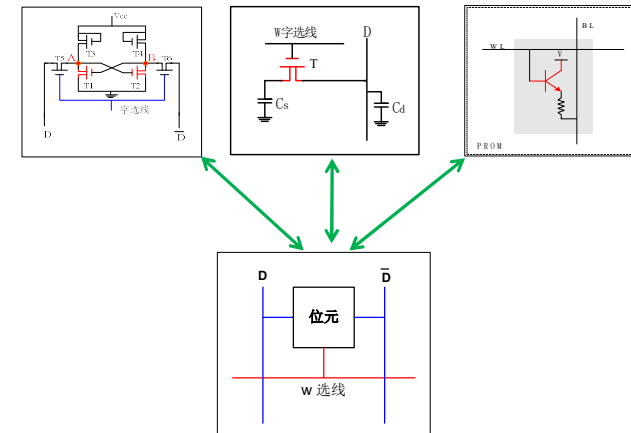
❖ 缺点

- 延迟更高: ~4-15x DRAM (尤其是写入时)
- 活跃状态能耗更高: ~2-50x DRAM (尤其是写入时)
- 重复使用寿命较低 (位元寿命~ 10^8 次写入)

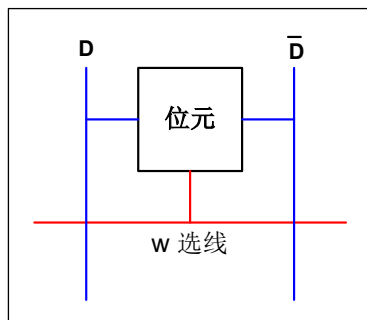
❖ 用PCM替换或者协助DRAM组成主存储器的挑战:

- 减小PCM缺陷的影响
- 找到合适的方式将PCM引入系统

❖ 存储单元的符号表示



❖ 存储单元电路: 可存储1位(1bit)二进制代码



存储单元电路（存储位元）→ 存储芯片 → 存储器

第四讲：主存储器

- 一. 存储系统概述
- 二. 存储单元电路
- 三. 存储器芯片结构
- 四. 存储器扩展
- 五. DRAM的刷新

存储芯片内部结构

❖ 存储芯片容量的基本描述（字单元数 × 每个字单元的位数）

➢ $1K \times 2$: 1024 个字单元, 每个字单元2 位（二进制位）

意味着任一时刻可以（也只能）访问1024个独立字单元中的任意一个, 每次读写的数据位数是一个字单元的容量（2位）

对于 $1K \times 2$ 的存储芯片:

有多少个存储位元? 共1K个（1024个）字单元, 每个字单元2位 **2048**

需多少条地址线? 按字单元寻址, 1024个（ 2^{10} 个）字单元 **10**

需要多少条数据线? 一次访问一个字单元, 每个字单元是2位 **2**

❖ $64K \times 8$: 65536（64K）个字单元, 每个字单元8位

有多少个存储位元? 需要多少条地址线? 多少条数据线?

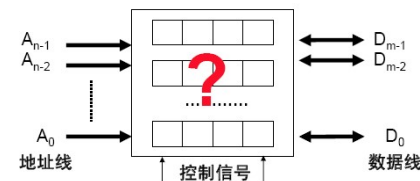
存储芯片内部结构

存储芯片容量的描述: $2^n \times m$ （字单元数 × 每个字单元的位数）

❖ 存储位元: $2^n \times m$ 个

❖ 地址线: n 位 → 2^n 个字单元, $A_{n-1} \dots A_0$ 单向

❖ 数据线: m 位 → m 位/字单元, $D_{m-1} \dots D_0$ 双向

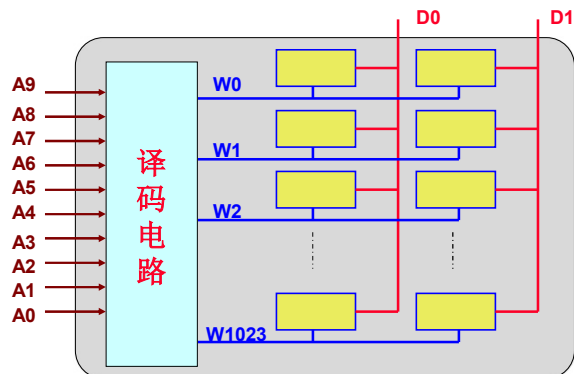


一维地址结构(线选法) / 二维地址结构（重合法）

存储芯片内部结构

❖ 存储芯片结构（一维地址结构）

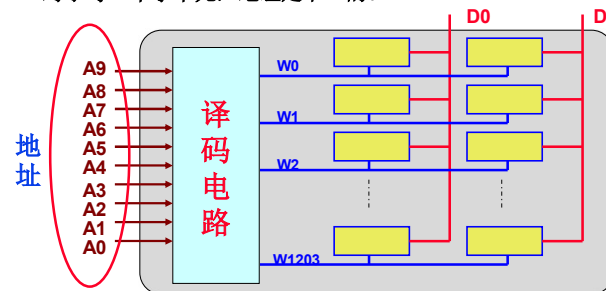
1024×2 ：1024 个字单元，每个字单元 2 个二进制位，共 2048 个存储位元



存储芯片内部结构

❖ 问题：如何识别这些字单元？

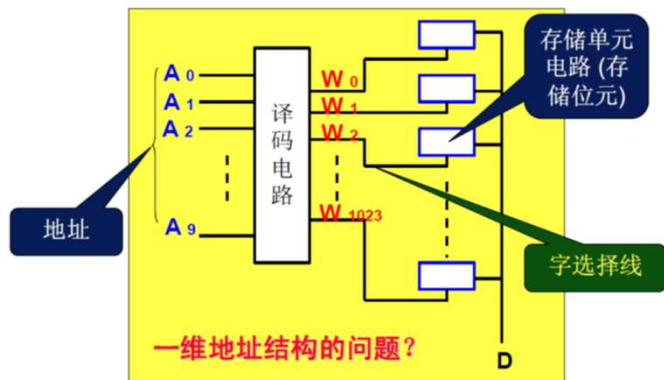
- 1024×2 ：1024 个字单元，需要 1024 个不同的标示。
- 地址编码：译码电路使得字选择线 W_i 处于工作状态的输入信号（二进制信号），称为 W_i 所选中字单元的地址编码（简称地址）。
- 对于每一个字单元，地址是唯一的。



存储芯片内部结构

❖ 存储芯片结构（一维地址结构）

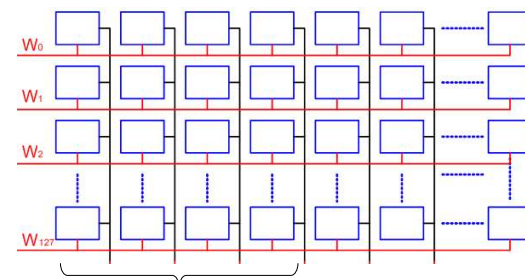
1024×1 ：1024 个字单元，每个字单元 1 个二进制位



存储芯片内部结构

❖ 二维地址结构（SRAM）：容量 4096×4

- 4096 个字单元，每个字单元 4 位
- $4096 \times 4 = 2^{14}$ 个存储位元
- 存储矩阵： $2^7 \times 2^7$ (128 行 \times 128 列)

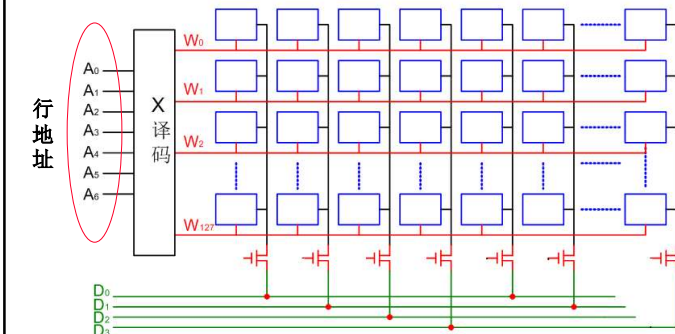


一行共有 128 个位元，每 4 个位元一组，组成 1 个字单元，一行共 32 个字单元

存储芯片内部结构

❖ 二维地址结构 (SRAM) : 4096×4

- 存储矩阵: $2^7 \times 2^7$ (128行 \times 128列)
- 行译码: X译码, 行地址 7位

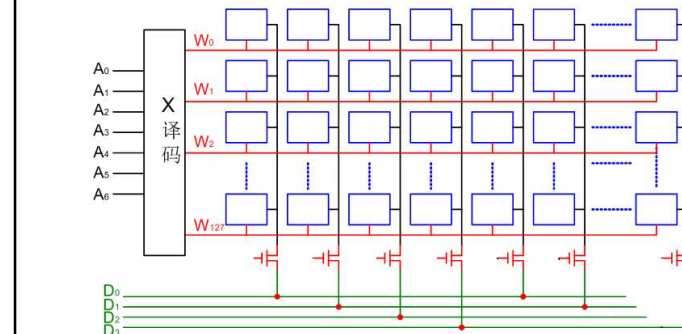


41

存储芯片内部结构

❖ 二维地址结构 (SRAM) : 4096×4

- 存储矩阵: $2^7 \times 2^7$ (128行 \times 128列)
- 一行包括32个字单元共128位, 任时刻只有1个字单元被选中, 所以每个字单元的位线分别接到数据线 $D_0 D_1 D_2 D_3$

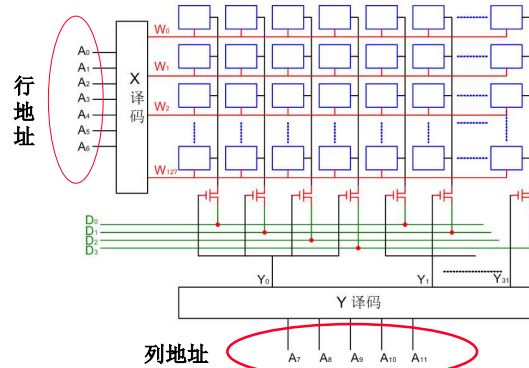


42

存储芯片内部结构

❖ 二维地址结构 (SRAM) : 4096×4

- 存储矩阵: $2^7 \times 2^7$ (128行 \times 128列)
- 一行包括32个字单元, 要进行32选1的译码 (Y译码), 列地址 5位



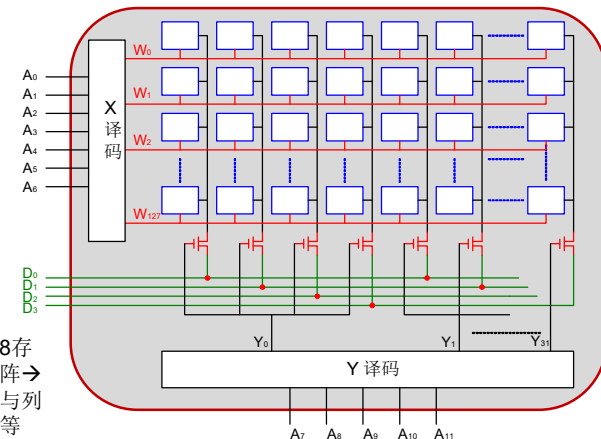
北京航空航天大学

43

存储芯片内部结构

❖ 二维地址结构 (SRAM) : 4096×4 : 4096 个字, 每个字 4 位。

128 X 128 存储单元矩阵 \rightarrow 行地址数与列地址数不等



北京航空航天大学

44

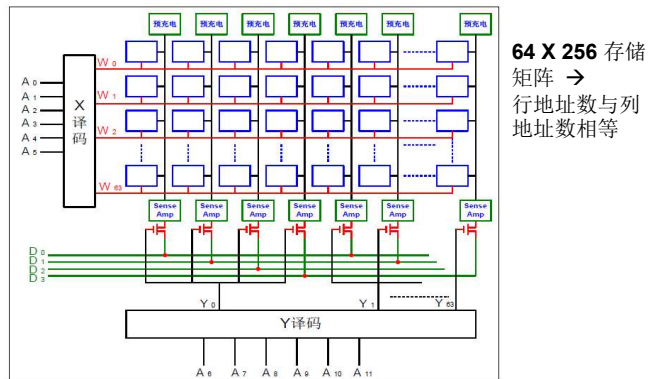
43

44

存储芯片内部结构

❖ DRAM芯片结构：4096×4

- 4096个字 = 2^{12} ，12位地址
- DRAM芯片封装的特殊：行列地址管脚复用，行列地址各6位。
- 存储矩阵： $2^6 \times (2^6 \times 4)$ (64行×256列)



存储芯片结构示例

❖ SRAM 2114(1024×4)芯片结构

