

计算机组成习题

—时序逻辑

一、填空题

- 1.根据在CP控制下，逻辑功能的不同，常把时钟触发器分为____、____等3种类型。
- 2.由与非门构成的基本RS触发器约束条件是
- 3.钟控JK触发器的特性方程为 。
- 4.时序逻辑电路按触发器时钟端的连接方式不同可以分为____和____两类。
- 5.n级移位寄存器可以存放__位二进制数据。
- 6.集成计数器的模值是固定的，但可以用____和____来改变它们的模值。
- 7.由8级触发器构成的十进制计数器模值为__。
- 8.通过级联方法，把两片4位二进制计数器CT74161连接成为8位二进制计数器后，其最大模值是__。

二、选择题

1.若JK触发器的原始状态为0，欲在CP作用后保持0状态，则激励函数JK的值应是（ ）。

A. $J=1, K=1$

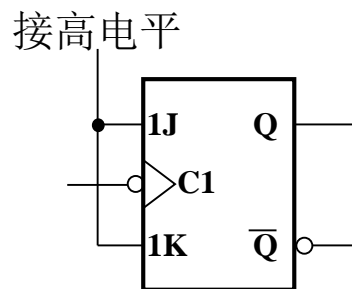
B. $J=0, K=0$

C. $J=0, K=x$

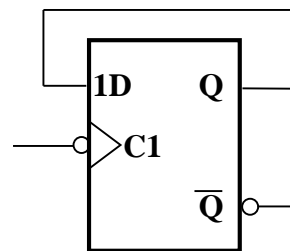
D. $J=x, K=x$

二、选择题

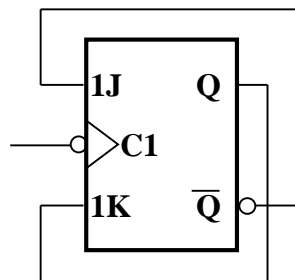
2. 下列电路中，只有 () 不能实现 $Q^{n+1} = \overline{Q^n}$ 。



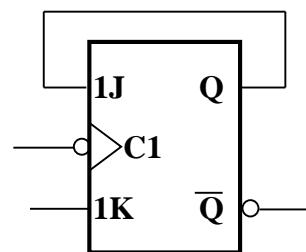
A



B



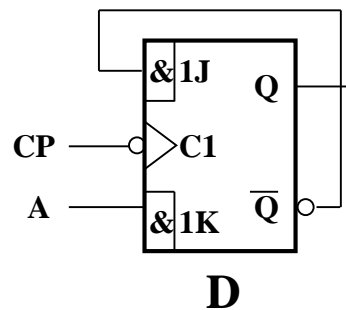
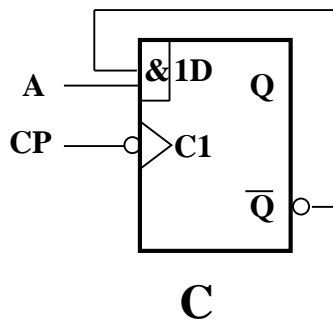
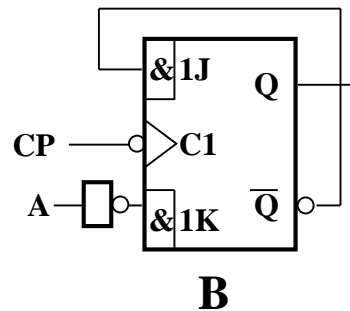
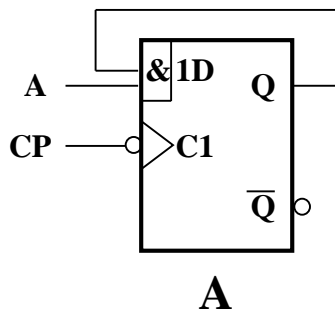
C



D

二、选择题

3. 如下各触发器电路中，能实现 $Q^{n+1} = \overline{Q}^n + AQ^n$ 功能的电路是 ()。



二、选择题

4.用8级触发器可以记忆（ ）种不同的状态。

- A. 8 B. 16 C. 128 D. 256

5.同步计数器是指（ ）的计数器。

- ① 由同类型的触发器构成
- ② 各触发器时钟端连在一起，统一由系统时钟控制
- ③ 可用前级的输出做后级触发器的时钟
- ④ 可用后级的输出做前级触发器的时钟

6.由10级触发器构成的二进制计数器，其模值为（ ）。

- ① 10 ② 20 ③ 1000 ④ 1024

二、选择题

7.同步4位二进制减法计数器的借位方程是 $B = \overline{Q_4} \overline{Q_3} \overline{Q_2} \overline{Q_1}$ ，则可知B的周期和正脉冲宽度为（ ）。

- ① 16个CP周期和2个CP周期
- ② 16个CP周期和1个CP周期
- ③ 8个CP周期和8个CP周期
- ④ 8个CP周期和4个CP周期

8.已知 Q_3 、 Q_2 、 Q_1 、 Q_0 是同步**十进制**计数器的触发器输出，若以 Q_3 作进位C，则C的周期和正脉冲宽度是（ ）。

- ① 10个CP脉冲，正脉冲宽度为1个CP周期
- ② 10个CP脉冲，正脉冲宽度为2个CP周期
- ③ 8个CP脉冲，正脉冲宽度为1个CP周期
- ④ 8个CP脉冲，正脉冲宽度为2个CP周期

二、选择题

9.一个4位移位寄存器原来的状态为0000，如果串行输入始终为1，则经过4个移位脉冲后寄存器的内容为（ ）。

- ① 0001 ② 0111 ③ 1110 ④ 1111

10.可以用来实现并/串转换和串/并转换的器件是（ ）。

- ① 计数器 ② 移位寄存器
③ 存储器 ④ 全加器

11.用反馈复位法来改变由8位二进制加法计数器的模值，可以实现（ ）模值范围的计数器。

- ① 1~15 ② 1~16 ③ 1~32 ④ 1~256

二、选择题

12.用Verilog HDL设计同步清除的计数器时，在always语句的敏感参数表中（ ）。

- ① 需要列出时钟信号和清除信号标示符的有效边沿
- ② 只需要列出时钟信号标示符的有效边沿
- ③ 只需要列出清除信号标示符的有效边沿
- ④ 只需要列出时钟信号或者清除信号标示符的有效边沿

三、分析与设计题

1. 已知触发器的逻辑符号如图3.1所示，输入波形如图3.2所示，其中 FF_1 是由与非门构成的基本RS触发器， FF_2 是由或非门构成的基本RS触发器，设触发器的初态均为0。试分别简要说明2个电路在不同的输入取值下的逻辑功能，并根据A、B输入波形画出 Q_1 、 \overline{Q}_1 、 Q_2 、 \overline{Q}_2 的输出波形图。

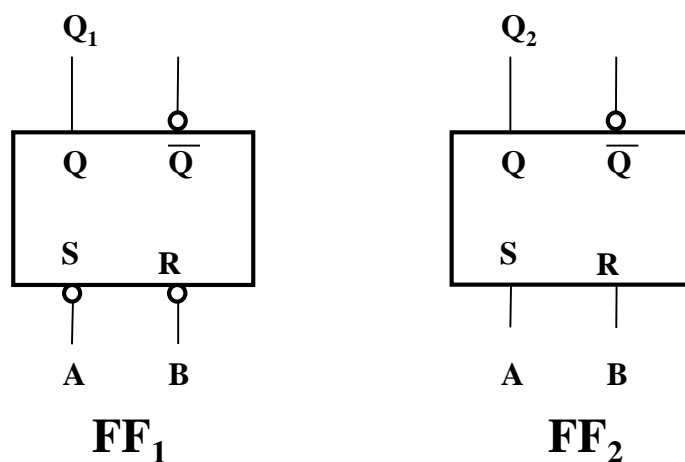


图3.1 基本RS触发器

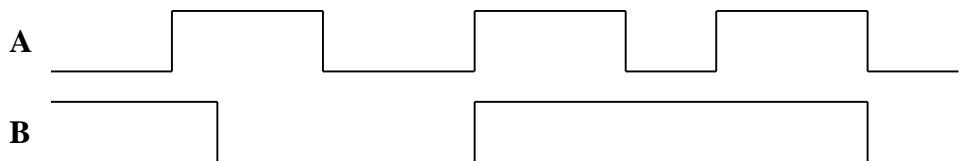
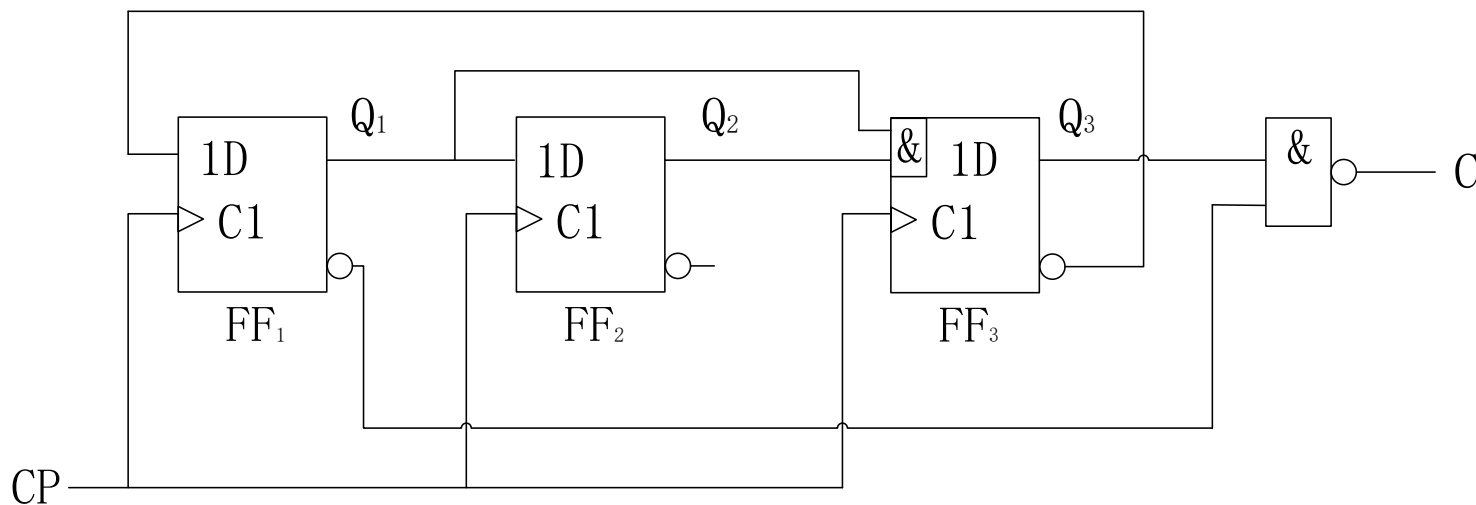


图3.2 A、B输入波形

三、分析与设计题

2.分析下图所示电路，要求：

- (1) 写出分析过程，包括各级触发器的驱动方程和状态方程；
- (2) 画出状态转换表、状态转换图和时序图；
- (3) 说明电路特点。



三、分析与设计题

3.集成4位二进制计数器CT74161的逻辑符号如图3.3所示，其功能表如表3.1所示，触发器输出低位到高位次序是 Q_0 至 Q_3 ，输出 $C = ET Q_3^n Q_2^n Q_1^n Q_0^n$ 。试用一片CT74161采用**输出C预置法**实现十二进制计数器，画出电路连接图。

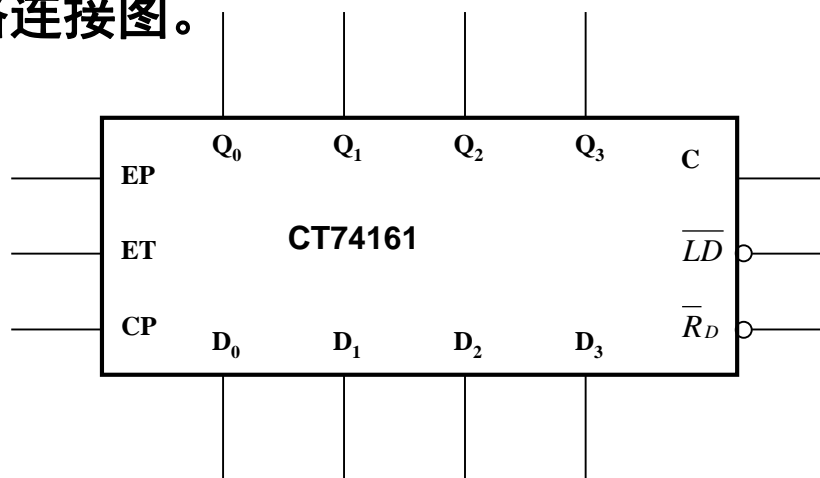


图3.3 4位二进制计数器CT74161的逻辑符号

表3.1 CT74161的功能表

$\overline{R_D}$	\overline{LD}	EP	ET	CP	功能
0	×	×	×	×	复位
1	0	×	×	↑	预置
1	1	0	0	↑	保持
1	1	0	1	↑	保持
1	1	1	0	↑	保持
1	1	1	1	↑	计数

三、分析与设计题

4.分析如图3.4所示的状态转换图表示什么类型的状态机。并根据图3.4采用Verilog HDL设计六进制计数器电路。要求在程序中加入必要的注释。

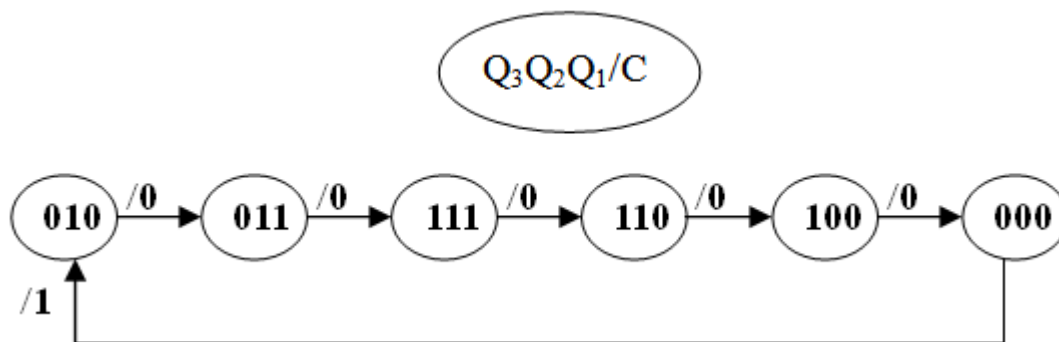


图3.4 六进制计数器电路的状态转换图

三、分析与设计题

在源程序中，clk是时钟输入端，上升沿有效；q是计数器的3位状态输出端，cout是进位输出端。在程序中还设置了6个参数(parameter)st0、st1、st2、st3、st4和st5，分别代表题中所示状态转换图中的各个状态

```
module cnt6 (clk, q, cout);  
    input clk;  
    output reg[2:0] q;  
    output reg cout;  
    parameter _____ st0 = 'b010, st1 = 'b011, st2 = 'b111, st3 = 'b110, st4 = 'b100,  
    st5 = 'b000; _____  
    always@(posedge clk)  
    begin  
        case (q)//状态的转移  
            st0 :    q = st1;  
            st1 :    q = st2;  
            st2 :    q = st3;  
            st3 :    q = st4;  
            st4 :    q = st5;  
            st5 :    q = st0;  
            default : q = st0;  
        endcase  
        _____  
        _____  
    end  
endmodule
```

三、分析与设计题

5.使用D触发器和与非门设计一个4人抢答逻辑电路，具体要求为：

- (1) 每个参赛者控制一个按钮，用按钮发出抢答信号；
- (2) 竞赛主持人控制另一个按钮，用于电路复位；
- (3) 竞赛开始后，先按动按钮者将对应的一个发光二极管点亮，此后其他3人再按动按钮对电路不起作用。

三、分析与设计题

6.设计一个自动售货机控制器，每次可以任意投入一枚五分或1角的硬币。货物价格为20分，当投入足够的钱后，售货机吐出货物并找零钱。请完成下列任务：

(1) 画出实现上述功能的状态机；

(2) 列出二进制编码的状态转换表和输出逻辑真值表，给出次态每一位编码的逻辑函数表达式和输出逻辑函数表达式，并化简。