

计算机组成 (2022秋)

计算机组成课程组
(刘旭东、高小鹏、肖利民、栾钟治、万寒)

北京航空航天大学计算机学院中德所
栾钟治



北京航空航天大学

1

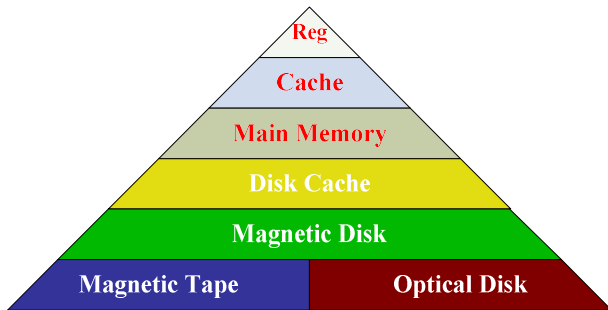
习题2——时序逻辑

- ❖ 已发布
 - Spoc平台
- ❖ 10月14日截止
 - 23:55
- ❖ 在sopc提交
 - 电子版，可手写

北京航空航天大学

2

回顾：存储器的层次结构



二级存储系统指：高速缓冲存储器（Cache）+主存储器

三级存储系统指：Cache+主存+辅存（虚拟存储器）

北京航空航天大学

3

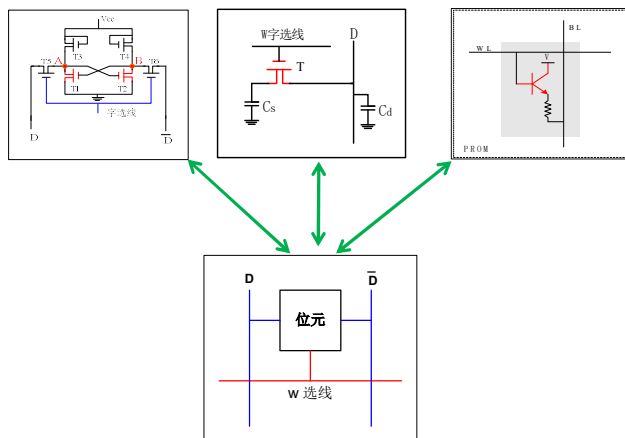
回顾：存储电路

- ❖ 主存储器——存储单元电路
- ❖ 存储单元电路的概念及其基本条件（0/1状态、读出、写入）
- ❖ SRAM存储单元电路工作原理（六管、触发器）
- ❖ DRAM存储单元电路工作原理（单管、电容充放电、需要刷新）
- ❖ ROM存储单元电路的工作原理（ROM、PROM、EPROM、EEPROM）

北京航空航天大学

4

回顾：存储单元的符号表示



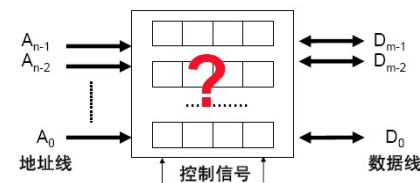
回顾：存储芯片内部结构

存储芯片容量的描述: $2^n \times m$ (字单元数 \times 每个字单元的位数)

❖ 存储位元: $2^n \times m$ 个

❖ 地址线: n 位 $\rightarrow 2^n$ 个字单元, $A_{n-1} \dots A_0$ 单向

❖ 数据线: m 位 $\rightarrow m$ 位/字单元, $D_{m-1} \dots D_0$ 双向

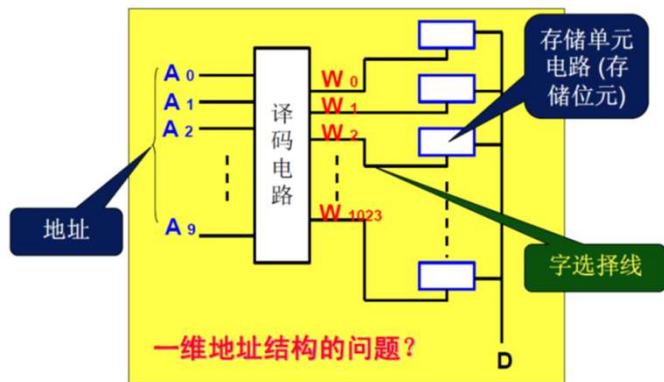


一维地址结构(线选法) / 二维地址结构(重合法)

回顾：一维地址结构

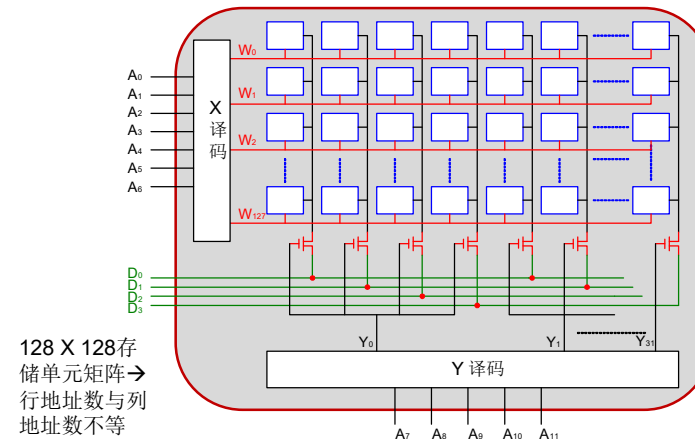
❖ 存储芯片结构(一维地址结构)

1024×1 : 1024 个字单元, 每个字单元 1 个二进制位



回顾：二维地址结构

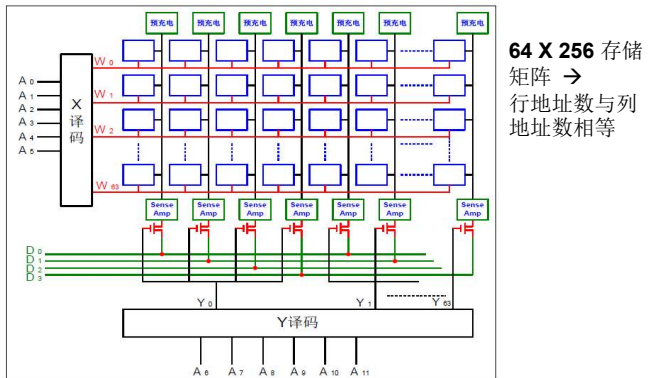
❖ 二维地址结构(SRAM): 4096×4 : 4096 个字, 每个字 4 位。



回顾：二维地址结构

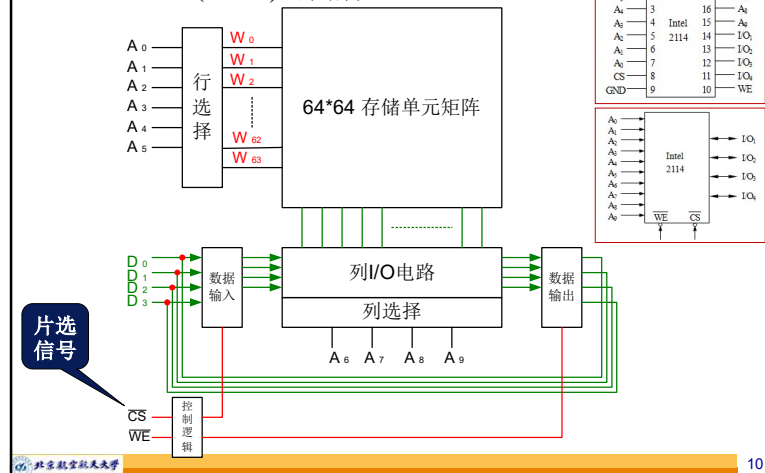
❖ DRAM芯片结构：4096×4

- 4096个字 = 2^{12} ，12位地址
- DRAM芯片封装的特殊：行列地址管脚复用，行列地址各6位。
- 存储矩阵： $2^6 \times (2^6 \times 4)$ (64行×256列)



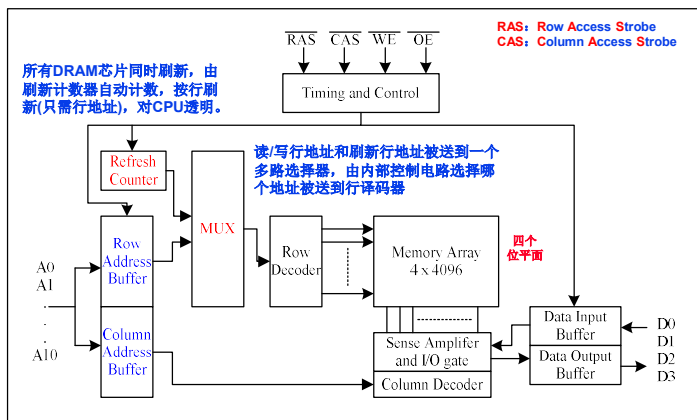
存储芯片结构示例

❖ SRAM 2114(1024×4)芯片结构



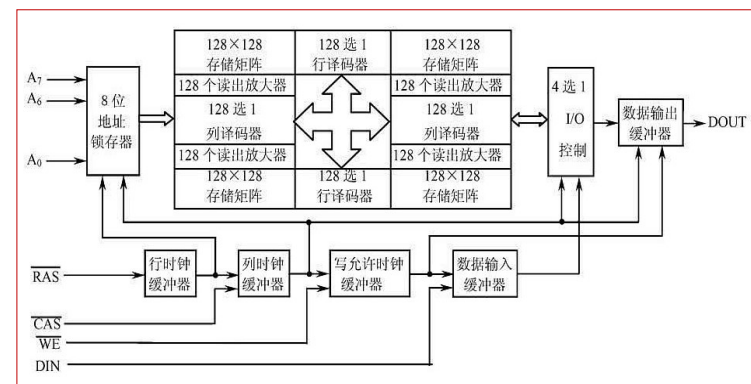
存储芯片结构示例

❖ DRAM 4K×4 DRAM芯片结构(内部包含刷新电路)



存储芯片结构示例

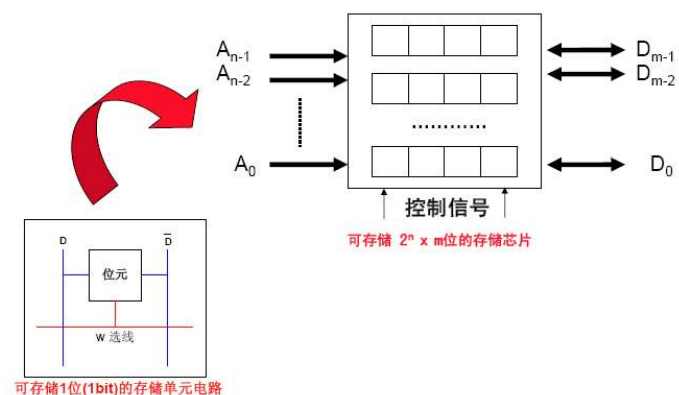
❖ DRAM 2164A 芯片结构 (64K×1)



第四讲：主存储器

- 一. 存储系统概述
- 二. 存储单元电路
- 三. 存储器芯片结构
- 四. 存储器扩展
- 五. DRAM的刷新

存储单元电路 → 存储芯片



存储单元 → 存储电路芯片 → 存储器?

存储器芯片的扩展

❖ 单片存储器芯片不能满足存储系统的需求

❖ 存储扩展

➢ 位扩展: $(2^n \times m)$

存储器芯片提供的字空间满足整个存储空间的字空间要求, 2^n 够
但存储器芯片的位空间不能满足要求, m 不够

方法: 多个存储器芯片的数据位空间拼在一起

➢ 字扩展: $(2^n \times m)$

存储器芯片提供的字空间不能满足整个存储空间的字空间要求, 2^n 不够
但存储器芯片的位空间满足要求, m 够

方法: 多个存储器芯片的字空间拼在一起

➢ 混合扩展: $(2^n \times m)$

存储器芯片提供的字空间不能满足整个存储空间的字空间要求, 2^n 不够
位空间也不能满足要求, m 不够

方法: 综合运用字扩展和位扩展

存储器芯片的扩展 (位扩展)

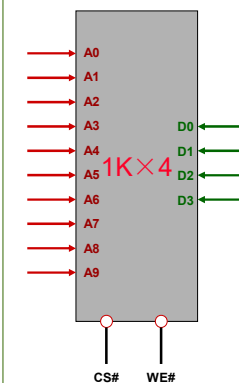
例: 1Kx4 SRAM芯片构成1Kx8的存储器

➢ 1Kx4 芯片管脚:

- 10个地址管脚 $A_9 \sim A_0$
- 4个数据管脚 $D_3 \sim D_0$
- 1个片选输入管脚 $CS\#$
- 1个读写控制管脚 $WE\#$
- 芯片地址空间: $000H \sim 3FFH$

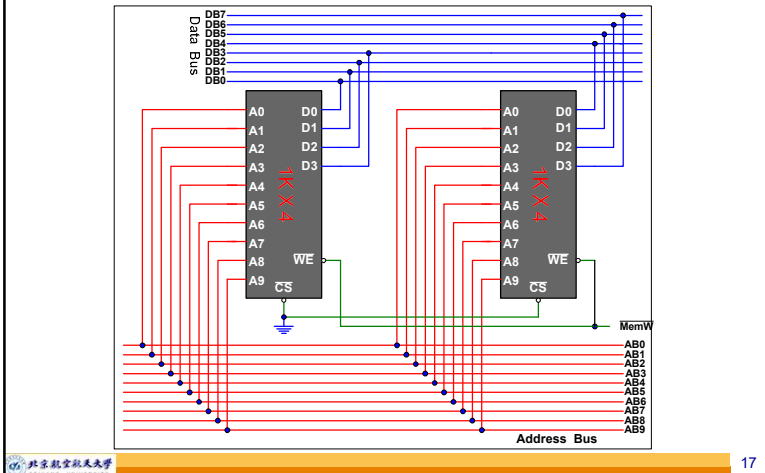
➢ CPU访问存储器需提供:

- 地址总线10根: $AB_9 \sim AB_0$
 - 数据总线8根: $DB_7 \sim DB_0$
 - 读写控制信号: $MemW$
 - 存储器地址空间: $000H \sim 3FFH$
- 需要芯片: $(1K \times 8) / (1K \times 4) = 2$ 片
- 地址管脚: 都连接到 $AB_9 \sim AB_0$
 - 数据管脚: 分别连接到 $DB_7 \sim DB_4$ 和 $DB_3 \sim DB_0$
 - 芯片读写控制管脚: 连接 $MemW$



存储器芯片的扩展 (位扩展)

例: $1K \times 4$ 的SRAM存储芯片构造 $1K \times 8$ 的存储器

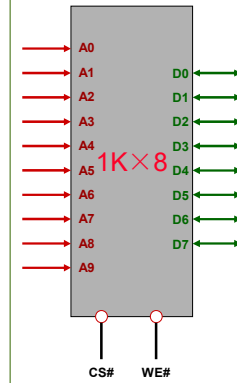


17

存储器芯片的扩展 (字扩展)

例: $1K \times 8$ SRAM芯片构成 $4K \times 8$ 的存储器

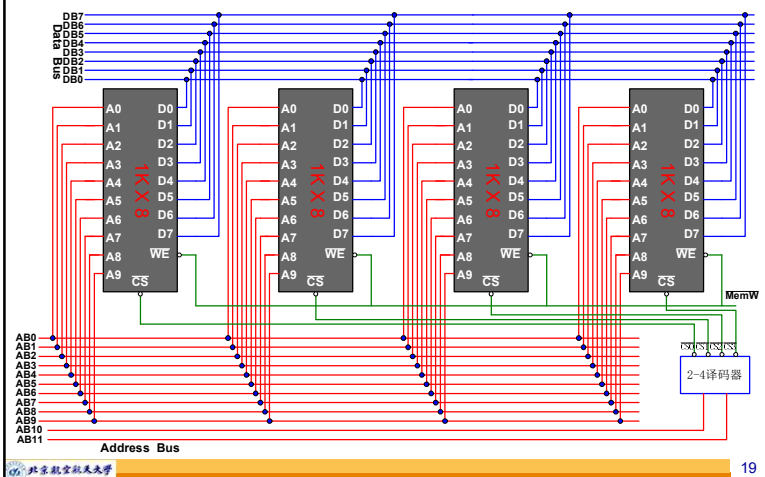
- > $1K \times 8$ 芯片管脚:
 - 10个地址管脚 $A9 \sim A0$
 - 8个数据管脚 $D7 \sim D0$
 - 1个片选输入管脚 $CS\#$
 - 1个读写控制管脚 $WE\#$
 - 芯片地址空间: $000H \sim 3FFH$
- > CPU访问存储器需提供:
 - 地址总线12根: $AB11 \sim AB0$
 - 数据总线8根: $DB7 \sim DB0$
 - 读写控制信号: $MemW$
 - 存储器地址空间: $000H \sim FFFH$
- > 需要芯片数: $(4K \times 8) / (1K \times 8) = 4$ 片
 - 地址管脚: 都连接到 $AB9 \sim AB0$
 - 数据管脚: 都连接到 $DB7 \sim DB0$
 - 芯片读写控制管脚: 连接 $MemW$
- > 一个2-4译码器产生4个片选信号
 - 译码器输入: $AB11 \sim AB10$
 - 译码器输出: 分别接4个芯片片选管脚



18

存储器芯片的扩展 (字扩展)

例: $1K \times 8$ SRAM存储芯片构成 $4K \times 8$ 的存储器

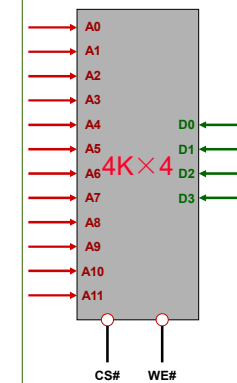


19

存储器芯片的扩展 (混合扩展)

例: $4K \times 4$ SRAM存储芯片构成 $16K \times 8$ 的存储器

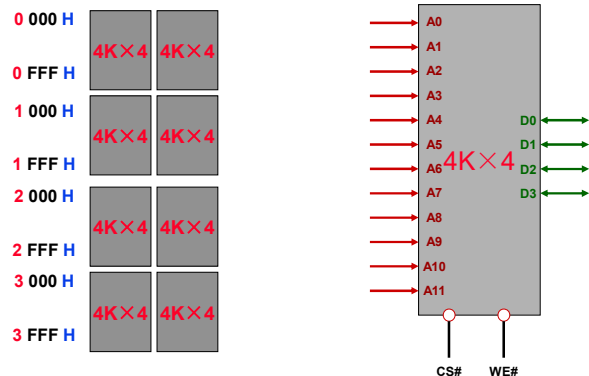
- > $4K \times 4$ 芯片:
 - 12个地址管脚 $A11 \sim A0$
 - 4个数据管脚 $D3 \sim D0$
 - 1个片选输入管脚 $CS\#$
 - 1个读写控制管脚 $WE\#$
 - 芯片地址空间: $000H \sim FFFH$
- > CPU向存储器提供:
 - 地址总线14根: $AB13 \sim AB0$
 - 数据总线8根: $DB7 \sim DB0$
 - 读写控制信号: $MemW$
 - 存储器地址空间: $0000H \sim 3FFFH$
- > 需要芯片数: $(16K \times 8) / (4K \times 4) = 8$ 片
 - 分4组 (字扩展), 每组2个芯片 (位扩展)
- > 一个2-4译码器产生4个片选信号
 - 译码器输入: $AB13 \sim AB12$
 - 译码器输出: 分别接4组芯片片选管脚



20

存储器芯片的扩展 (混合扩展)

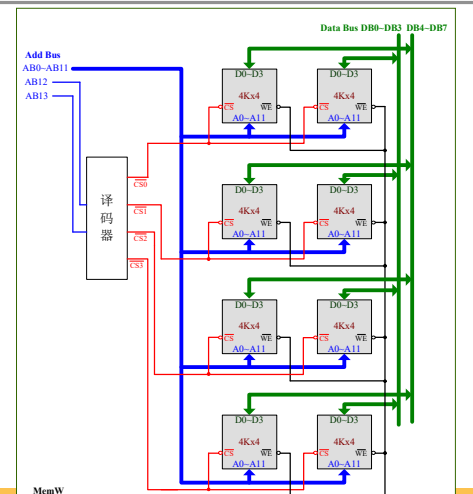
4Kx4 SRAM存储芯片构成16Kx8的存储器地址空间划分



21

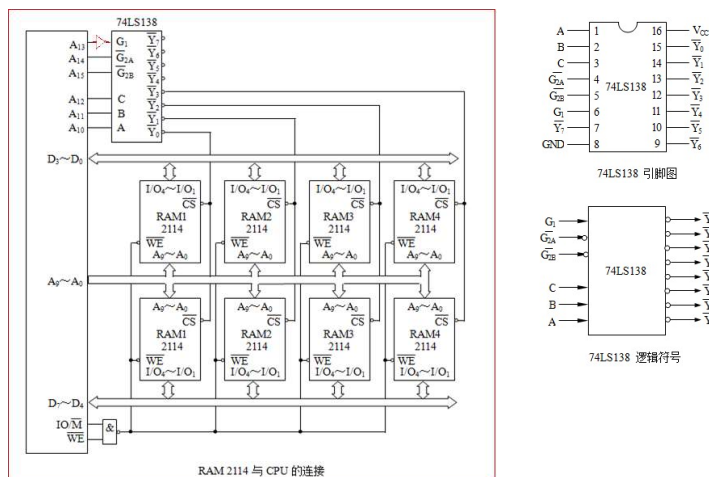
存储器芯片的扩展 (混合扩展)

4Kx4 SRAM存储芯片构成16Kx8的存储器连接图



22

存储器芯片的扩展示例 (续)



23

存储器芯片的扩展方法小结

❖ 基本思路

1. 确定每个芯片的地址管脚数、数据管脚数、地址空间
2. 确定整个存储空间所需的地址总线和数据总线的数量及地址空间
3. 计算所需存储器芯片的数量，确定每个存储器芯片在整个存储空间中的地址空间范围、位空间范围
4. 所有芯片的地址管脚全部连接到地址总线对应的地址线上
5. 同一字空间的存储芯片CS信号连在一起
6. 同一位空间的数据线连在一起，并连接到对应的数据总线上
7. 根据每个存储器芯片的地址空间范围设计存储器芯片所需要的片选信号逻辑，CS逻辑电路的输入一定是地址总线中没有连接到芯片的地址管脚上的那部分地址线
8. 统一读写控制

24

存储器芯片的扩展示例 —— 异种芯片

❖ 例：用3片16K×4的SRAM芯片和若干8K×4的SRAM芯片组成一个64K×8的按字节编址的存储器。

1. 确定每个芯片的地址管脚数、数据管脚数

16K×4芯片：14位地址，4位数据，芯片地址空间：0000 H ~ 3FFF H

8K×4芯片：13位地址，4位数据，芯片地址空间：0000 H ~ 1FFF H

2. 确定整个存储空间所需的地址总线和数据总线的数量

64K×8存储器：16位地址，8位数据，地址空间：0000 H ~ FFFF H

3a. 计算所需存储器芯片的数量

16K×4芯片：已有3片

需要8K×4芯片数：[(64K×8) - 3×(16K×4)] / (8K×4) = 10片

存储器芯片的扩展示例 —— 异种芯片

3b. 确定每个存储器芯片在整个存储空间中的地址空间范围、位空间范围

	A ₁₅₋₀	A ₁₅₋₁₂	A ₁₁₋₈	A ₇₋₄	A ₃₋₀	D ₇₋₄	D ₃₋₀
❖ 共有：							
3片16K×4芯片	0000H	0000	0000	0000	0000	16K × 4	16K × 4
10片8K×4芯片	3FFFH	0011	1111	1111	1111		
	4000H	0100	0000	0000	0000	16K × 4	8K × 4
	5FFFH	0101	1111	1111	1111		8K × 4
	6000H	0110	0000	0000	0000		8K × 4
	7FFFH	0111	1111	1111	1111		
❖ 如将10片8K×4看作5片16K×4	8000H	1000	0000	0000	0000	8K × 4	8K × 4
则相当于共有：	9FFFH	1001	1111	1111	1111		
8片16K×4芯片	A000H	1010	0000	0000	0000	8K × 4	8K × 4
	BFFFH	1011	1111	1111	1111		
	C000H	1100	0000	0000	0000	8K × 4	8K × 4
	DFFFH	1101	1111	1111	1111		
	E000H	1110	0000	0000	0000	8K × 4	8K × 4
	FFFFH	1111	1111	1111	1111		
❖ 存储器为64K×8可组成4X2方阵							

存储器芯片的扩展示例 —— 异种芯片

4. 所有芯片的地址管脚全部连接到地址总线对应的地址线上

	A ₁₅₋₀	A ₁₅₋₁₂	A ₁₁₋₈	A ₇₋₄	A ₃₋₀		
❖ 对16K×4芯片，连接A13~A0	0000H	0000	0000	0000	0000	16K × 4	16K × 4
	3FFFH	0011	1111	1111	1111		
❖ 剩余A15, 14用于CS的生成	4000H	0100	0000	0000	0000	16K × 4	8K × 4
	5FFFH	0101	1111	1111	1111		8K × 4
	6000H	0110	0000	0000	0000		
	7FFFH	0111	1111	1111	1111		
❖ 对8K×4芯片，连接A12~A0	8000H	1000	0000	0000	0000	8K × 4	8K × 4
	9FFFH	1001	1111	1111	1111		
	A000H	1010	0000	0000	0000	8K × 4	8K × 4
	BFFFH	1011	1111	1111	1111		
❖ 剩余A15, 14, 13用于CS的生成	C000H	1100	0000	0000	0000	8K × 4	8K × 4
	DFFFH	1101	1111	1111	1111		
	E000H	1110	0000	0000	0000	8K × 4	8K × 4
	FFFFH	1111	1111	1111	1111		

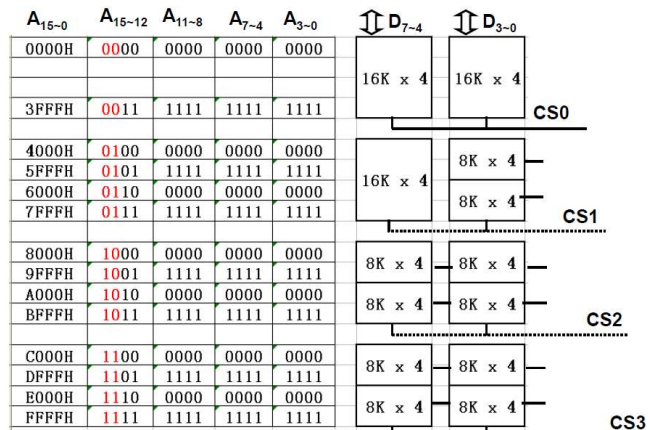
存储器芯片的扩展示例 —— 异种芯片

5. 同一字空间的存储芯片CS信号连在一起

	A ₁₅₋₀	A ₁₅₋₁₂	A ₁₁₋₈	A ₇₋₄	A ₃₋₀		
	0000H	0000	0000	0000	0000	16K × 4	16K × 4
	3FFFH	0011	1111	1111	1111		
	4000H	0100	0000	0000	0000	16K × 4	8K × 4
	5FFFH	0101	1111	1111	1111		8K × 4
	6000H	0110	0000	0000	0000		8K × 4
	7FFFH	0111	1111	1111	1111		
	8000H	1000	0000	0000	0000	8K × 4	8K × 4
	9FFFH	1001	1111	1111	1111		
	A000H	1010	0000	0000	0000	8K × 4	8K × 4
	BFFFH	1011	1111	1111	1111		
	C000H	1100	0000	0000	0000	8K × 4	8K × 4
	DFFFH	1101	1111	1111	1111		
	E000H	1110	0000	0000	0000	8K × 4	8K × 4
	FFFFH	1111	1111	1111	1111		

存储器芯片的扩展示例——异种芯片

6. 同一位空间的数据线连在一起，并连接到对应的数据总线上



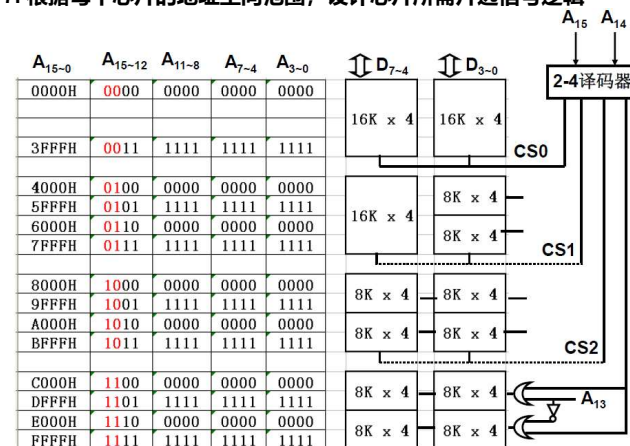
北京航空航天大学

29

29

存储器芯片的扩展示例——异种芯片

7. 根据每个芯片的地址空间范围，设计芯片所需片选信号逻辑



北京航空航天大学

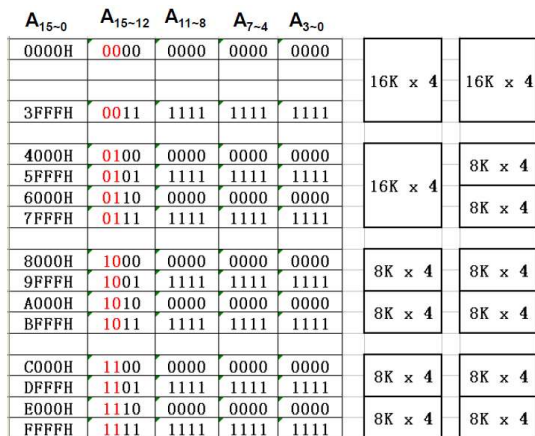
30

30

存储器芯片的扩展示例——异种芯片

8. 统一读写控制

❖ 所有芯片的读写控制信号连接到总线读写控制信号上



北京航空航天大学

31

31

CPU与主存的连接（示例）

CPU地址线A₁₅~A₀，数据线D₇~D₀，WR为读/写信号，MREQ为访存请求信号。0000H~3FFFH为系统程序区，4000H~FFFFH为用户程序区。用8K×4位ROM芯片和16K×8位RAM芯片构成该存储器，要求说明地址译码方案，并将ROM芯片、RAM芯片与CPU连接。

1. 确定每个芯片的地址管脚数、数据管脚数、地址空间
 - ❖ 8K × 4 芯片: 13位地址, 4位数据, 芯片地址空间: 0000H ~ 1FFFFH
 - ❖ 16K × 8 芯片: 14位地址, 8位数据, 芯片地址空间: 0000H ~ 3FFFFH
2. 确定整个存储空间所需的地址总线数量及地址空间
 - ❖ 16位地址, 8位数据, 地址空间: 0000H ~ FFFFFH
 - 16位地址, 8位数据, ROM, 地址空间: 0000H ~ 3FFFFH
 - 16位地址, 8位数据, RAM, 地址空间: 4000H ~ FFFFFH
3. 计算所需存储器芯片的数量, 确定每个存储器芯片在整个存储空间中的地址空间范围、位空间范围
 - ❖ 8K × 4 芯片: $(16K \times 8) / (8K \times 4) = 4$
 - ❖ 16K × 8 芯片: $(48K \times 8) / (16K \times 8) = 3$
4. 所有芯片的地址管脚全部连接到地址总线对应的地址线上
5. 同一字空间的存储芯片CS信号连在一起
6. 同一位空间的数据线连在一起, 并连接到对应的数据总线上
7. 根据每个存储器芯片的地址空间范围设计存储器芯片所需要的片选信号逻辑
8. 统一读写控制

北京航空航天大学

32

32

CPU与主存的连接 (示例-续)

因为0000H~3FFFH为系统程序区，ROM区高两位总是00，低14位为全译码。

ROM区大小为： $2^{14} \times 8\text{位} = 16\text{K} \times 8\text{位} = 16\text{KB}$

ROM芯片数为： $16\text{K} \times 8\text{位} / 8\text{K} \times 4\text{位} = 2 \times 2 = 8$ ，字方向扩展2倍，位方向扩展2倍

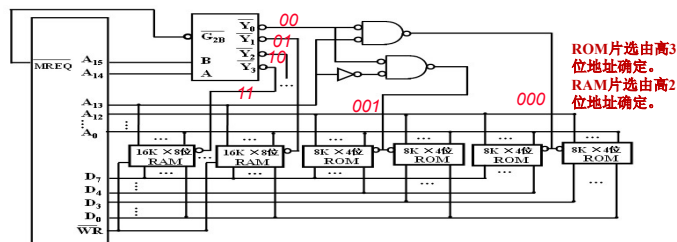
ROM芯片内地址位数为13位，连到CPU低13位地址线A12~A0

因为4000H~FFFFH为用户程序区，RAM区高两位是01、10、11，低14位为全译码。

RAM区大小为： $3 \times 2^{14} \times 8\text{位} = 3 \times 16\text{K} \times 8\text{位} = 48\text{KB}$

RAM芯片数为： $48\text{K} \times 8\text{位} / 16\text{K} \times 8\text{位} = 3 \times 1 = 3$ ，字方向上扩展3倍，位方向上不扩展。

RAM芯片内地址位数为14位，连到CPU低14位地址线A13~A0。



存储器的符号表示

❖ 读操作

➢ 输入

- 读单元地址: **Address**
- 读控制信号: **MemRead**

➢ 输出

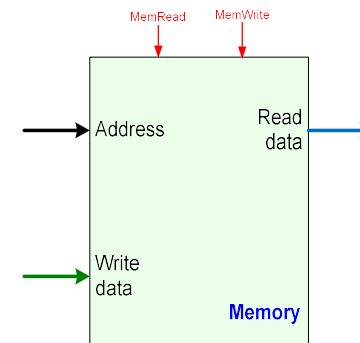
- 读出数据: **Readdata**

❖ 写操作

➢ 输入

- 写单元地址: **Address**
- 写入数据: **Writedata**
- 写控制信号: **MemWrite**

➢ 输出: 无

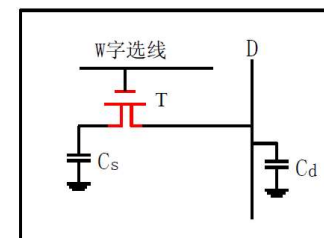


第四讲：主存储器

- 一. 存储系统概述
- 二. 存储单元电路
- 三. 存储器芯片结构
- 四. 存储器扩展
- 五. DRAM的刷新

DRAM存储单元电路的刷新

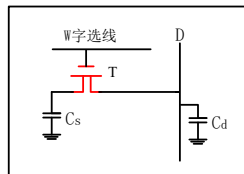
❖ DRAM存储单元电路的刷新问题



1. 在保持状态下，T管截止，Cs与外部隔开，但Cs两极间存在漏电流，所以，Cs上的电荷也会出现变化，必须在一个时间内重写数据，这个时间称为单元电路的刷新周期，一般为4ms、8ms。
2. 读出操作是一种破坏性操作，读1时，Cs放电；读0时，Cs充电；所以读出操作后，原保存在Cs上的数据（电荷）被破坏，应该立即进行恢复（重写或刷新）。

DRAM存储单元电路的刷新

❖ DRAM单管单元电路的工作特征



V'_d : D线在读出调整后的电压

V_{cs} : C_s 原来的电压

ΔV : D线上读出过程前后的变化量

$$\Delta V = V'_d - V_{pre} = (V_{cs} - V_{pre}) \times C_s / (C_s + C_d)$$

由于 C_d 要比 C_s 大一两个数量级, 所以

ΔV 不会太大 (1%到10%), 一般为100mV左右。

D线上的电压在读出过程中的变化量实例计算:

假定 $C_s = 1\text{pf}$, $C_d = 50\text{pf}$, $V_{pre} = 2.5\text{V}$

存储 1 时, $V_{cs} = 3.5\text{V}$, 存储 0 时, $V_{cs} = 0\text{V}$

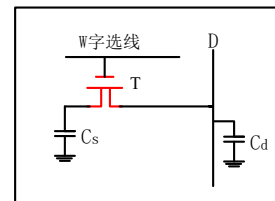
则:

$$\Delta V(1) = (3.5\text{V} - 2.5\text{V}) \times 1\text{pf} / (1\text{pf} + 50\text{pf}) = 19.6\text{mV}$$

$$\Delta V(0) = (0\text{V} - 2.5\text{V}) \times 1\text{pf} / (1\text{pf} + 50\text{pf}) = -49\text{mV}$$

DRAM存储单元电路的刷新

❖ DRAM存储单元电路的刷新



由于读出过程D线电压变化量较小, 需要对变化量进行放大才能得到有效的数据, 所以单管存储单元电路中D线上必须增加传感放大器(Sense Amplifier)。

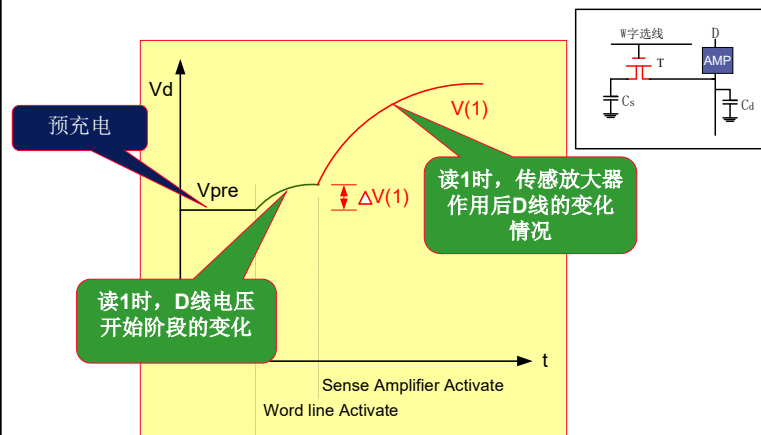
刷新由传感放大器在读出过程中同时完成

在D线上增加了传感放大器后, 读过程实际上就是一次刷新过程

事实上, DRAM的刷新就是通过这样的读操作来实现的

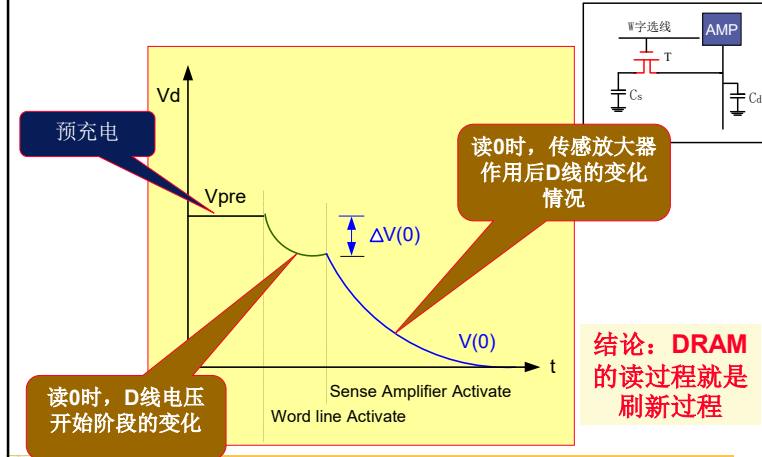
DRAM存储单元电路的刷新

❖ 读“1”过程中的D线电压变化情况 (刷新过程)



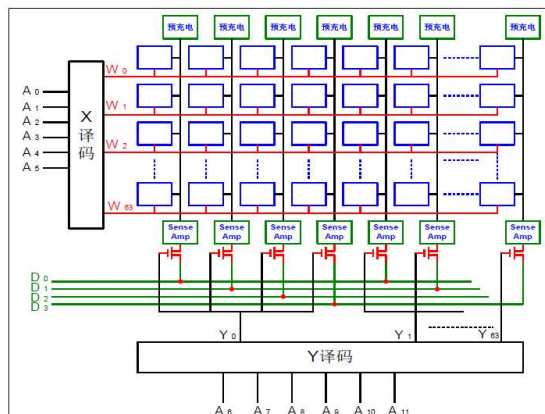
DRAM存储单元电路的刷新

❖ 读“0”过程中的D线电压变化情况 (刷新过程)



DRAM存储芯片的刷新

❖ DRAM芯片(二维地址结构): 4096×4 DRAM



按行刷新，每次刷新1行！ 刷新地址？

41

DRAM的刷新方式

❖ DRAM刷新的特点

- 刷新操作：读操作；
- 按行刷新、所有芯片同时进行；
- 刷新操作与CPU访问内存分开进行；
- 刷新周期：2ms, 4ms, 8ms；
- 刷新地址及刷新地址计数器

❖ DRAM常用的刷新方式

- 集中式
- 分散式
- 分布式

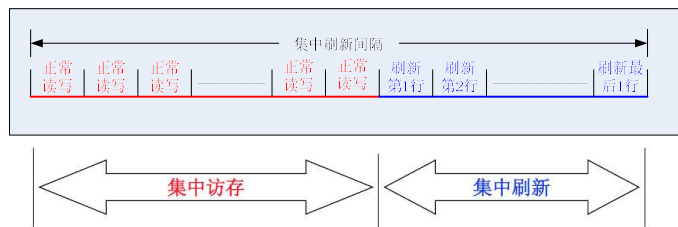
42

DRAM的刷新方式

❖ 集中刷新方式

将刷新周期分成两部分：在一个时间段内，刷新存储器所有行，此时CPU停止访问内存；另一个时间段内，CPU可以访问内存，刷新电路不工作。

集中刷新间隔 = 刷新周期



北京航空航天大学

43

43

DRAM的刷新方式

例：采用集中刷新方式，对128x128矩阵存储器刷新

设刷新周期为2ms，读/写周期为0.5μs，则：

集中刷新时间相当于128个读周期；

1个刷新周期中有4000个读/写周期，其中：

128个周期（64 μs）用来刷新操作；

3872个周期（1936 μs）用于读/写或维持信息；

当3872个周期结束，便开始进行128个周期(64 μs)的刷新操作

存在不能进行读写操作的死区时间（例64us），很少使用

北京航空航天大学

44

44

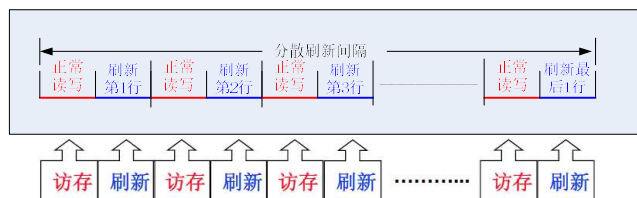
DRAM的刷新方式

❖分散刷新方式

CPU与刷新电路交替访问内存，一个存储周期刷新1行，下一个存储周期刷新另一行，直至最后1行后，又开始刷新第1行。

同1行两次被刷新的时间间隔可能小于刷新周期。

分散刷新间隔 = 刷新行数 × 存储周期 ≤ 刷新周期



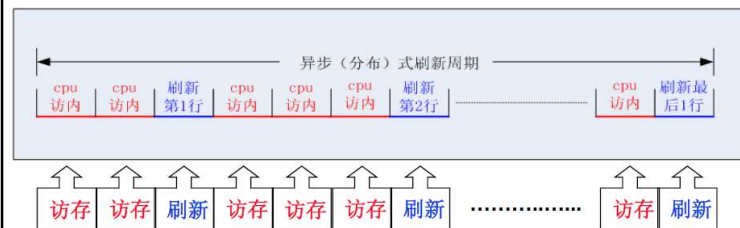
分散式刷新使系统速度降低，但不存在停止读写操作的死时间

DRAM的刷新方式

❖分布式（异步）刷新方式

保证在一个刷新周期内将存储芯片内的所有行刷新一遍，可能等时间间隔，也可能不等。

异步刷新间隔 = 刷新周期



是前两种方式的结合，可减少死时间，同时保证性能

DRAM的刷新方式

❖分布式（异步）刷新方式

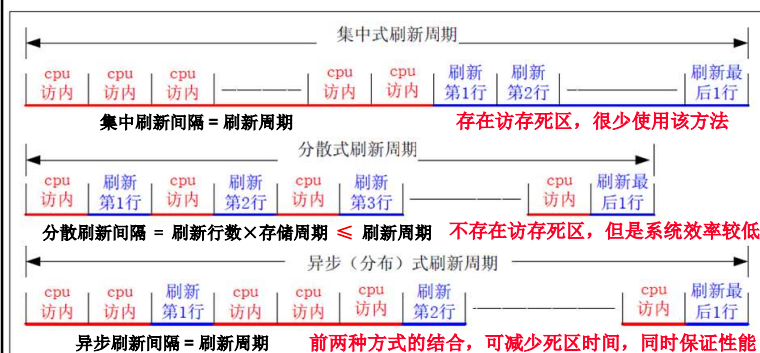
异步刷新间隔 = 刷新周期

以128行为例，在2ms时间内，必须轮流对每一行刷新一次，即每隔 $2\text{ms}/128=15.5\mu\text{s}$ 刷新一行。

这时假定读/写与刷新操作时间都为 $0.5\mu\text{s}$ ，则可用前 $15\mu\text{s}$ 进行正常读/写操作，最后 $0.5\mu\text{s}$ 完成刷新操作。



DRAM的刷新方式



主存储器总结

❖ 存储系统概述

- 存储器的分类：介质、访问方式、功能
- 存储器的性能指标：访问时间、存储周期、带宽
- 存储器的层次结构：Reg-Cache-MM-2ndS-3rdS

❖ 主存储器 —— 存储单元电路

- 存储单元电路的概念及其基本条件（0/1状态、读出、写入）
- SRAM存储单元电路的工作原理（六管、触发器）
- DRAM存储单元电路的工作原理（单管、电容充放电、需要刷新）
- ROM存储单元电路的工作原理（ROM、PROM、EPROM、EEPROM）

❖ 主存储器 —— 存储芯片的内部结构

- 芯片容量的基本描述（字单元数 \times 每个字单元的位数, $2^n \times m$ ）
- 一维地址结构（矩阵 $2^n \times m$, 2^n 选择线, m 数据线）
- 二维地址结构（矩阵 $2^{n/2} \times (2^{n/2} \times m)$, $2^{n/2} + 2^{n/2}$ 选择线, m 数据线）
- 存储芯片的片选信号/CS（DRAM /RAS）和读写控制信号/WE
- DRAM存储芯片的地址管脚复用（/RAS和/CAS控制）
- DRAM的刷新计数器（Refresher Counter, 生成行地址, 按行刷新）

主存储器总结

❖ 存储器扩展

- 字扩展
- 位扩展
- 混合扩展
- 异种芯片的扩展

❖ DRAM刷新

- 存储单元电路的刷新
- 存储芯片的刷新
- DRAM的刷新方式
 - 集中式
 - 分散式
 - 分布式（异步）