

数字电路 2019 年期末试题

直接在试卷上作答。注意：五道小题都选“√”或五道小题都选“×”，整体计 0 分！

- (1) 如果用原码表示有符号整数，“0”不是唯一的，但如果采用反码或者补码表示有符号整数，“0”则是唯一的。..... (×)
- (2) 考虑对曼切斯特码中的奇校验位进行填充，当有效编码位有奇数个“1”时，则奇校验位应填入“1”，可以采用异或逻辑对曼切斯特有效编码逐位进行运算，将最终运算结果填入该位即可。..... (×)
- (3) 对于正脉冲触发的 JK 触发器，它的输出信号只可能在脉冲的下降沿发生变化。..... (√)
- (4) 逻辑函数的对偶表达式与逻辑函数本身的真值表一致。..... (×)
- (5) 任意逻辑函数的“最小项之和”标准表达式的值恒等于 1。..... (×)

二、填空题（第 1 小题 6 分，第 2 小题 8 分、第 3 小题 6 分）

(1) 一段 Verilog-HDL 代码如图 1 所示，请用 **always** 过程块语句实现同样功能，并将完整的代码填写入中的空格中。

```
→ wire [3:0] a, b;  
→ wire c;  
→ assign c = (a==b) ? 1'b1 : 1'b0;
```

参考答案：

```
→ wire [3:0] a, b;  
→ reg c;  
→ always @ (a or b)   
→ if (a == b) c = 1'b1;  
→ else c = 1'b0;
```

图 1 Verilog-HDL 代码

(3) 对于图 4a 所示的电路，请在图 4b 中绘制在相应输入 A 和 C 条件下的 Q 点波形。

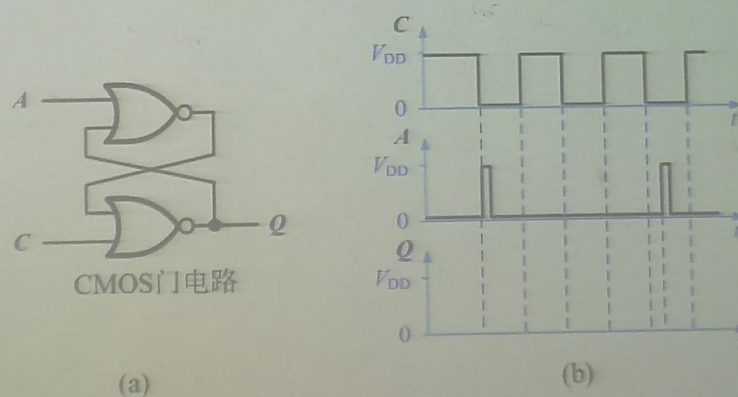


图 4 电路原理图和波形（请绘制波形）

三、组合逻辑（20 分，各小题分值 5 分、10 分、5 分）

在进行多位二进制数值处理时，常常需要进行 8421BCD 码和余 3 码的互相转换，两者之间的转换关系如表 1 所示，可以看出余 3 码是在 8421 码对应数值的基础上加 3 处理。

表 1·8421BCD 码与余 3 码相互转换关系

8421-BCD 码				余 3 码			
A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

→ 现有一片 4 位数值比较器 74LS85、一片 4 位二进制数全加器 74LS283 和两片四异或门 74LS86 等四块芯片，要求实现上述换码电路，当控制信号 $C=C_3C_2C_1C_0$ 大于等于 5 时，换码电路将 8421 码转换成余 3 码，当控制信号 C 小于 5 时将余 3 码转换成 8421 码，不得使用其他门电路。4 位数值比较器 74LS85、4 位二进制数全加器 74LS283 和四异或门 74LS86 的电路符号如图 5 所示（待补全）。余 3 码与 8421 码总是差 3，可用全加器加 3 或减 3 的方法实现换码。对于减 3 操作，可以采用 $A_{\text{减}}=(A_{\text{原}}+3)_{\text{反}}$ 实现。

→ 回答下列问题。

→ (1) 分析采用 $A_{\text{减}}=(A_{\text{原}}+3)_{\text{反}}$ 实现余 3 码向 8421 码转换的原理，可以结合余 3 码为 $A_{\text{原}}=(0101)_2$ ，计算其对应的 8421 码为例进行佐证。

(2) 给出 8421 码和余 3 码转换电路的整体实现思路。

(3) 约定输入编码用 $(A_3A_2A_1A_0)$ 表示、输出编码用 $(Y_3Y_2Y_1Y_0)$ 表示，控制信号用 $(C_3C_2C_1C_0)$ 表示，在图 5 中对 8421BCD 码和余 3 码转换电路进行补全。

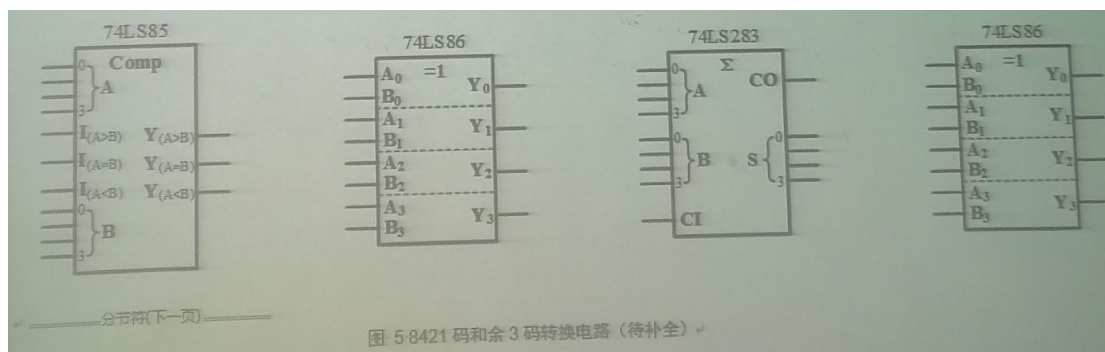


图 5 8421 码和余 3 码转换电路 (待补全)

用其他门电路。4 位数值比较器 74LS85、4 位二进制数全加器 74LS283 和四异或门 74LS86 的电路符号如图 5 所示 (待补全)。余 3 码与 8421 码总是差 3, 可用全加器加 3 或减 3 的方法实现换码。对于减 3 操作, 可以采用 $A_{\text{原}} = (A_{\text{反}} + 3)_{\text{反}}$ 实现。

→ 回答下列问题。

→ (1) 分析采用 $A_{\text{原}} = (A_{\text{反}} + 3)_{\text{反}}$ 实现余 3 码向 8421 码转换的原理, 可以结合余 3 码为 $A_{\text{原}} = (0101)_2$, 计算其对应的 8421 码为例进行佐证。

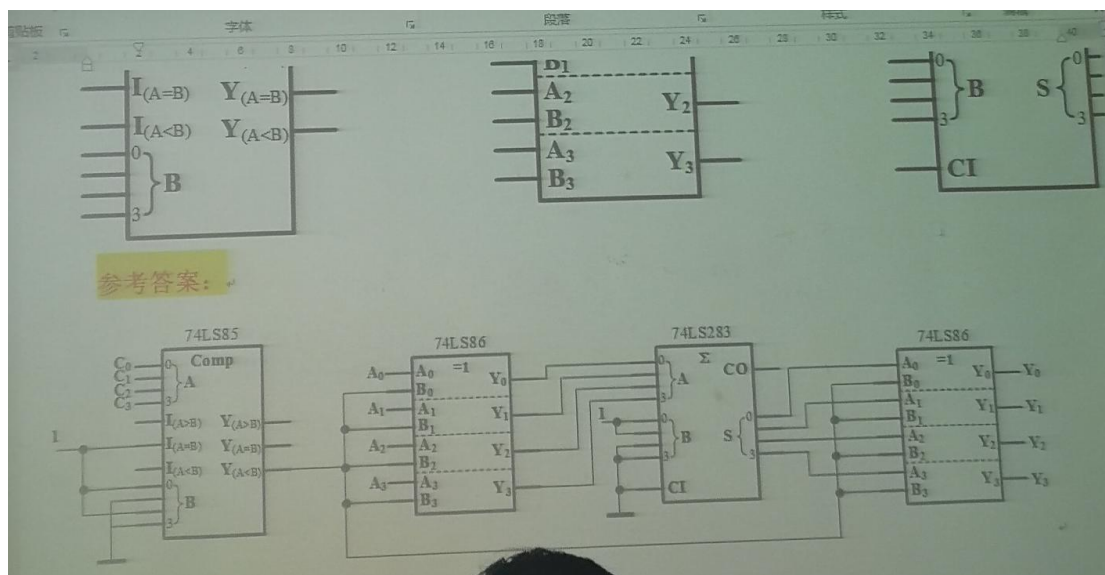
说明: 需要给出补码和反码的解释 (3 分), 再用例子验证 (2 分)。

注意: 如果只有验证没有解释, 且例子合适, 给 3 分。

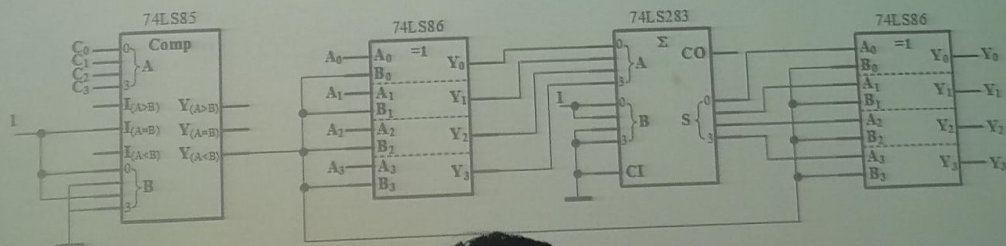
(2) 给出 8421 码和余 3 码转换电路的整体实现思路。

要点说明: 能够明确异或实现求反的计算 (即: $A \oplus 1$ 取反, $A \oplus 0$ 原码) (5 分)。

设计思路: (不论是语言描述, 还是图形辅助, 根据整体思路的合理性, 5 分)。



参考答案:



四、触发器和计数器（15 分，每小题 5 分）。

使用 4 位同步二进制计数器 74161 和 JK 触发器设计的电路如图 6 所示。其中同步二进制计数器 74161 的功能如表 2 所示（见下页），且已知当 74161 的内部计数状态为 $Q_3Q_2Q_1Q_0=(1111)_2$ 时，输出进位脉冲 C 。请解答如下问题：。

