

班级: \_\_\_\_\_; 学号: \_\_\_\_\_; 姓名: \_\_\_\_\_

**B. 数字部分 (共 50 分)**

计分栏

一 (10 分)	二 (20 分)	三 (10 分)	四 (10 分)	合计

注意：答案直接写在试卷的相应位置上。

**一. 填空题 (共 10 分, 每空 1 分)**

1. 在 Verilog 语法系统中, 可以通过函数进行公共代码的结构化封装, 其关键字是\_\_\_\_\_和\_\_\_\_\_。
2. 考虑如下嵌套块, 当语句执行完毕后, z 和 w 的值分别为\_\_\_\_\_和\_\_\_\_\_。

```
initial
begin
    x = 1'b0;
    #5 y = 1'b0;
    fork
        #10 z = {x , y};
        #5 y = 1'b1;
    join
        #20 w = {y , x};
end
```

3. always 语句块中的赋值操作被称为\_\_\_\_\_赋值, 被赋值的变量应该为\_\_\_\_\_类型的变量;
4. 完成语句, 使 rand\_a 产生一个 (-59, 59) 的随机数:  
reg[23:0] rand\_a;  
rand\_a=\_\_\_\_\_;
5. 根据表达式计算:  
 $8'b10010110 \ \& \ 8'b11001100 =$  \_\_\_\_\_;  
 $\{3'b100, 3\{2'b10\}, 3'b101\} =$  \_\_\_\_\_;  
 $\wedge 8'b10010110 =$  \_\_\_\_\_。

**二. 电路分析 (共 20 分, 包含 2 个小题, 第 1 小题 10 分, 第 2 小题 10 分, 注意模块的完整性。)**

- (1) 利用移位寄存器结构加上反馈电路，可以很方便的实现序列信号发生器，采用行为级描述的方法，实现图 1 所示电路功能。

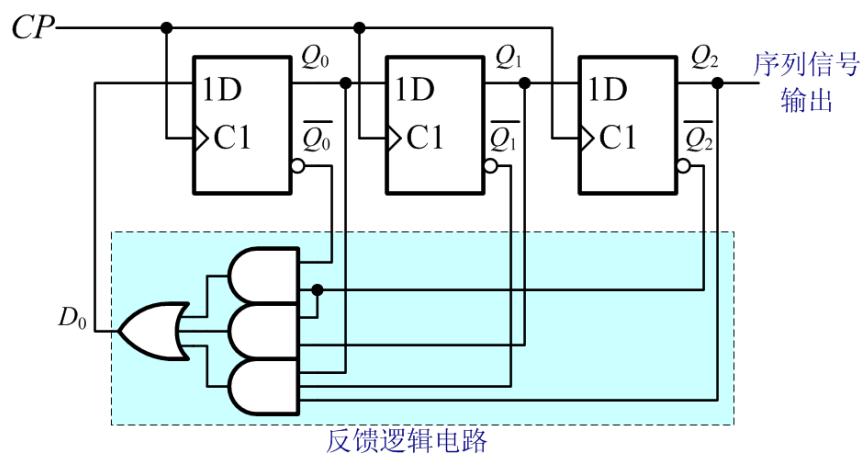


图 1 反馈型序列信号发生器

行为级描述:

```
module SeqBehavior (CP, Q2);
    input CP;
    output Q2;
```

```
endmodule
```

- (2) 根据图 2 所示时序图，采用 Verilog 语言设计与之功能匹配的电路。

班级: \_\_\_\_\_; 学号: \_\_\_\_\_; 姓名: \_\_\_\_\_

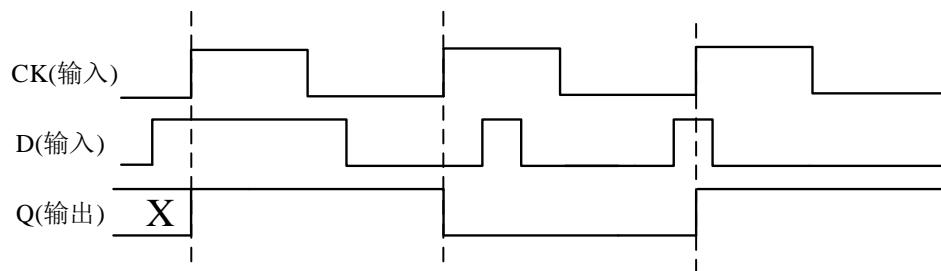


图 2 时序图

```
module WaveTest (CK,D,Q);
```

```
endmodule
```

### 三. 仿真测试（共 10 分）

采用 Verilog 语法，仿真产生 1Mhz 的时钟信号，在下面的代码段中首先将第一空和第二空补充完整，然后采用不少于 3 种的方法实现该时钟信号。对于多于 3 种的方法，将按照正确的方法进行计分。

```
`timescale 100ns/1ns
module ClockGen;

    _____; //定义变量，第一空

    initial
    begin
        _____; //初始化变量，第二空
    end
```

班级: \_\_\_\_\_; 学号: \_\_\_\_\_; 姓名: \_\_\_\_\_

//第一种办法产生时钟

--

//第二种办法产生时钟

--

//第三种办法产生时钟

--

班级: \_\_\_\_\_; 学号: \_\_\_\_\_; 姓名: \_\_\_\_\_

//第四种办法产生时钟，如果有的话。

endmodule

#### 四. 问答题（共 10 分）

试简单分析阻塞式赋值和非阻塞式赋值在使用过程中需要注意的一些原则。