

北京航空航天大学

2011 ~ 2012 学年 第 一 学期

《数字电路与系统》期末考试试卷（A 卷）

答案及参考评分标准

一、（10 分，每小题 2 分）判断各题正误，正确的在括号内记“√”，错误的在括号内记“×”。

- (1) 对于十进制纯小数,求它的二进制表示可以采用“除 2 取余”法。.....(×)
- (2) TTL 门电路在高电平输入时,其输入电流很小(74 系列每个输入端的输入电流约为 $40\ \mu\text{A}$)。..... (√)
- (3) 三态门输出为高阻时,其输出线上的电压为高电平。..... (×)
- (4) 单稳态触发器的暂稳态维持时间的长短取决于外界触发脉冲的频率和幅度。.....(×)
- (5) 当时序逻辑电路存在无效循环时,该电路不能自启动。..... (√)

二、(10 分，每小题 5 分)

(1) 设逻辑函数为 $f(A,B,C,D)=A(B+C)+B\cdot\overline{D}(\overline{A}+C)$ ，则它的反函数

$$\overline{f(A,B,C,D)}=(\overline{A+B\cdot C})\cdot(\overline{B+D+AC})$$

$$=\overline{A}\cdot\overline{B}+\overline{AD}+\overline{B}\cdot\overline{C}+\overline{B}\cdot\overline{CD}+\overline{B}\cdot\overline{CA}$$

$$=\overline{A}\cdot\overline{B}+\overline{AD}+\overline{B}\cdot\overline{C}$$

(写成“与或”表达式的形式，可以不用化简)；则 $f(A,B,C,D)$ 的对偶式为

$$f^D(A,B,C,D)=(A+BC)\cdot(B+\overline{D}+\overline{AC})$$

$$=AB+BC+BC\overline{D}+\overline{ABC}+A\overline{D}=\overline{AB}+\overline{AD}+\overline{BC}$$

(可以不用化简)。

(2) 如图 2-1，门电路 G_1, G_2 均 TTL 工艺，当输入信号 A 为低电平 V_{IL} ，

B 为高电平 V_{IH} 的情况下，图中 T 点为 低 电平 (填写“高”或“低”)；如果采用正逻辑 (即：高电平代表逻辑“1”，低电平代表逻辑“0”)，请写出输出 Y 关于 A, B, C 的逻辑函数

$$Y(A,B,C)=\overline{\overline{A}\cdot\overline{B}}\cdot\overline{C}+\overline{A}\cdot\overline{B}\cdot C=(A+B)\overline{C}+\overline{A}\cdot\overline{B}C=\overline{AC}+\overline{BC}+\overline{A}\cdot\overline{BC}$$

说明：如果写成 $Y(A,B,C)=(\overline{A}\cdot\overline{B})\odot C$ ，得 3 分；(同或运算)

$$\text{如果写成} \begin{cases} \overline{A}\cdot\overline{B} & C=1 \\ A+B & C=0 \end{cases}, \text{得 2 分。}$$

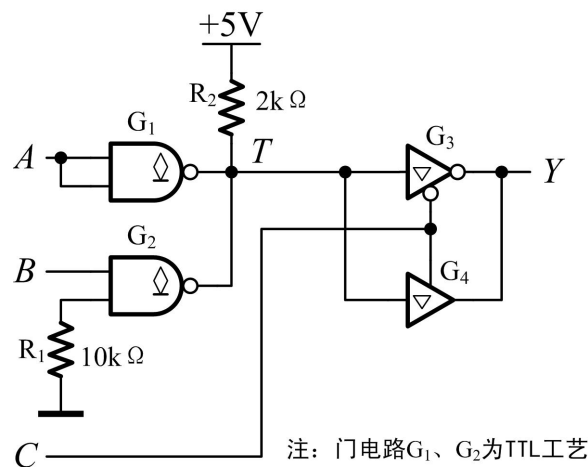


图 2-1

三、(15 分) 如图 3-1 所示的电路，其中 74151 是“8 选 1”数据选择器；试进行如下的组合逻辑电路分析。

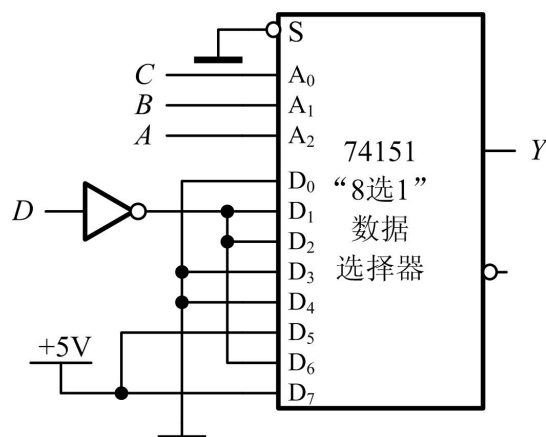


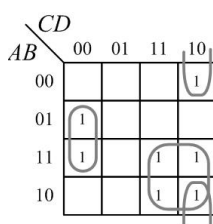
图 3-1

- (1) 写出该电路的逻辑表达式 $Y(A,B,C,D)$;
- (2) 将该逻辑表达式化简为最简“与或”表达式 $Y_1(A,B,C,D)$;
- (3) 设：根据应用的情况，还存在着无关项集合 $d(A,B,C,D)=\{m_0,m_5,m_6,m_7\}$ ，利用这些无关项对逻辑函数进行化简，请以“与非——与非”形式写出化简后的结果 $Y_2(A,B,C,D)$ 。

解：

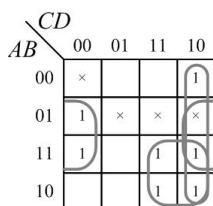
$$(1) Y(A,B,C,D) = \bar{A} \cdot \bar{B} \cdot C \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \bar{B} C + \bar{A} B \bar{C} \cdot \bar{D} + \bar{A} B C$$

$$(2) Y_1(A,B,C,D) = B \cdot \bar{C} \cdot \bar{D} + \bar{B} \cdot C \cdot \bar{D} + A \cdot C$$



说明：(参考卡诺图)

$$(3) Y_2(A,B,C,D) = Y_1(A,B,C,D) + d(A,B,C,D) = \bar{B} \bar{D} + \bar{C} \bar{D} + \bar{A} C = \overline{\overline{\bar{B} \bar{D}} \cdot \overline{\bar{C} \bar{D}} \cdot \overline{\bar{A} C}}$$



说明：(参考卡诺图)

可以使用不同的化简方法，答案为： $\overline{\overline{\bar{B} \bar{D}} \cdot \overline{\bar{C} \bar{D}} \cdot \overline{\bar{A} C}}$

四、(15 分) 已知电路原理图如图 4-1 所示, CP_1 、 CP_2 的波形如图 4-2 所示, 设触发器的初始状态均为“0”, 请在图 4-2 中画出输出端 B 和 C 的波形。

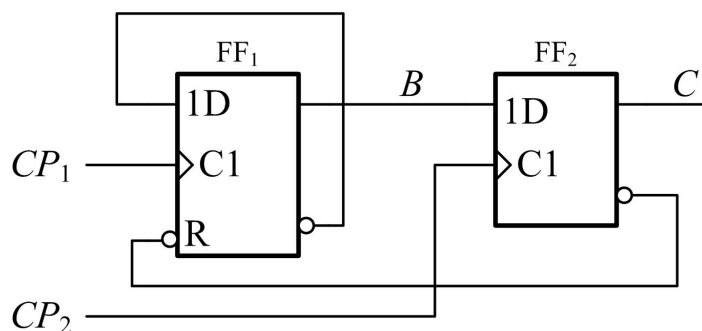


图 4-1

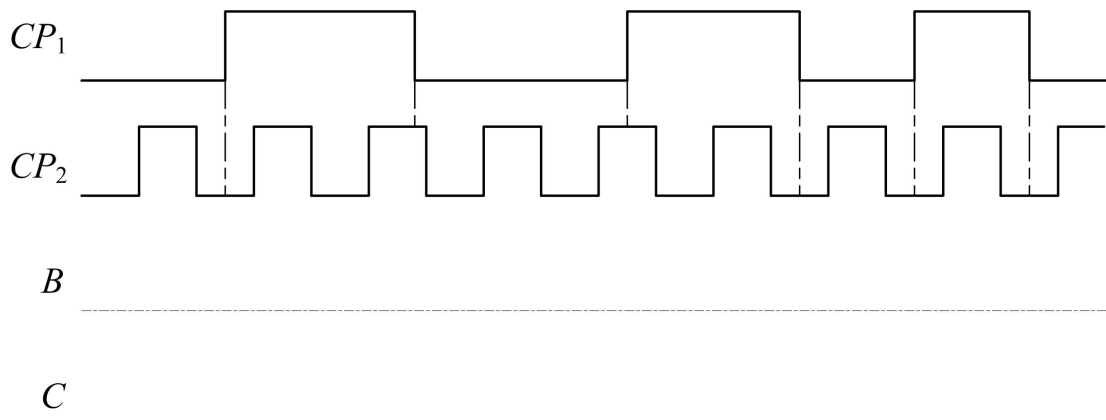
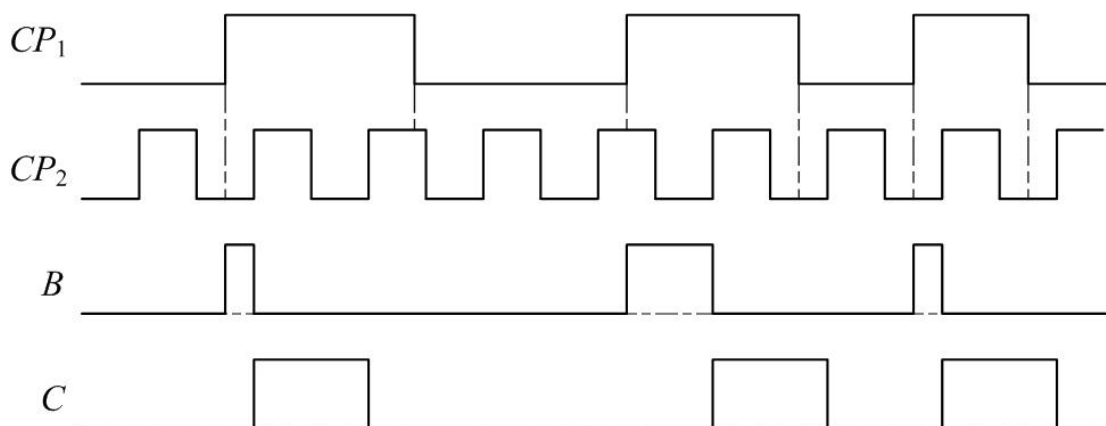


图 4-2

解:



评分标准: ①只要画对任意一次 B 、 C 和 CP_1/CP_2 的配合关系, 即可得 7 分, 其余二次, B 和 C 的波形每对 1 次, 2 分; ②如果三次配合关系都不对, 则 B 和 C 的波形每对 1 次, 2 分; ③如果画得配合关系无法识别, 则能够正确识别上升沿触发, 每对 1 次, 1 分; ④如果画出了异步清零的门传输延迟, 则是更加精确的答案, 同样可以得分, 且可以在出现其它失误的时候可以酌情加 1~2 分。

五、(15 分) 分析如图 5-1 所示的时序逻辑电路，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，其中 X 为输入的逻辑变量。

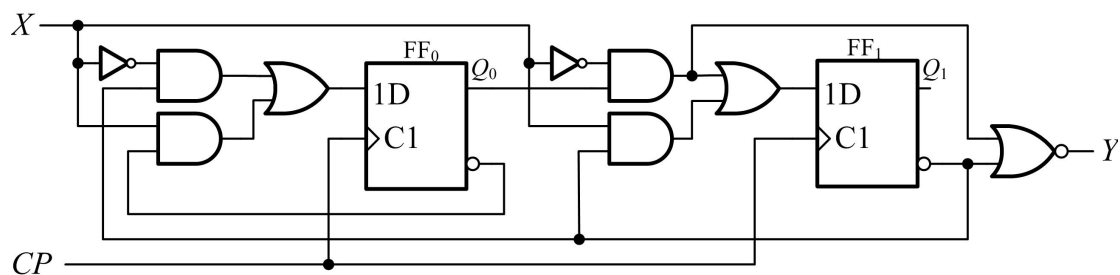


图 5-1

解：驱动方程： $D_0 = \overline{X} \cdot \overline{Q_1} + X \cdot \overline{Q_0}$ ； $D_1 = \overline{X} \cdot Q_0 + X \cdot \overline{Q_1}$ 。

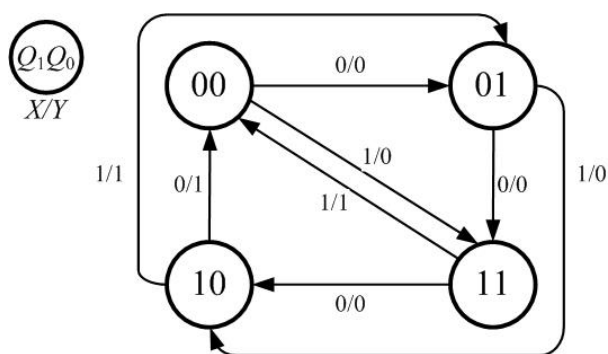
状态方程： $Q_0^{n+1} = \overline{X} \cdot \overline{Q_1} + X \cdot \overline{Q_0}$ ； $Q_1^{n+1} = \overline{X} \cdot Q_0 + X \cdot \overline{Q_1}$ 。

输出方程： $Y = \overline{X}Q_0 + \overline{Q_1} = Q_1 \cdot (X + \overline{Q_0}) = X \cdot Q_1 + Q_1 \cdot \overline{Q_0}$ 。

状态转换表：

X	Q_1	Q_0	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	1	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	1	1	0	0
1	0	0	1	1	0
1	0	1	1	0	0
1	1	0	0	1	1
1	1	1	0	0	1

状态转换图：



说明：①如果没有画出状态转换图，而是画出了状态转换表，可以给过程分，但此项的“过程”与“结果”的分数分配为 3+2——即如果转换表完全正确，但没有画图，只给 3 分；②如果状态转换表错误，但画出的图与表是完全一致的，则可以得 2 分，再根据转换表的错误情况在 3 分范围内扣分——每错 1 行扣 1 分，扣完为止。

六、(20 分) 设计一个彩灯控制的时序逻辑电路，要求红 (R)、黄 (Y)、绿 (G) 三种颜色的灯在时钟信号 CP 的作用下按表 6-1 规定的顺序转换状态。表中“1”表示“亮”，“0”表示“灭”。 要求电路能够自启动。

可供选用的器件为：上升沿触发的 JK 触发器、与非门、反相器。

请简要说明设计过程，并绘制电路图。

表 6-1

CP 顺序	红 (R)	黄 (Y)	绿 (G)
0	0	0	1
1	0	1	0
2	1	0	1
3	0	1	1
4	1	1	1
5	1	1	0
6	1	0	0

解：(解法一)

采用 3 个触发器，分别代表红、黄、绿的状态 Q_R 、 Q_Y 和 Q_G 。

状态转换表 (这里画出卡诺图形式的状态转换表，如果画成真值表形式的也可给分)

		Q_R^{n+1}						Q_Y^{n+1}						Q_G^{n+1}			
		$Q_Y Q_G$						$Q_Y Q_G$						$Q_Y Q_G$			
Q_R		00	01	11	10	Q_R		00	01	11	10	Q_R		00	01	11	10
0		×	0	1	1	0		×	1	1	0	0		×	0	1	1
1		0	0	1	1	1		0	1	1	0	1		1	1	0	0

化简，对于 JK 触发器，有

		Q_R^{n+1}						Q_Y^{n+1}						Q_G^{n+1}			
		$Q_Y Q_G$						$Q_Y Q_G$						$Q_Y Q_G$			
Q_R		00	01	11	10	Q_R		00	01	11	10	Q_R		00	01	11	10
0		×	0	1	1	0		×	1	1	0	0		×	0	1	1
1		0	0	1	1	1		0	1	1	0	1		1	1	0	0

状态方程： $Q_R^{n+1} = Q_Y \overline{Q_R} + Q_Y Q_R$ ； $Q_Y^{n+1} = Q_G \overline{Q_Y} + Q_G Q_Y$ ；

$$Q_Y^{n+1} = (Q_R \overline{Q_Y} + \overline{Q_R} Q_Y) \overline{Q_G} + (Q_R \overline{Q_Y} + \overline{Q_R} Q_Y) Q_G$$

驱动方程:

$$\begin{cases} J_R = Q_Y \\ K_R = \overline{Q_Y} \end{cases}; \quad \begin{cases} J_Y = Q_G \\ K_Y = \overline{Q_G} \end{cases}; \quad \begin{cases} J_G = Q_R \overline{Q_Y} + \overline{Q_R} Q_Y \\ K_G = Q_R \overline{Q_Y} + \overline{Q_R} Q_Y = Q_R Q_Y + \overline{Q_R} \cdot \overline{Q_Y} \end{cases}$$

为了能够自启动, 修正设计:

		Q_R^{n+1}						Q_Y^{n+1}						Q_G^{n+1}			
		$Q_Y Q_G$						$Q_Y Q_G$						$Q_Y Q_G$			
Q_R		00	01	11	10	Q_R		00	01	11	10	Q_R		00	01	11	10
0	\times	0	1	1		0	\times	1	1	0		0	\times	0	1	1	
1	0	0	1	1		1	0	1	1	0		1	1	1	0	0	

状态方程为: $Q_R^{n+1} = Q_Y \overline{Q_R} + Q_Y Q_R$; $Q_Y^{n+1} = Q_G \overline{Q_Y} + Q_G Q_Y$;

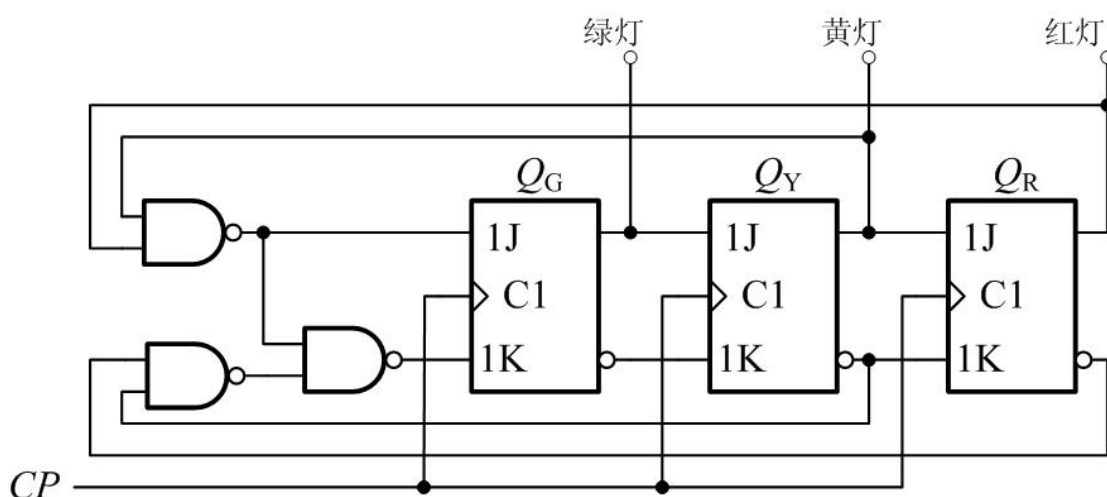
$$Q_Y^{n+1} = (\overline{Q_Y} + \overline{Q_R}) \overline{Q_G} + (Q_R \overline{Q_Y} + \overline{Q_R} Q_Y) Q_G$$

驱动方程为:

$$\begin{cases} J_R = Q_Y \\ K_R = \overline{Q_Y} \end{cases}; \quad \begin{cases} J_Y = Q_G \\ K_Y = \overline{Q_G} \end{cases};$$

$$\begin{cases} J_G = \overline{Q_Y} \overline{Q_R} \\ K_G = Q_R \overline{Q_Y} + \overline{Q_R} Q_Y = Q_R Q_Y + \overline{Q_R} \cdot \overline{Q_Y} = \overline{Q_R Q_Y} \cdot \overline{Q_R \cdot Q_Y} \end{cases}$$

绘制电路图:



解：（解法二）

用 JK 触发器构造出 7 进制计数器，再对技术状态进行译码，得到序列输出。

状态转换表：

Q_2^{n+1}

Q_1Q_0		00	01	11	10
		0	0	0	1
Q_2		0	0	0	1
		1	1	×	0

Q_1^{n+1}

Q_1Q_0		00	01	11	10
		0	0	1	0
Q_2		0	0	1	0
		1	0	1	×

Q_0^{n+1}

Q_1Q_0		00	01	11	10
		0	1	0	0
Q_2		0	1	0	0
		1	1	0	×

不用修正也可自启动

状态方程：

$$Q_2^{n+1} = Q_1Q_0 \cdot \overline{Q_2} + \overline{Q_1}Q_2 \quad ; \quad Q_1^{n+1} = Q_0\overline{Q_1} + \overline{Q_2} \cdot \overline{Q_0}Q_1 \quad ;$$

$$Q_0^{n+1} = \overline{Q_2} \cdot \overline{Q_0} + \overline{Q_1} \cdot \overline{Q_0} \quad .$$

驱动方程：

$$\begin{cases} J_2 = Q_1Q_0 \\ K_2 = Q_1 \end{cases} \quad ; \quad \begin{cases} J_1 = Q_0 \\ K_1 = \overline{Q_2} \cdot \overline{Q_0} \end{cases} \quad ; \quad \begin{cases} J_0 = \overline{Q_2} + \overline{Q_1} = \overline{Q_2} \cdot \overline{Q_1} \\ K_0 = 1 \end{cases} \quad .$$

输出方程

R

		Q_1Q_0			
		00	01	11	10
Q_2	0	0	0	0	1
	1	1	×	1	

Y

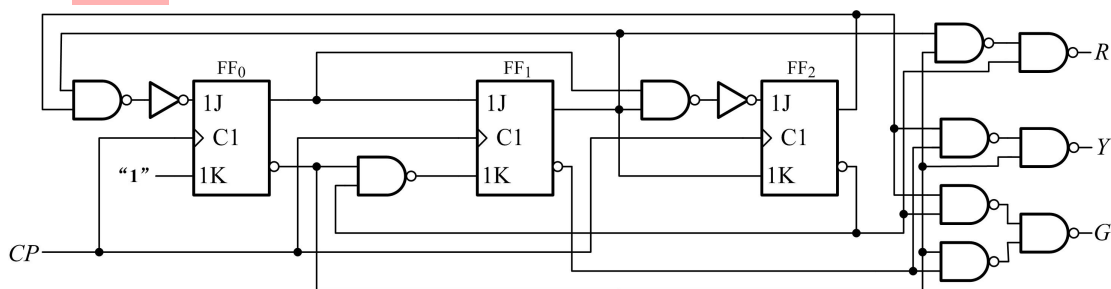
		Q_1Q_0			
		00	01	11	10
Q_2	0	0	1	1	0
	1	1	1	×	0

G

		Q_1Q_0			
		00	01	11	10
Q_2	0	1	0	1	1
	1	1	0	×	0

$$R = Q_2 + Q_1\overline{Q_0} \quad ; \quad Y = Q_0 + Q_2\overline{Q_1} \quad ; \quad G = \overline{Q_1} \cdot \overline{Q_0} + \overline{Q_2} \cdot Q_1 \quad .$$

电路原理图



七、（15 分）综合分析图 7-1 所示的电路。其中，芯片 74160 为同步十进制加法计数器，其操作特性如表 7-1 所示；PROM 的 16 个地址单元中的数据在表 7-2 种列出，设初始时刻计数器状态为 0000，要求：

- (1) 请说明 555 定时器构成什么类型的电路；
- (2) 请说明在图 7-1 中，芯片 74160 被配置为多少进制的计数器；
- (3) 芯片 CB7520 为 10 位 D/A 转换器，输出表达式为： $v_o = -\frac{V_{REF}}{2^{10}} \sum_{i=0}^9 d_i \times 2^i$ ，

请在图 7-2 中画出 D/A 转换器输出电压 v_o 的波形图。

表 7-1

时钟	清零	预置	使能		工作模式
CLK	$\overline{R_D}$	\overline{LD}	EP	ET	
×	0	×	×	×	异步清零
↑	1	0	×	×	同步预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但 C=0)
↑	1	1	1	1	加法计数

表 7-2 PROM 的 16 个地址单元中的数据

地址输入								数据输出			
A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	O ₃	O ₂	O ₁	O ₀
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	1	0	1	0	0
0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	1	0	1	0	1	0	0
0	0	0	0	0	1	1	0	0	0	1	0
0	0	0	0	0	1	1	1	0	0	0	1
0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	0	1	0	0	1	1	1	0	0
0	0	0	0	1	0	1	0	0	0	0	1
0	0	0	0	1	0	1	1	0	0	1	0
0	0	0	0	1	1	0	0	0	0	0	1
0	0	0	0	1	1	0	1	0	1	0	0
0	0	0	0	1	1	1	0	0	1	1	1
0	0	0	0	1	1	1	1	0	0	0	0

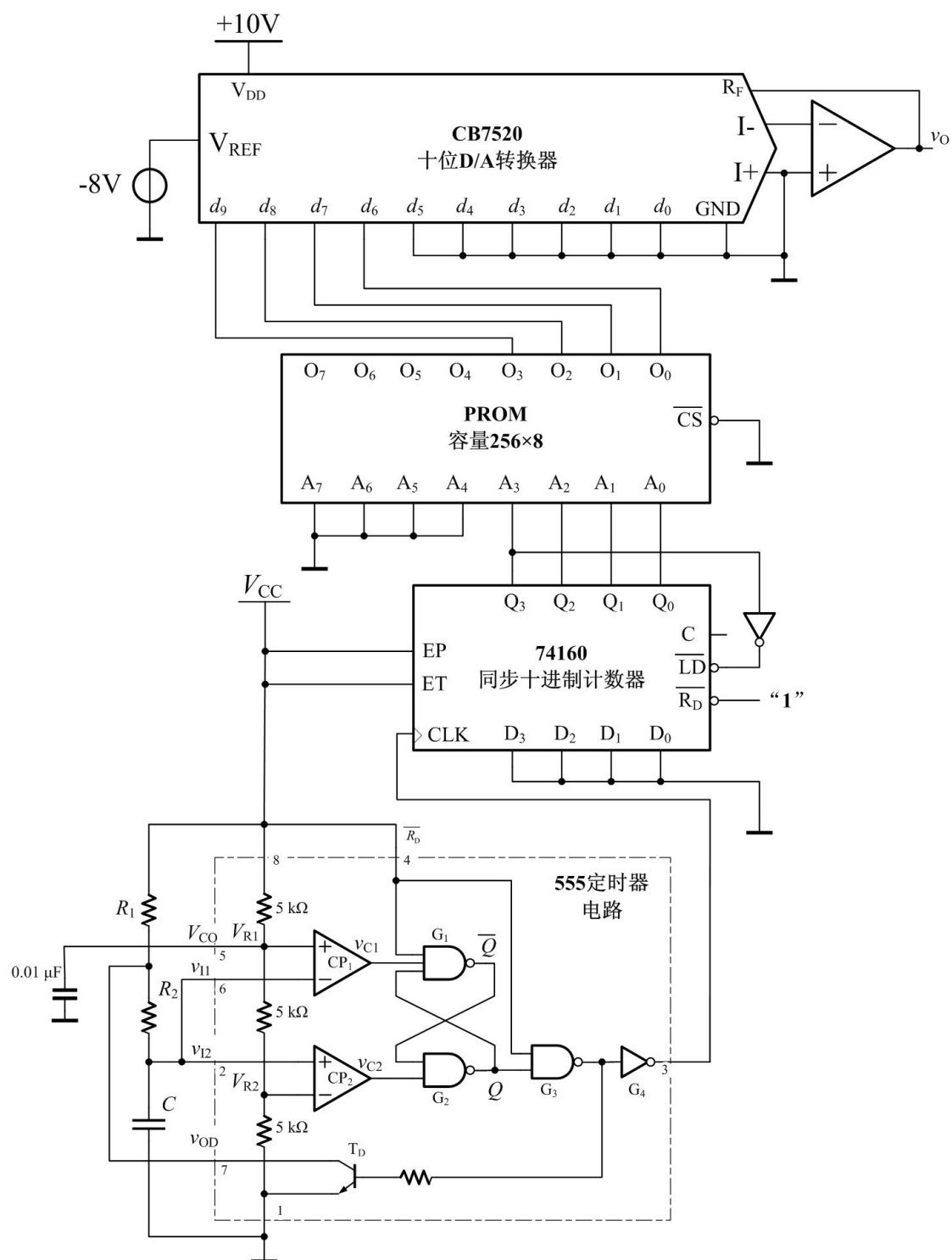


图 7-1

解：

(1) 请说明 555 定时器构成什么类型的电路；

答：构成多谐振荡器电路。

(2) 请说明在图 7-1 中，芯片 74160 被配置为多少进制的计数器；

答：构成 9 进制计数器。

(3) 如图

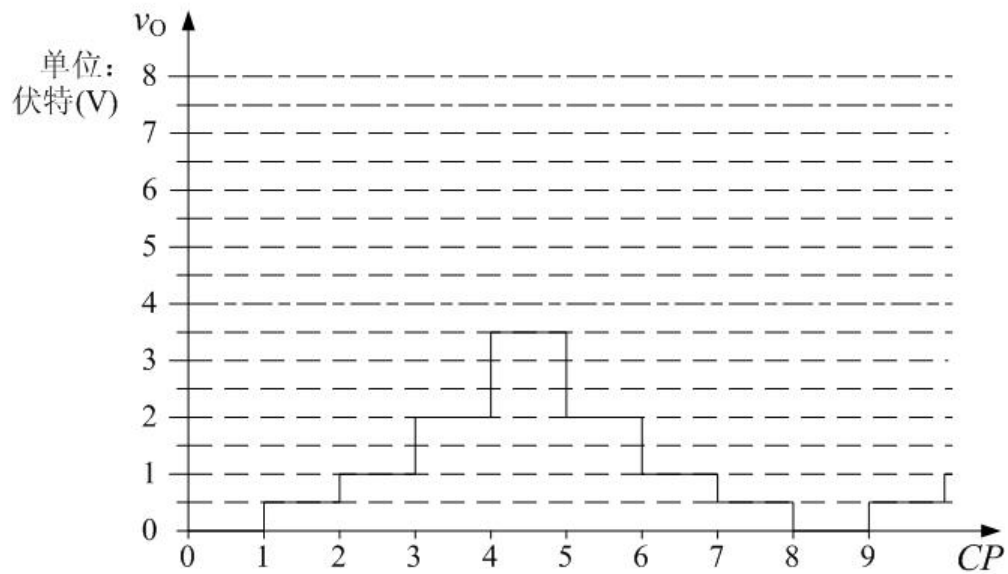


图 7-2