

1.

- (1) 若两个逻辑函数具有不同的表达式, 则这两个逻辑函数不相等。... ( × )
- (2) 十进制数  $(9)_{10}$  比十六进制  $(9)_{16}$  数小。..... ( × )
- (3) 容量为  $1024 \times 4$  的存储器芯片具有 1024 根地址线。..... ( × )
- (4) 时序逻辑电路的结构当中一定含有存储电路。..... ( √ )
- (5) 用具有 3 位地址输入的数据选择器, 可以产生任何形式输入变量数为 4 的组合逻辑函数。..... ( √ )
- (6) 当时序逻辑电路存在无效循环时, 该电路不能自启动。..... ( √ )
- (7) 对于十进制纯小数, 求它的二进制表示可以采用“除 2 取余”法。..... ( × )

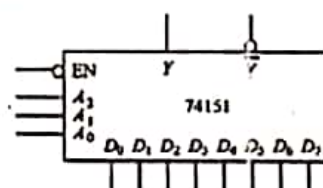
2.

【题】4.2.2-11 已知 8 选 1 数据选择器 74LS151 芯片的选择输入端  $A_2$  的引脚折断, 无法输入信号, 但芯片内部功能完好。试问如何利用它来实现函数  $F(A, B, C) = \sum m(1, 2, 4, 7)$ 。

要求写出实现过程, 画出逻辑图。74LS151 的框图如图 4.2.1-24 (b) 所示, 功能表如 4.2.1 节表 4.2.1-11 所示。(★华中理工大学 1999)

$M_1 M_0$	$F$
0 0	$\overline{A+B}$
0 1	$\overline{AB}$
1 0	$\overline{A \oplus B}$
1 1	$\overline{A \odot B}$

(a)



(b)

8选1 实现逻辑

【答案】

输入					输出	
选通	地址			数据		
$\overline{EN}$	$A_2$	$A_1$	$A_0$	$D_i$	$Y$	$\overline{Y}$
1	×	×	×	×	0	1
0	0	0	0	$D_0 \sim D_7$	$D_0$	$\overline{D_0}$
0	0	0	1	$D_0 \sim D_7$	$D_1$	$\overline{D_1}$
0	0	1	0	$D_0 \sim D_7$	$D_2$	$\overline{D_2}$
0	0	1	1	$D_0 \sim D_7$	$D_3$	$\overline{D_3}$
0	1	0	0	$D_0 \sim D_7$	$D_4$	$\overline{D_4}$

0	1	0	1	$D_0 \sim D_7$	$D_5$	$\overline{D_5}$
0	1	1	0	$D_0 \sim D_7$	$D_6$	$\overline{D_6}$
0	1	1	1	$D_0 \sim D_7$	$D_7$	$\overline{D_7}$

$$F = A'B'C + A'BC' + AB'C' + ABC$$

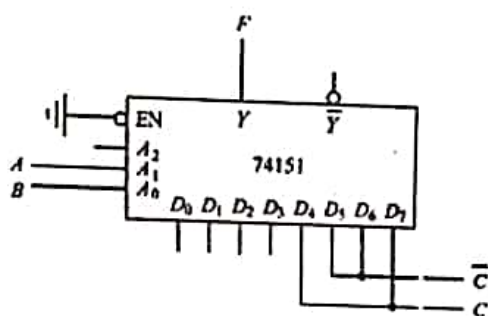


图 A4.2.2-5 【题】4.2.2-11 的电路实现

三、(15 分) 组合逻辑电路，在答题纸上作答。

可以采用优先权编码器 (priority encoder) 和数据选择器 (multiplexer)，将二进制定点数转换为二进制浮点数，如图 2 以 4-bit 的二进制无符号整数输入为例，用 74148 优先权编码器和 74153 双四选一数据选择器芯片，配合必要的反相器门电路实现的例子。(74148 和 74153 的功能表分别如表 1 和表 2 所示。)

请解决如下问题：

- (1) 例如：输入的无符号整数  $U_3U_2U_1U_0$  为  $(0101)_2$ ，则输出的数字信号  $F_0F_1F_2F_3$  和  $P_1P_0$  分别为什么数值？
- (2) 图 2 中的椭圆虚线框中所示的 74148 的  $\overline{I_0}$  端为什么直接接地？(接地相当于逻辑“0”)
- (3) 假设采购不到 74148 芯片，则仅依靠 74153 芯片和反相器，如何实现图 2 中的方形虚线框中电路的功能？请给出设计方案，并绘制这部分功能电路的原理图。

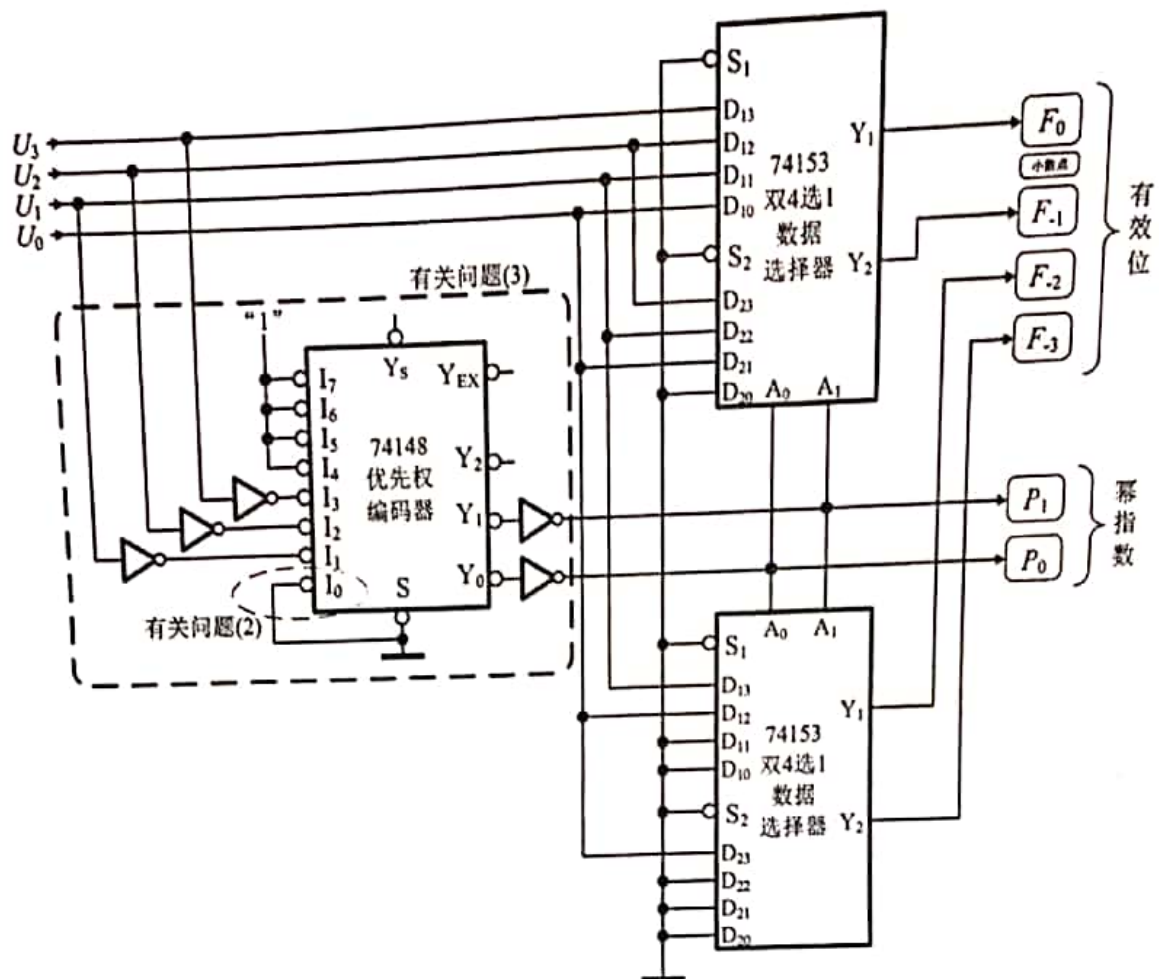
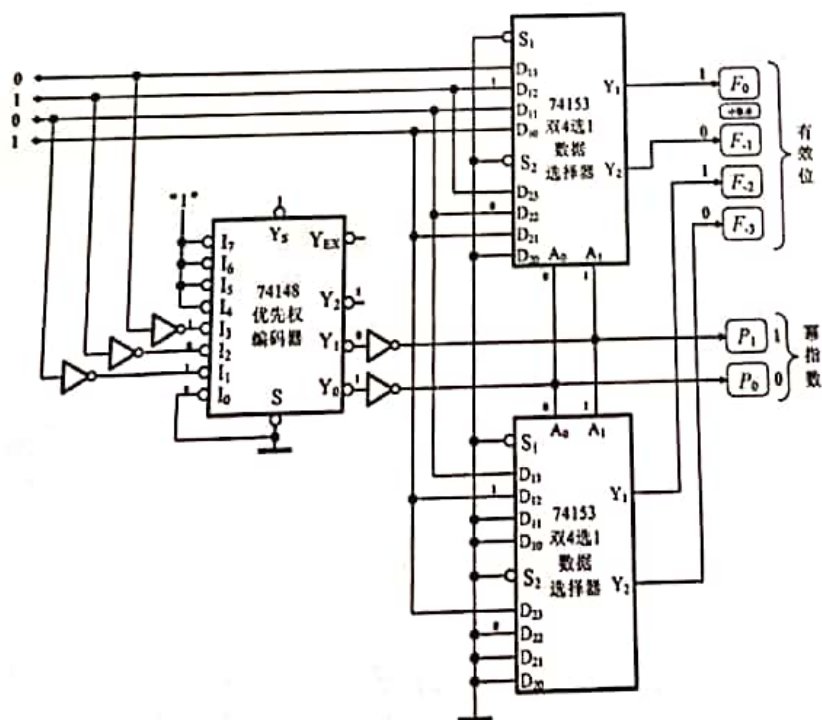


图 2 将 4-bit 的二进制无符号整数转换为二进制浮点数

答:

(1) 如果输入的无符号整数  $U_3U_2U_1U_0$  为  $(0101)_2$ , 则输出的数字信号  $F_0F_1F_2F_3$  为  $(1010)_2$ ,  $P_1P_0$  为  $(10)_2$ ; 电路中的数值如下图所示 (学生作答时可以不画电路图)。

评阅细则: 本小问 5 分, 只要写出值即可算对。  $1.01 \times 2^2, 1.01 \times 10^2$ 。





(2) 中的 74148 芯片的  $\overline{I_0}$  端直接接地, 相当于接逻辑“0”, 这是因为不论输入为  $(0001)_2$  还是  $(0000)_2$ , 幂指数均应显示为  $(00)_2$ , 所以使  $\overline{I_0} = 0$ , 不论  $U_0$  是否为 1。

评阅细则: 本小问 5 分, 只要写出合适理由即可算对。

(3) 以 74148 为核心的电路功能是:

(逻辑取值, 学生作答时可以不列出逻辑取值):

$U_3$	$U_2$	$U_1$	$U_0$	$A_1$	$A_0$
1	×	×	×	1	1
0	1	×	×	1	0
0	0	1	×	0	1
0	0	0	1	0	0

(逻辑表达式):

$$A_1 = U_3 + \overline{U_3} \cdot U_2 = U_3 + U_2,$$

$$A_0 = U_3 + \overline{U_3} \cdot \overline{U_2} \cdot U_1 = U_3 + \overline{U_2} \cdot U_1$$

可以分别用“四选一”实现  $A_1$  和  $A_0$  的组合逻辑函数。“四选一”的逻辑表达式为:

$Y_i = [(\overline{A_1} \cdot \overline{A_0}) \cdot D_{i0} + (\overline{A_1} \cdot A_0) \cdot D_{i1} + (A_1 \cdot \overline{A_0}) \cdot D_{i2} + (A_1 \cdot A_0) \cdot D_{i3}] \cdot S_i$ , 为了避免和逻辑表达式混淆, 可以将 74153 的地址输入端添加角标“MUX”, 即:

$$Y_i = [(\overline{A_{1,MUX}} \cdot \overline{A_{0,MUX}}) \cdot D_{i0} + (\overline{A_{1,MUX}} \cdot A_{0,MUX}) \cdot D_{i1} + (A_{1,MUX} \cdot \overline{A_{0,MUX}}) \cdot D_{i2} + (A_{1,MUX} \cdot A_{0,MUX}) \cdot D_{i3}] \cdot S_i$$

可以取:

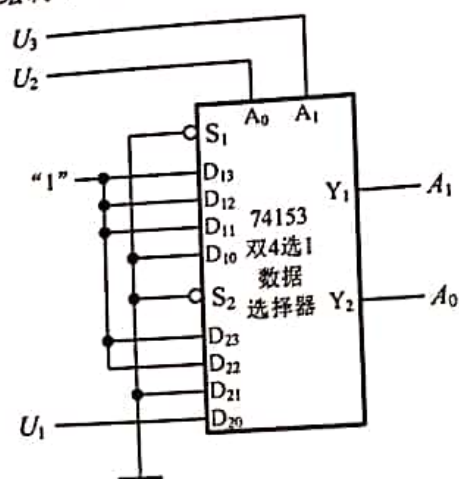
$$\left\{ \begin{array}{l} A_{1,MUX} = U_3 \\ A_{0,MUX} = U_2 \\ D_{i0} = 0 \\ D_{i1} = D_{i2} = D_{i3} = 1 \\ Y_i = A_i \\ S_i = 1 \end{array} \right. , \text{使得:}$$

$$A_1 = U_3 + U_2 = \overline{U_3} \cdot \overline{U_2} \cdot 0 + \overline{U_3} \cdot U_2 \cdot 1 + U_3 \cdot \overline{U_2} \cdot 1 + U_3 \cdot U_2 \cdot 1$$

$$\left\{ \begin{array}{l} A_{1,MUX} = U_3 \\ A_{0,MUX} = U_2 \\ D_{20} = U_1 \\ D_{21} = 0 \\ D_{22} = D_{23} = 1 \\ Y_2 = A_0 \\ S_2 = 1 \end{array} \right. , \text{使得:}$$

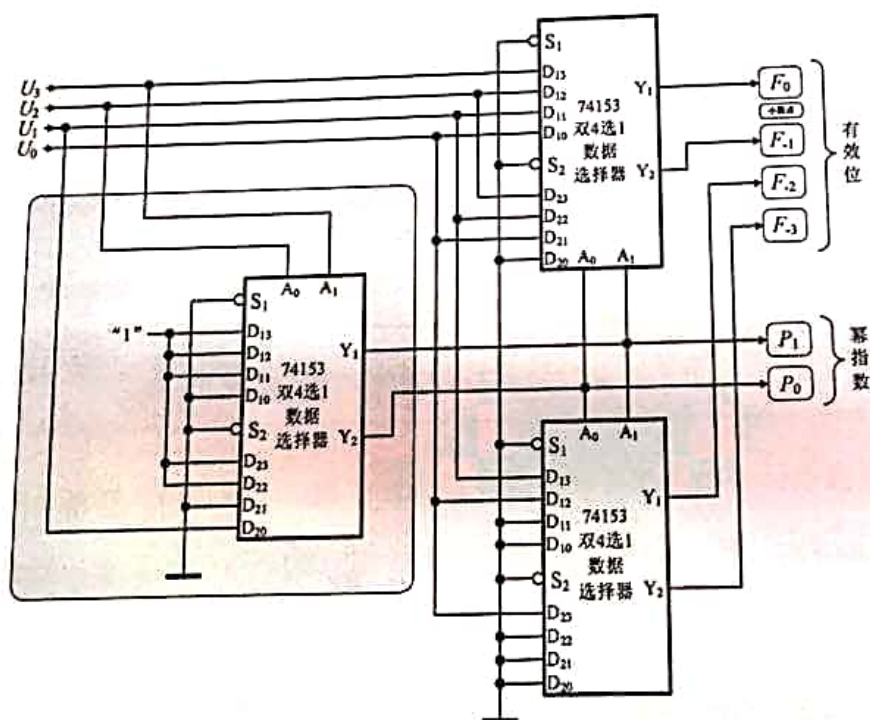
$$A_2 = U_3 + \overline{U_2} \cdot U_1 = \overline{U_3} \cdot \overline{U_2} \cdot U_1 + \overline{U_3} \cdot U_2 \cdot 0 + U_3 \cdot \overline{U_2} \cdot 1 + U_3 \cdot U_2 \cdot 1$$

绘制电路图



评阅细则：本小问 5 分，能有初步思路，写出合理的逻辑表达式，即可得 3 分，4 选 1 多路器信号连接正确得 2 分。如果逻辑表达式错误，但根据逻辑表达式绘制的 4 选 1 多路器的连接与逻辑表达式一致，可以得到绘图的 2 分。

修改后的完整的电路图（学生作答时可以不画此图）



4.

例 5.2.1-3 图 5.2.1-6 (a) 电路的输入波形如图 5.2.1-6 (b) 所示，试画出  $Q_1$ 、 $Q_2$  的输出波形。设  $Q_1$ 、 $Q_2$  的初始状态均为 0。（★浙江工业大学 2000）

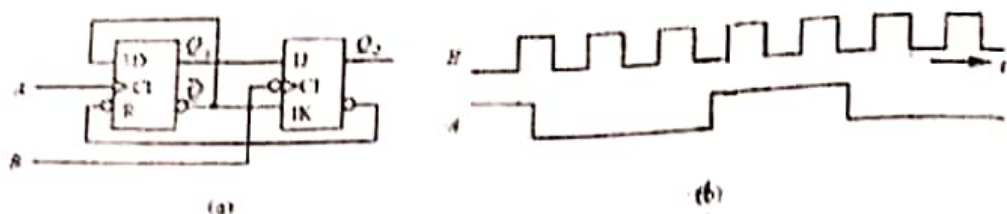


图 5.2.1-6 例 5.2.1-3 的电路及输入波形

解：由图 5.2.1-6 (a) 电路可见，触发器 1 是一个  $T'$  触发器，其时钟脉冲是 A 波形，上升边触发；触发器 2 是一个 D 触发器，其输入是  $Q_1$ ，其时钟脉冲是 B 波形，下降边触发。由此可知触发器的输出波形如图 5.2.1-7 所示：

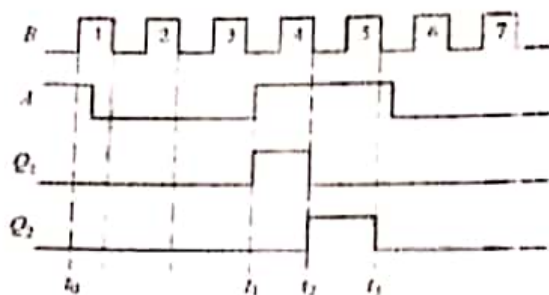


图 5.2.1-7 例 5.2.1-3 电路的输出波形

- ①  $t \leq t_0$  时， $Q_1 = Q_2 = 0$ ，处于初始状态。
- ②  $t < t_1$  时，因 A 波形没有上升边， $Q_1$  继续为 0 状态；因为  $Q_1 = 0$ ， $Q_2$  也保持 0 状态。
- ③  $t = t_1$  时，A 上升边到达，由于  $Q_2 = 0$ ， $Q_1$  不复位。触发器 1 翻转为 1 状态；因  $t = t_1$  时  $Q_1 = 0$ ，故  $Q_2$  仍为 0 状态。
- ④  $t = t_2$  时，B 波形下降边到达，触发器 1 的 1 状态被移入触发器 2 中， $Q_2 = 1$ ，同时将触发器 1 复位为  $Q_1 = 0$ 。
- ⑤  $t = t_3$  时，B 波形下降边又到达，因此时  $Q_1 = 0$ ， $Q_2$  变为 0 状态；而触发器 1 因没有时钟脉冲上升边保持 0 状态。以下类同。

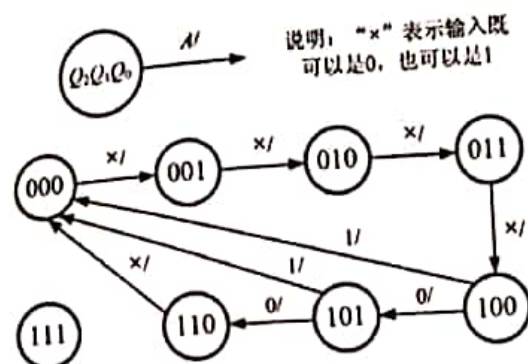
提示与点评：本题构思巧妙，画波形图时要分时段逐段画出，切忌操之过急。

5、采用上升沿触发的 D 触发器设计一种进制可控的同步加法计数器，按照自然二进制编码进行加法计数；当输入  $A=0$  时，为七进制计数器；当  $A=1$  时，为五进制计数器；要求具有自启动功能。（20 分）

- (1) 分析设计要求，绘出状态转换图和状态转换表；
- (2) 求出最简的驱动方程；
- (3) 进行自启动检查；如果必要，对设计进行修正，使之能够自启动；
- (4) 绘制设计的电路图。

解答：

(1)



状态转换表 (形式 1):

$A$	$Q_2$	$Q_1$	$Q_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	1
0	0	1	1	1	0	0
0	1	0	0	1	0	1
0	1	0	1	1	1	0
0	1	1	0	0	0	0
0	1	1	1	x	x	x
1	0	0	0	0	0	1
1	0	0	1	0	1	0
1	0	1	0	0	1	1
1	0	1	1	1	0	0
1	1	0	0	0	0	0
1	1	0	1	0 (或 x)	0 (或 x)	0 (或 x)
1	1	1	0	0 (或 x)	0 (或 x)	0 (或 x)
1	1	1	1	x	x	x

“0 (或 x)” —— 参见本答案的说明。

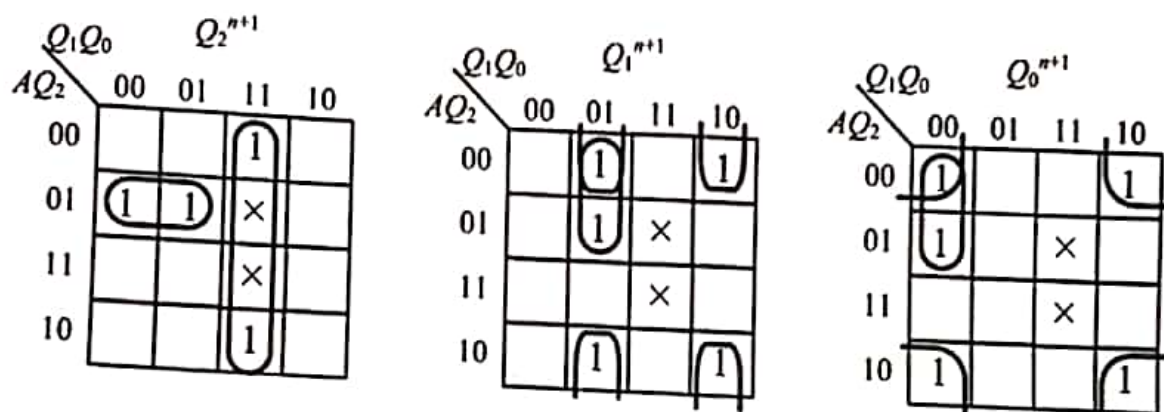
状态转换表 (形式 2):

输入 $A$	计数顺序	电路状态		
		$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0
0	1	0	0	1
0	2	0	1	0
0	3	0	1	1
0	4	1	0	0
0	5	1	0	1
0	6	1	1	0
0	7	0	0	0



1	0	0	0	0
1	1	0	0	1
1	2	0	1	0
1	3	0	1	1
1	4	1	0	0
1	5	0	0	0

(2)



由 D 触发器的特性方程,  $Q_i^{n+1} = D_i$ , 则:

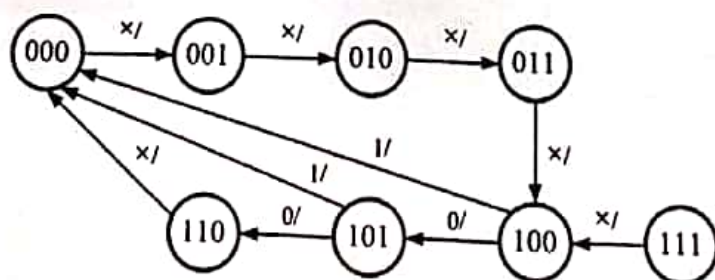
$$D_2 = \overline{A}Q_2\overline{Q_1} + Q_1Q_0$$

$$D_1 = \overline{A} \cdot \overline{Q_1} \cdot Q_0 + \overline{Q_2} \cdot \overline{Q_1} \cdot Q_0 + \overline{Q_2}Q_1\overline{Q_0}$$

$$D_0 = \overline{A} \cdot \overline{Q_1} \cdot \overline{Q_0} + \overline{Q_2} \cdot \overline{Q_0}$$

(3)

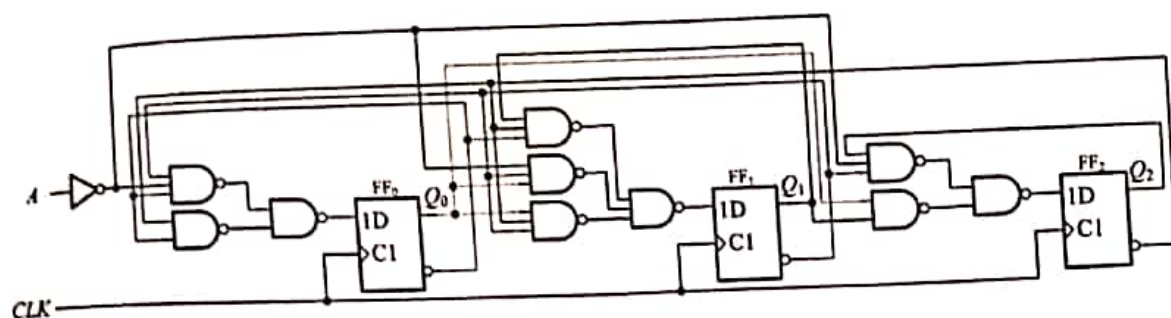
经过自启动检查, 无关状态“111”: 在(2)的驱动下, 不论  $A$  为 0 还是 1, 次态均转换到 100; 补全状态转换图如下:



结论: 可以自启动。

(4)





(此为彩色线条版, 用于电子文档阅读)

6、采用脉冲触发的主从 J-K 触发器和容量为  $16 \times 8$  的 PROM 组成时序逻辑电路, 如图 7-1 所示。(10 分)

(1) 求电路的驱动方程、状态方程, 绘制状态转换图;

(2) 设  $(Q_3 Q_2 Q_1 Q_0) = (0000)$  为状态  $S_0$ , 经过状态  $S_1, S_2, \dots, S_{n-1}$ , 循环回到  $S_0$ ; 通过  $Y_3 Y_2 Y_1 Y_0$  对应输出各状态序号的自然二进制编码, 如图 7-2 所示; 请在图 7-1 中用 PROM 实现该并行输出功能。

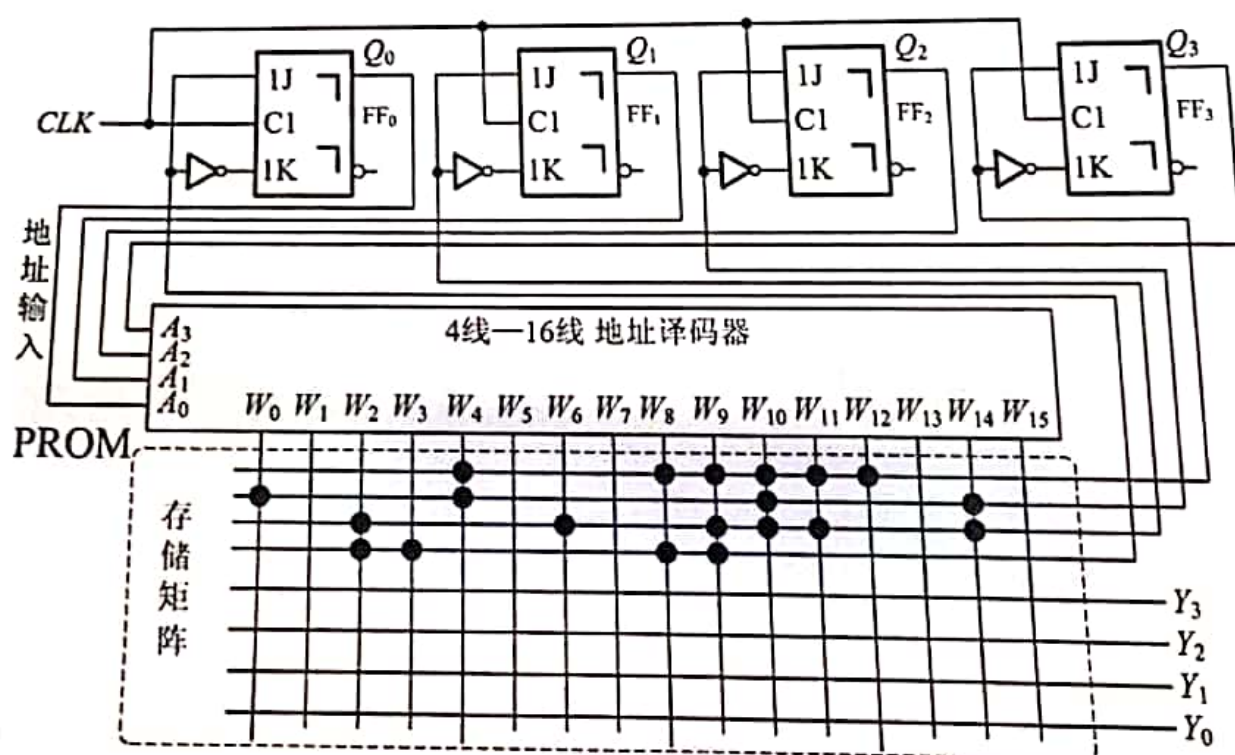
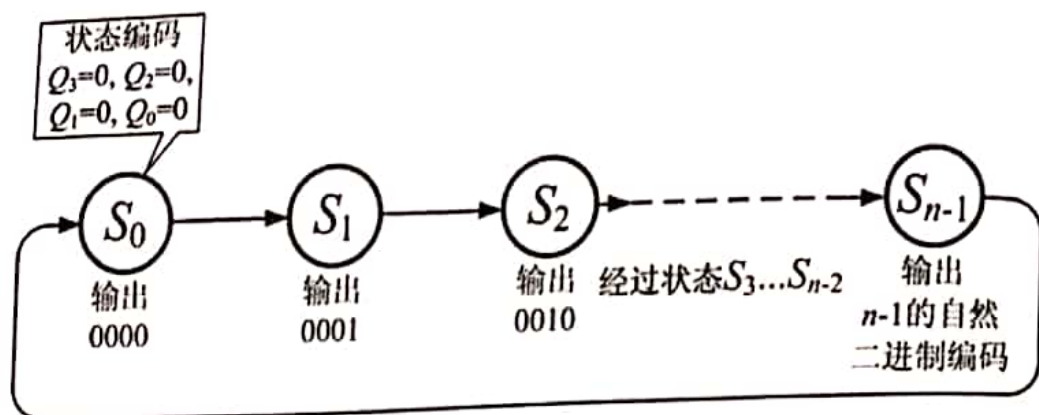


图 7-1



**解答：**

$$\begin{cases} J_3 = \sum_{K_3 = \overline{J_3}} m(4, 8, 9, 10, 11, 12) \\ J_2 = \sum_{K_2 = \overline{J_2}} m(0, 4, 10, 14) \end{cases}$$

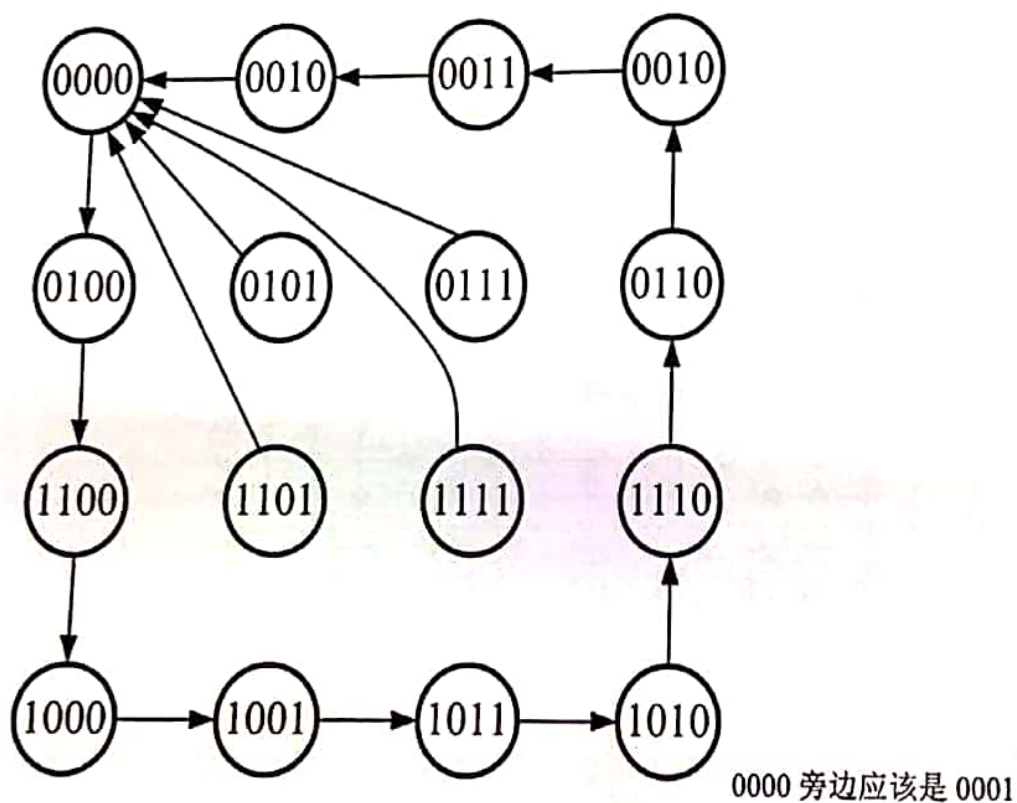
相当于 D 触发器

状态方程:

状态转换表（此表题中未要求，这里给出以核对解题过程）

$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
0	0	0	0		1		
0	0	0	1				
0	0	1	0			1	1
0	0	1	1				1
0	1	0	0	1	1		
0	1	0	1				
0	1	1	0			1	
0	1	1	1				
1	0	0	0	1			1
1	0	0	1	1		1	1
1	0	1	0	1	1	1	
1	0	1	1	1		1	
1	1	0	0	1			
1	1	0	1				
1	1	1	0		1	1	
1	1	1	1				

状态转换图:



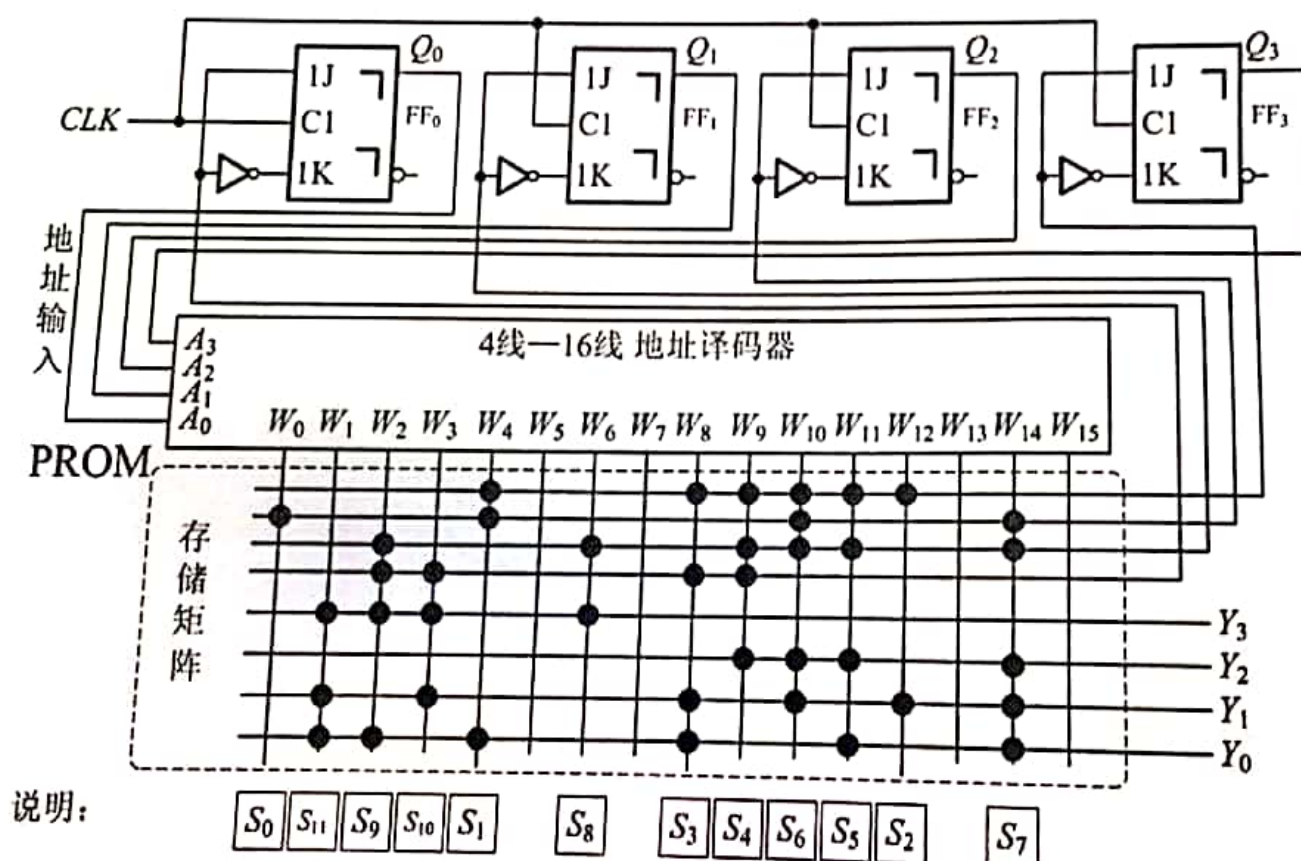
(2)

对照状态图, 可知译码对应关系 (此表题中未要求, 这里给出以核对解题过程)



状态 排序	并 行 输 出				状态译码所 选通的字线	提示
	$Y_3$	$Y_2$	$Y_1$	$Y_0$		
$S_0$	0	0	0	0	$W_0$	对 $W_0$ 字线编程
$S_1$	0	0	0	1	$W_4$	对 $W_4$ 字线编程
$S_2$	0	0	1	0	$W_{12}$	对 $W_{12}$ 字线编程
$S_3$	0	0	1	1	$W_8$	对 $W_8$ 字线编程
$S_4$	0	1	0	0	$W_9$	对 $W_9$ 字线编程
$S_5$	0	1	0	1	$W_{11}$	对 $W_{11}$ 字线编程
$S_6$	0	1	1	0	$W_{10}$	对 $W_{10}$ 字线编程
$S_7$	0	1	1	1	$W_{14}$	对 $W_{14}$ 字线编程
$S_8$	1	0	0	0	$W_6$	对 $W_6$ 字线编程
$S_9$	1	0	0	1	$W_2$	对 $W_2$ 字线编程
$S_{10}$	1	0	1	0	$W_3$	对 $W_3$ 字线编程
$S_{11}$	1	0	1	1	$W_1$	对 $W_1$ 字线编程

PROM 编程:



- 7 由基本逻辑门组成的电路如图 1 所示, 采用 PROM 对其进行逻辑设计, 请在图 2 中绘制出图 1 所示逻辑的点阵状态。



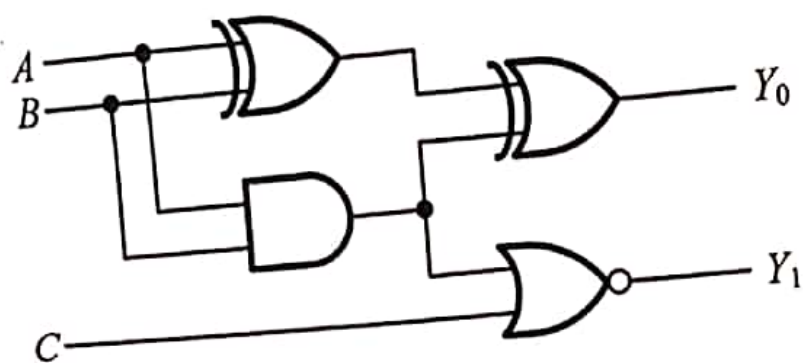


图 1

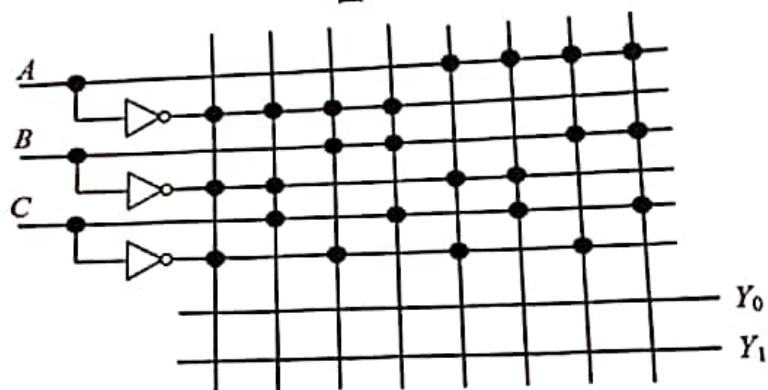


图 2 (待补全)

解:

根据图 1 所示电路原理图, 可得:

$$Y_0 = A + B = A'BC' + A'BC + AB'C' + AB'C + ABC' + ABC$$

$$Y_1 = A'C + B'C = A'B'C' + A'BC' + AB'C'$$

因此, 补全的 PROM 结构如下:

