《综合创新-数字通信》

标题：这是封面

第一作者学号 姓名

第二作者学号 姓名

……

示例：15021031 贺楠

电子信息工程学院

2020年12月10日

目 录

[1 作品简介 1](#_Toc52649788)

[2 制作概况 1](#_Toc52649789)

[3 设计总结 1](#_Toc52649790)

[3.1 方案设计 2](#_Toc52649791)

[3.2 硬件设计 2](#_Toc52649792)

[3.3 软件设计 2](#_Toc52649793)

[3.4 其他设计 3](#_Toc52649794)

[4 调试过程 3](#_Toc52649795)

[5 测试结果 3](#_Toc52649796)

[6 结论 3](#_Toc52649797)

[参考文献 3](#_Toc52649798)

[附录 3](#_Toc52649799)

# 

# 作品简介（字体：黑体四号；段落：一级、单倍行距）

本作品硬件部分采用实验教学中心提供的 EELAB-DIGIEXP，一款具有多种电路模块的扩展开发板，用于为小型化设计的处理器核心板提供更多的扩展功能。该开发板采用专用扩展接口与处理器核心板连接，与位于 EELAB-FPGACORE2 背面的扩展接口兼容。开发板上具有电子类课程实验及科技创新开发所需的基本电路模块，包括数码管、按键开关、LED、蜂鸣器、矩阵键盘、液晶屏、ADC、DAC 等，通过与 EELAB-FPGACORE2 等处理器核心板相配合，能够实现显示、控制、信号发生和采集等功能。

EELAB-DIGIEXP 板可支持的数字电路实验包括流水灯实验、计数器实验、AD 转换实验、DA 转换实验；可支持的通信原理实验包括 PCM 编译码器系统实验、帧成形及其传输实验、AMI/HDB3 码型变换实验、ASK 传输系统实验、FSK 传输系统实验、PSK 传输系统实验；可支持的数字信号处理实验包括 FIR 数字滤波器设计实验、IIR 数字滤波器设计实验、FFT 信号谱分析实验。

在设计方面采用 Verilog HDL 硬件描述语言，运用ISE软件，实验内容为实现信号的 AD 与 DA 转换以及 ASK调制与解调。

表1 组员信息与分工

|  |  |  |  |
| --- | --- | --- | --- |
| 学号 | 姓名 | 负责内容 | 备注 |
| 15021031 | 孙启楚 | 代码编写、系统调试 | 组长 |
| 1502\*\*\*\* | 陈明澍 | 硬件仿真、系统调试 |  |
| 1502\*\*\*\* | 张驰宇 | 硬件仿真、报告撰写 |  |
| 1502\*\*\*\* | 钱思远 | 报告撰写、PPT制作 |  |
| 1502\*\*\*\* | 尹航 | 硬件仿真、系统调试 |  |

主要描述一下作品的组成、功能、完成的情况，包含主要技术指标及功能用途（这一部分要给出组员分工任务及工作量）；如果有创新点，这部分对创新点给出描述（**注：创新点归纳需准确；若无创新，可不写**）。（字体：中文宋体五号、英文Times New Roman五号；段落：正文、首行缩进2字符、1.5倍行距）（不少于500字）（**注：模板中黄色突出显示部分在正式报告中删除**）

表1 表格格式示例（表标题，黑体五号）

（注：表格必须有表头，而且要有序号和文字描述）

|  |  |  |  |
| --- | --- | --- | --- |
| 学号 | 姓名 | 负责内容 | 备注 |
| 15021031 | 贺楠 | 详细描述每个人的工作内容 | 组长 |
| 1502\*\*\*\* | 赵\*\* | 表格内采用字体：中文宋体五号、英文Times New Roman五号；段落：正文、单倍行距；单元格居中 |  |
| 1502\*\*\*\* | 刘\*\* | —— |  |
| 1502\*\*\*\* | 周\*\* | —— |  |
| 1502\*\*\*\* | 陈\*\* | —— |  |

# 制作概况

制作过程主要分为硬件仿真与实物制作两部分进行。硬件仿真于第六周到第九周进行，实物制作于第十周到第十四周完成。首先明确实验任务，硬件仿真部分通过ISE编写Verilog代码并用Modelsim仿真实现ASK、PSK和FSK的调制解调，实物制作部分使用实验教学中心的 EELAB\_DIGIEXP 开发板实现数字通信，具体内容包括完成 AD/DA 转换、ASK的调制与解调。接下来以周为单位，分阶段推进，在此期间，大家一边学习新知识一边将其切实运用到实验项目中。

本组作品的制作过程与时间记录如下表所示。

表2 制作过程记录

|  |  |
| --- | --- |
| 周次 | 制作进度 |
| 第六周 | 安装Modelsim和ISE软件并配置好 |
| 第七周 | 学习Verilog语言和软件使用 |
| 第八周 | 编写代码，分工完成三种调制方式部分 |
| 第九周 | 完成输入输出数据的串并转换部分代码，  对调制解调再次调试 |
| 第十周 | 确定实物选题，学习ISE烧录程序到FPGA |
| 第十一周 | 学习实验板，熟悉实验板各模块功能 |
| 第十二周 | 烧录例程（流水灯）、学习相关资料代码 |
| 第十三周 | 完成ASK的初步调制解调 |
| 第十四周 | 改进程序达到要求，撰写报告 |

主要描述制作的简单过程（经过什么样的步骤，做过什么工作，包括但不限于调研、查阅资料、构思框图等等）、时间过程记录等（要有详细的时间过程记录，至少精确到每周）。

# 设计总结

实验整体流程设计如图所示，通过信号发生器输出一个周期性的高电平（3.3V）和低电平（0V）到一块实验板上，作为基带信号，对基带信号加入帧格式并进行ASK调制后，再将调制信号经过DAC完成DA转换后成为模拟信号通过同轴线传输至另一块实验板，经过ADC完成AD转换成为数字信号，而后进行 ASK的解调，最终将解调后的信号输出。

输入信号

加帧头

ASK调制

DAC转换

传输

DAC转换

解调

输出

图 1 设计流程图

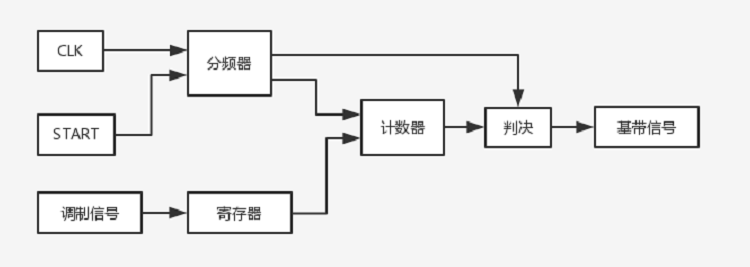


图 2 解调流程框图

详细介绍设计的过程。

出现了什么问题，如何解决。

正文如果有图，按照图例进行排版，并注明图号和图标题。

正文如果有公式，按照公式要求排版，并注明序号（公式必须用MathType进行编辑）。

 （公式示例，注意居中） (1)

## 方案设计（字体：黑体小四；段落：2级、1.5倍行距）

本实验在方案设计时主要通过ISE编写程序进行ASK、PSK和FSK的调制解调并通过Modelsim软件仿真观察波形。

### ASK调制解调仿真

### PSK调制解调仿真

### FSK调制解调仿真

理论分析、仿真过程、仿真结果等。描述针对选题的设计方案，可以两种以上的方案对比。由于参考题目的主要硬件部分是实验中心提供的，因此设计实现的方式可能并不是最优方案，报告中最好能够分析出所使用的方案与其他方案的优势与不足。

## 硬件设计

### EELAB-FPGACORE2 硬件实验平台

硬件实验平台EELAB-FPGACORE2 电路采用XILINX 公司SpartanTM-3E 系列的芯片XC3S500E-VQG100 作为核心芯片， 程序配置 PROM 芯片为 XCF04SV020 。 EELAB-FPGACORE2 本身集成了编程器，不需要外置的编程模块就可以直接使用。EELAB-FPGACORE2 的输入输出模块主要有3 路按键、2 路拨码开关、4 路 LED、2 位七段数码管、6路ADC、1路USB串口和17 个用户可扩展I/O，EELAB-FPGACORE2 外观形状及接口位置等采用的是和 Arduino-UNO 模块兼容的形式,可以与 Arduino 常见扩展模块直接连接。该硬件实验平台完全可以满足高校数字电路基础教学实验要求，为了满足综合实验要求，EELAB-FPGACORE2 背面还具有专用扩展接口（包含28 个用户可扩展 IO），可以无缝连接到 EELAB-FBOARD1 上，实现更多的扩展功能。

Spartan™-3E FPGA 是数字视频、工业、医疗、通信与数字消费类电子应用中的大容量、以门电路为核心的可编程逻辑设计的理想选择。EELAB-FPGACORE2 主芯片 XC3S500-VQG100E 将大量的可编程逻辑、IP 核、高级时钟电路和嵌入式存储器与多种快速互连结构整合在一起。其具有 50 万门规模，10476 个可配置的逻辑单元，66 个 I/O 引脚，4 个 DCM 数字时钟管理模块，360Kb 的 Block RAM，73Kb 的分布式 Distributed RAM，20 个用于高性能 DSP 应用的嵌入式 18×18 乘法器。

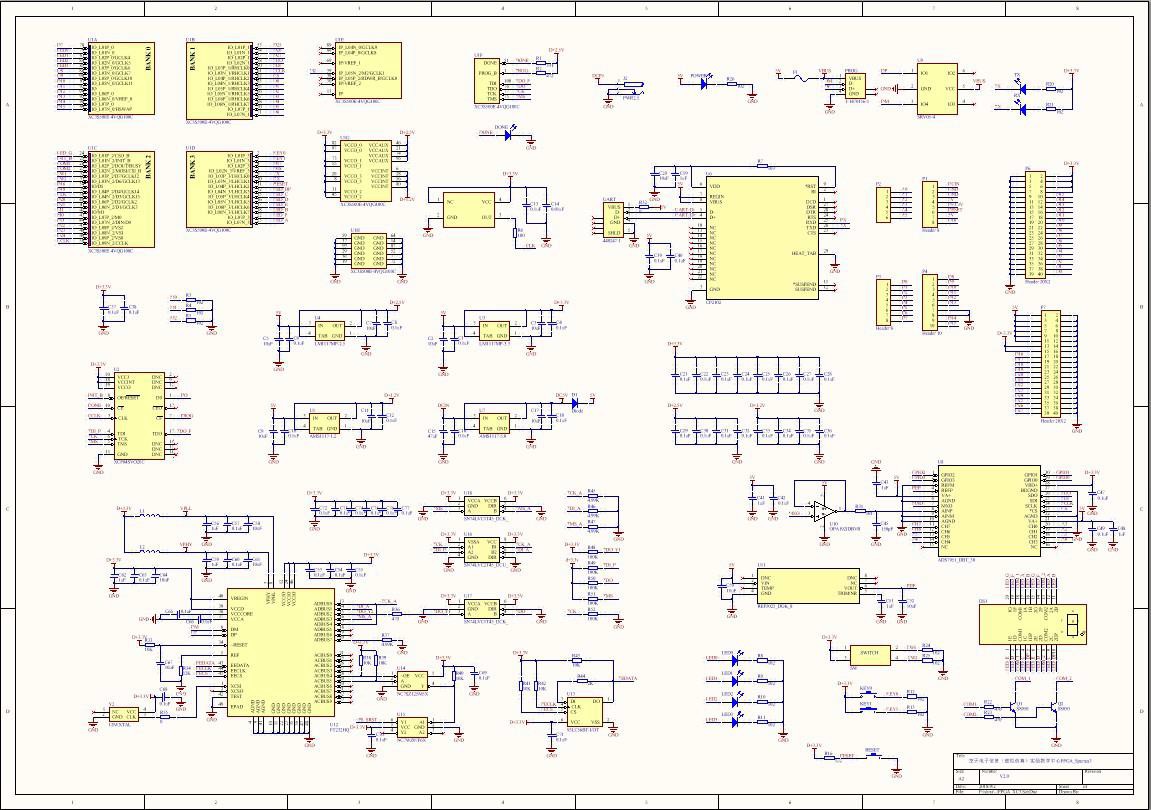
EELAB-FPGACORE2 硬设设计电路图与模块框图如下。

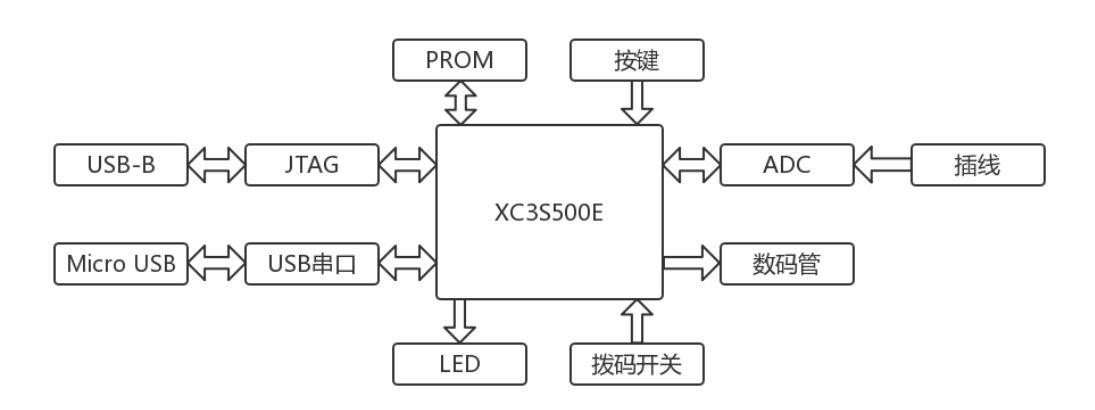
图 4 硬件原理图

图 5 EELAB-FPGACORE2 连接框图

根据以上系统框图的功能划分，对各模块原理进行分别介绍。

**（1）JTAG 接口**

JTAG(Joint Test Action Group，联合测试工作组)是一种国际标准测试协议（IEEE

1149.1 兼容），主要用于芯片内部测试。其基本原理是在器件内部定义一个 TAP（Test

Access Port，测试访问口）通过专用的 JTAG 测试工具对内部节点进行测试。JTAG 测试允

许多个器件通过 JTAG 接口串联在一起，形成一个 JTAG 链，能实现对各个器件分别测试。

EELAB-FPGACORE2 配有 JTAG 接口，支持 JTAG（边界扫描模式）配置模式。这

种配置模式不需要 PROM，操作方便快捷。JTAG 口包含 TCK（Test Clock，测试时钟输入）、TDI（Test Data In，测试数据输入）、TDO（Test Data Out，测试数据输出）和 TMS

（Test Mode Select，测试模式选择）4 个引脚。为了方便电路调试，EELAB-FPGACORE2 集成了编程器， 不需要外置的编程模块就可以直接通过 Micro USB 形式的 JTAG 接口进行编程调试。

JTAG 接口原理图如图所示。

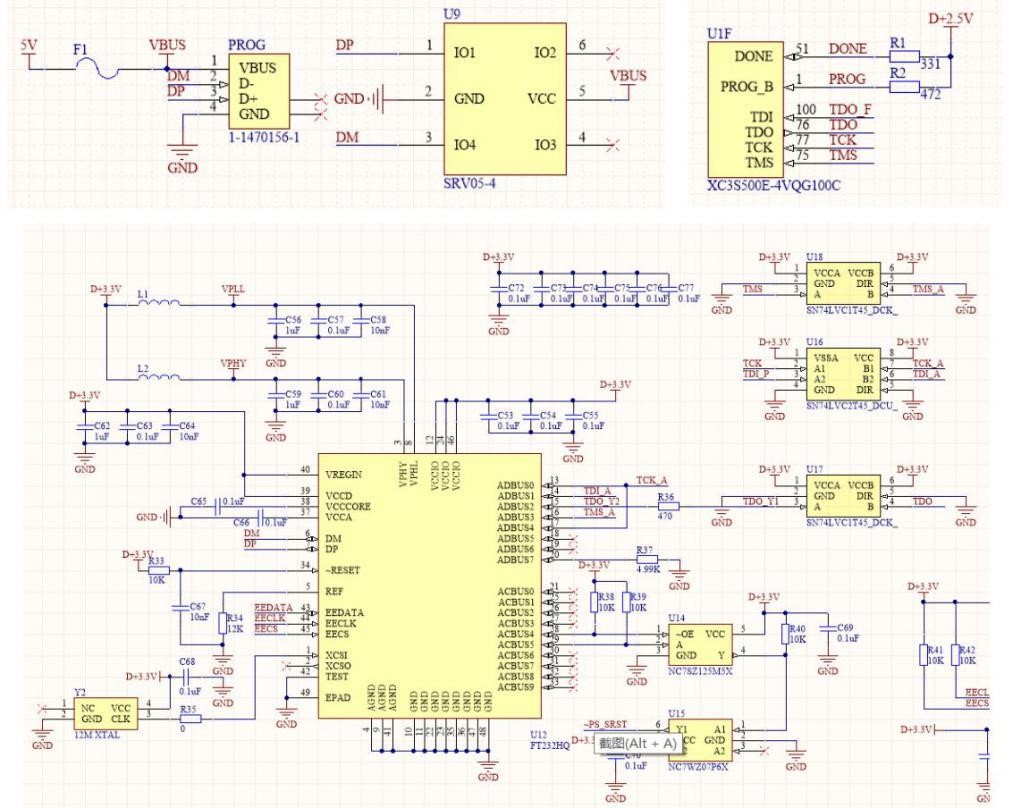


图 6 JTAG接口电路

**（2）PROM**

EELAB-FPGACORE2 采用了 Xilinx Platform Flash 配置解决方案，选用的 PROM 芯片为 XCF04SV020，供电电压 VCCINT、VCCO 和 VCCJ 均为 3.3V，密度为 4Mbit。该用于配置 Xilinx FPGA 的 PROM 采用低功耗高级 CMOS NOR FLASH 工艺，具有 20000 个程序/擦除周期的耐久性，使用 Xilinx Alliance ISE 和 Foundation ISE 系列软件包进行设计支持。

PROM 电路原理图如图所示。

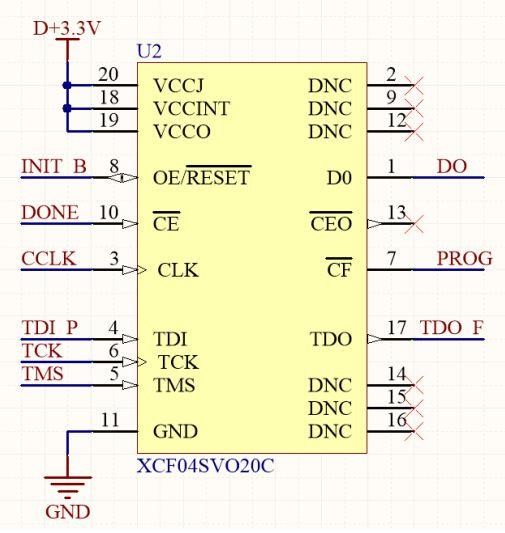


图 7 PROM电路原理图

（3）按键

EELAB-FPGACORE2 配有 3 路独立按键，采用非锁死按键形式，其中 1 路（定义为

RESET）一般作为复位键使用，默认输入状态为高电平，按下按键输入为低电平。其余 2 路默认输入状态为低电平，按下按键输入为高电平。

按键电路原理图如图所示。

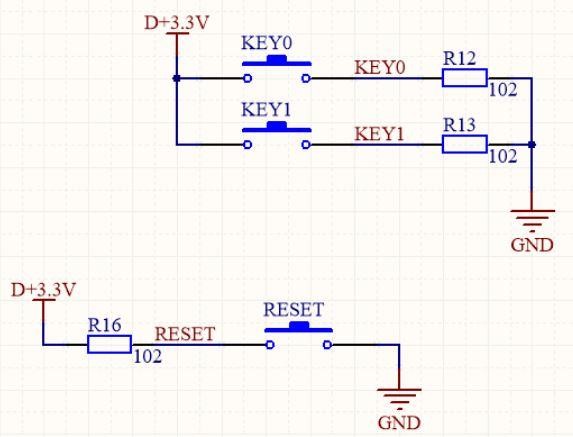


图 8 按键电路原理图

下表是按键的引脚分配。

表4.2.1 按键引脚分配

|  |  |  |
| --- | --- | --- |
| FPGA 引脚序号 | 引脚定义 | 引脚说明 |
| P11 | RESET | 复位按键 |

（4）ADC

EELAB-FPGACORE2 的 ADC 电路采用 ADS7951 芯片，ADS7951 是一个 12 位引脚兼容型 8 通道模数转换器，采样率为 1MHz，串行接口速率达到 20MHz。ADS7951 包含一个基于电容器的 SAR 模数转换器，具有固有的采样保持；接受从 2.7V 到 5.25V 的宽模拟电源范围；极低功耗使其适用于电池供电和隔离电源应用；零等待时间。

ADC 电路原理图如图所示。

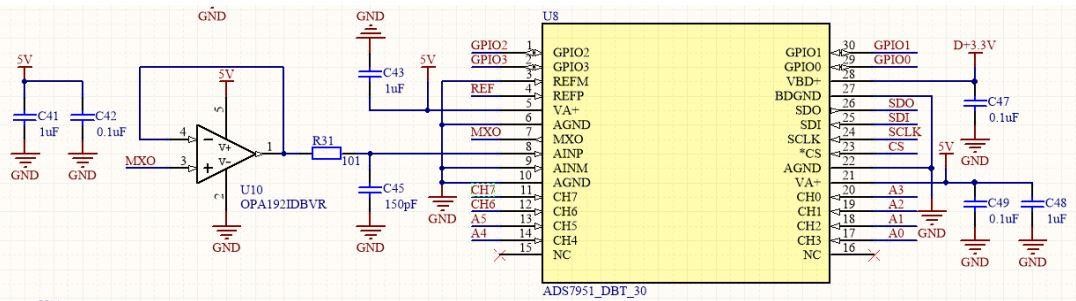


图 9 ADC电路原理图

下表是 ADC 的引脚分配。

表4.2.4 ADC引脚分配

|  |  |  |  |
| --- | --- | --- | --- |
| FPGA引脚序号 | 引脚定义 | 引脚说明 | |
| P58 | SDO | 串行数据输出（以 | ADS7951 为判断方向） |
| P60 | SDI | 串行数据输入（以 | ADS7951 为判断方向） |
| P61 | SCLK | 串行时钟输入（以 | ADS7951 为判断方向） |
| P62 | CS | 片选输入（以 ADS7951 为判断方向） | |

**（5）USB 串口**

为了方便 EELAB-FPGACORE2 与计算机之间进行进行数据交互，EELAB-FPGACORE2 扩展了 USB 串口，采用 Micro USB 接口形式，可实现 RS232 通信。

USB 串口电路原理图如图所示。

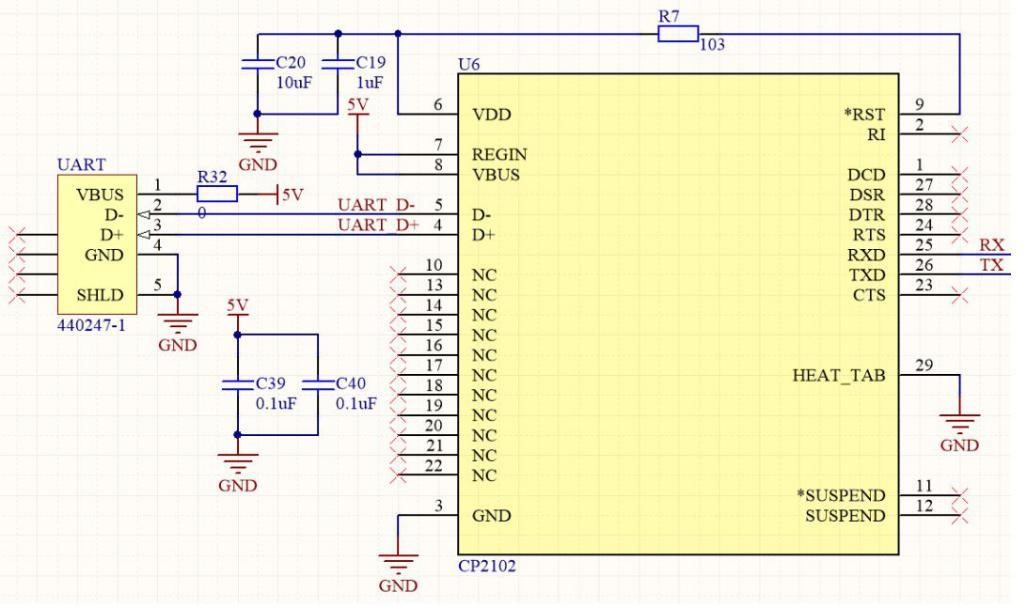


图 10 USB串口电路原理图

USB 串口的引脚分配。

表4.2.5 USB串口引脚分配

|  |  |  |
| --- | --- | --- |
| FPGA引脚序号 | 引脚定义 | 引脚说明 |
| P9 | TX | 串口发送端（以 EELAB-FPGACORE2 为判断方向） |
| P10 | RX | 串口接收端（以 EELAB-FPGACORE2 为判断方向） |

（6）可扩展 **IO**

为了方便扩展，EELAB-FPGACORE2 正面配置了 16个间距2.54mm的用户可扩展 IO，背面还具有专用扩展接口（包含 28 个用户可扩展 IO）。

下表是 EELAB-FPGACORE2 正面可扩展 IO 的引脚分配。

表4.2.6 可扩展IO的引脚分配

|  |  |  |
| --- | --- | --- |
| FPGA引脚序号 | 引脚定义 | 引脚说明 |
| P63 | D0 | 可扩展 IO-0 |
| P65 | D1 | 可扩展 IO-1 |
| P66 | D2 | 可扩展 IO-2 |
| P67 | D3 | 可扩展 IO-3 |
| P68 | D4 | 可扩展 IO-4 |
| P70 | D5 | 可扩展 IO-5 |
| P71 | D6 | 可扩展 IO-6 |
| P78 | D7 | 可扩展 IO-7 |
| P86 | D8 | 可扩展 IO-8 |
| P90 | D9 | 可扩展 IO-9 |
| P91 | D10 | 可扩展 IO-10 |
| P92 | D11 | 可扩展 IO-11 |
| P94 | D12 | 可扩展 IO-12 |
| P95 | D13 | 可扩展 IO-13 |
| P98 | D14 | 可扩展 IO-14 |
| P99 | D15 | 可扩展 IO-15 |
| P34 | D16 | 可扩展 IO-16 |

### DAC/ADC

本实验采用的 EELAB-DIGIEXP 实验板配有一路 DAC 输出通道和 ADC 输入通道，其中 DAC 选用 TI 公司的 12 位串行输入数模转换器芯片 DAC7811，ADC 选用 TI 公司的双路14 位同步采样模数转换芯片 ADS7853。

（**1**）**DAC7811**

DAC7811 采用 SPI 通信接口，串行时钟速率最高可达 50MHz，具有回读数据功能，用户可以通过 SDO 引脚读取 DAC 寄存器的内容；工作于 2.7V 至 5.5V 的电源供应，输出电压范围为-2.5V 至 2.5V；在 D/A 转换电路与输出的 SMA 接口之间连接了一个 5 阶低通滤波器，用于滤除 DAC 输出的模拟信号的谐波噪声；可提供出色的四象限乘法特性以及 10MHz 的大信号乘法带宽。由施加的外部基准输入电压(VREF)确定满标量程输出电流。当其与外部电流到电压精密放大器结合使用时，集成式反馈电阻器(RFB)可提供温度跟踪和满标量程电压输出。

其电路结构为经典 R-2R 倒 T 型电阻网络，如下图所示。

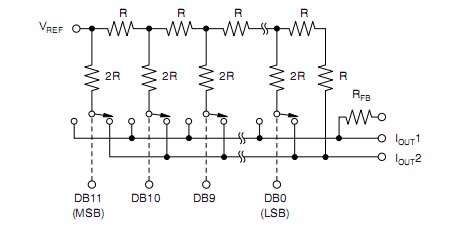


图 11 倒T型电阻网络

DAC7811 电路原理如下图所示。

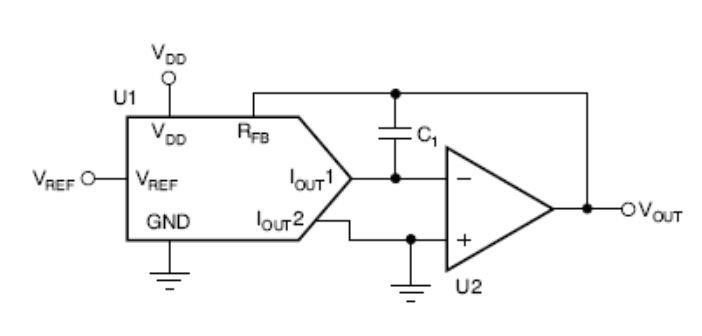


图 12 DAC7811电路原理图

（2）ADS7853

ADS7853 是一款 14 位单端伪差动单级逐次逼近型寄存器(SAR) ADC，其最大吞吐量为1MSPS(即数据传输速率，对于多通道同步采样 ADC，其吞吐量=最大采样率\*同步采样通道数)；包含两个可独立编程的基准电压源，可用于系统级的增益校准；配有一个可在宽电源供电范围内运行的灵活串行接口，从而轻松实现与多种主机控制器的通信；支持两种低功耗模式，可针对给定输出优化功耗。

ADS7853 功能框图如下图所示。

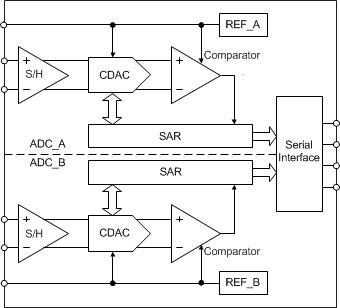


图 13 ADS7853功能框图

电路设计、各模块功能、各电路作用，以及一些电路的仿真等，尽量的详细。如果采用的现成硬件而没有进行硬件设计，需要对使用的硬件进行功能、性能方面的描述。

设计部分要尽量详细。

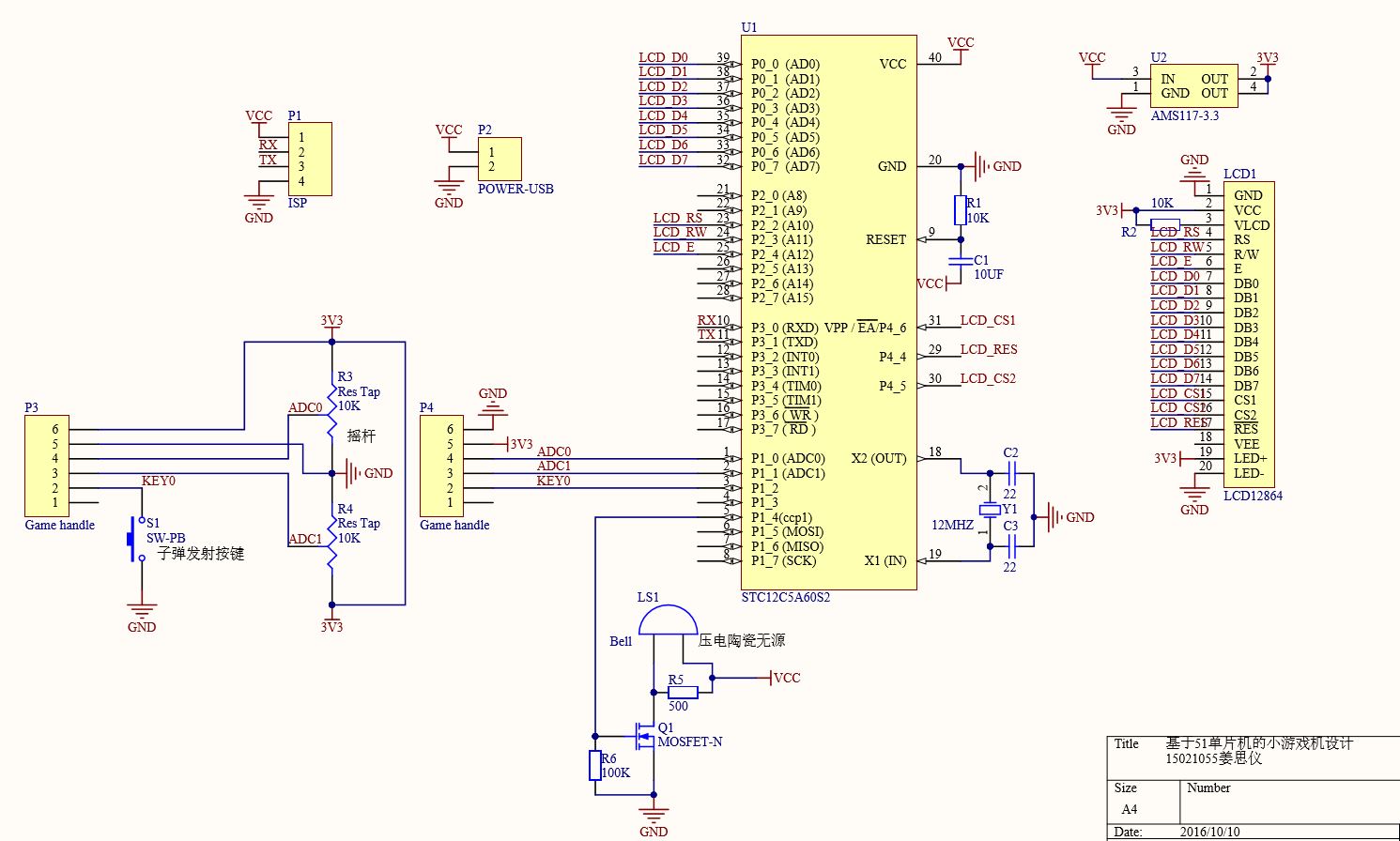


图1 硬件设计电路图 (图标题，黑体五号)

（注：图片必须有图标，而且要有序号和文字描述）

## 软件设计

### 程序流程

软件设计原理框图如图所示。

输入信号

加帧头

生成载波信号

调制

数字带通信号

基带信号

### 各程序模块详细介绍

（1）DCM数字时钟管理模块

DCM（digital clock manager）是较高级 FPGA 产品中集成的专门用于时钟综合、消除时钟偏斜和进行时钟相位调整的固件资源，利用 DCM 完成时钟倍频、分频、相移十分方便，给 FPGA 的系统时钟设计带来了方便。DCM 动态重配置设计利用一个常有的时钟对DCM 的工作状态标识进行监测，当 DCM 由于输入时钟的瞬时抖动或突然变化而失锁后，自动产生一个脉冲将 DCM 复位，使其重新锁定并恢复正常工作。应用 FPGA 中内嵌的数字时钟管理（DCM）模块可以建立可靠的系统时钟。

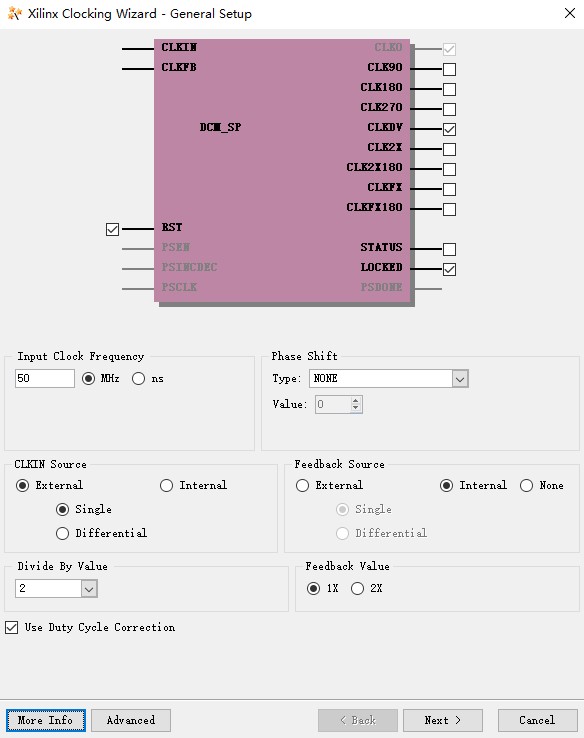


图 14 DCM数字时钟管理模块

上图为 DCM 参数设定，其中输入时钟频率为系统时钟，设定 50MHz 且为单端外部信号，无相移，设定分频倍数为 2 及内部反馈倍数为 1。模块的 Verilog 程序调用如下。

DCM\_25 instance\_name ( //DCM25模块

.CLKIN\_IN(sys\_clk),

.RST\_IN(1'b0),

.CLKDV\_OUT(AD\_SCLK),

.CLKIN\_IBUFG\_OUT(CLKIN\_IBUFG\_OUT),

.CLK0\_OUT(clk),

.LOCKED\_OUT(LOCKED\_OUT)

);

通过调用 DCM 模块得到了稳定后的可靠的系统时钟。

（2）载波产生

EELAB-FPGACORE2实验平台的系统时钟为 50MHz，利用系统时钟可以通过查表法产生单频正弦波，查表步长由以下公式得出

248

Freqstep =

𝐶𝐿𝐾 × 𝐹𝑟𝑒𝑞

其中 CLK 为系统时钟 50MHz，Freq 为所需单频正弦波的频率，Freqstep 即为产生对应频率载波的查表步长。

（3）DAC串行接口 SPI模块

12位DAC通过串行外设接口SPI控制和数据传输。传入DAC为16位信号，其中前4位为控制信号（ctrl），后12位为需要DA转换的数字信号，SPI模块工作流程为初始计数时置0，之后经过16个时钟周期即32个计数将一组16位信号上传到DAC7811，再经过16个计数的空闲期最终将数据初始化完成一个周期的上传。同时，上传时帧同步置0，其他时间置 1，此时每个轮回刚好为 50 个系统时钟周期，由系统时钟频率 50MHz，得转换速率 SR

为 1MSPS， 与 ADC 最大转换速率相匹配，通过公式便可得到 DAC 采样率。

1000

SampleRate = × 50

𝑆𝑅 − 1

其中 SR 为转换速率，单位 KSPS，SampleRate 即为 DAC 模块输入参数中采样率。

（4）ADC串行接口 SPI模块

ADC芯片串行时序完全遵从SPI协议，当片选信号处于低电平有效时，在串行时钟SCLK 的上升沿，数据从高位到低位依串行写入时钟芯片内部寄存器，每个寄存器写入顺序不能随意改变，每个寄存器数据的值由芯片内部特性决定，可根据芯片的Data\_Out确定每一位的数值,本实验AD模块的芯片为ADS7853，为14位双通道串行ADC。

ADC\_SPI 的程序主要包含这几个部分：时钟芯片内部存储器数据赋初值：本部分由AD\_top进行完成实现。外部激励：即RST复位信号。数据串行转换：为AD\_SPI模块主要内容，根据CS信号，当CS信号表示低电平时进行有效转换，转换时是一位一位传输的，转换完后将相关状态位拉至低位。

（5）帧格式

（6）2ASK调制

根据 2ASK 调制的定义，即高电平时有信号，低电平时无信号，由于 DAC7811 为12位无符号输入，中间值 2048 对应为低电平,4095 对应为波峰，0 对应为波谷。 即当有信号时输出载波 1，载频为 200kHz，当无信号时输入到 DAC 为固定键值 2048，对应输出电压为 0。

（7）2ASK解调

解调方式有很多，本实验中我们采用的解调方式为简化版的“过零检测”。过零检测是对被干扰或者衰减的信号进行“整形”，具体是说，将信号与中间值相比较，使其转换为仅由高电平和低电平构成的方波，当大于中间值时即为高电平，小于时即为低电平。通过对过零检测转换得到的高电平计数来判断符号为高电平还是低电平，从而实现解调。

本实验中由于2ASK调制的特点，我们通过取采样周期为5微秒，判断调制信号大于某一阈值的点出现的次数，大于30次即为1，否则为0，从而转换为方波输出。

程序设计，程序流程，各程序模块详细介绍，以及程序功能仿真等。

如果有仿真，要给出仿真的结果，对于各个模块要有功能框图或者流程图（注：功能框图和流程图不能网上截图或者手画拍照，建议采用Visio画图软件）。

设计部分要尽量详细。

## 其他设计

辅助功能设计，如果对于系统的实验有一些其他方面的辅助功能，比如利用手机控制、手势控制等。

理论分析，对于一些性能指标在设计之外的理论分析。

未完成或未完善功能分析，有一些有思路但是未完成或未完善的功能的详细分析。

# 调试过程

详细的调试步骤，包括但不限于程序测试、程序加载、功能测试、性能测试、电路连接方式等，包括中间的调试过程以及最终测试的过程。

各分部分如何测试。

调试过程中遇到的难点问题及解决方案。

# 测试结果

各模块测试结果，以及全系统的整体测试测量结果。要求给出与数字通信相关的参数测量结果，包括但不限于基带码元宽度、符号速率、比特速率、载波频率、误码率等。

要给出实物测试图片以及仪器测试测量的结果图片。

# 结论

本次实验主要是利用 EELAB-DIGIEXP 完成 ASK的调制与解调过程。ASK 过程即为移幅键控，又称为振幅键控，此过程中，当 1 出现时接通振幅为 A 的载波，0 出现时关断载波，相当于将原基带信号（脉冲列）频谱搬到了载波的两侧。

我们小组在完成此过程中，学习了 ISE 14.7 软件的使用方法，学习了利用 ChipScope 进行波形仿真查看，通过分频的相关原理进行了频率计算，了解了 SPI 通信协议中有关 SPI 时序部分的变换过程。我们也遇到了很多问题与思考在统计 ASK 的 1 与 0 的过程中，根据查阅的资料进行“&”判断时，由于 ASK 的最低点也被默认为 0，因此一开始统计出来的波形在最低点时也会跑到中线那里形成断电，因此我们放弃了“&”的使用改成了“？：”的选择方式。还有诸多小问题，我们的解决方法可能不是最优，但是最后形成的结果能符合预期，完成了实验。

对实验进行总结，根据实际制作及测试过程对相关电路、技术的应用情况给出自己的结论性说明。

# 参考文献

1. A. B. Williams. 电子滤波器设计[M]. 科学出版社, 2008.
2. 宋寿鹏. 数字滤波器设计及工程应用[M]. 江苏大学出版社, 2009.
3. 徐文波 田耘. Xilinx FPGA 开发实用教程（第 2 版）[M]. 清华大学出版社，2012

# 附录

完整的电路图和程序目录

（注：这一部分只给出目录，具体的电路图和程序以工程的方式放在附件压缩包里提交）