

计组实验：

笔记本： 计算机组成原理

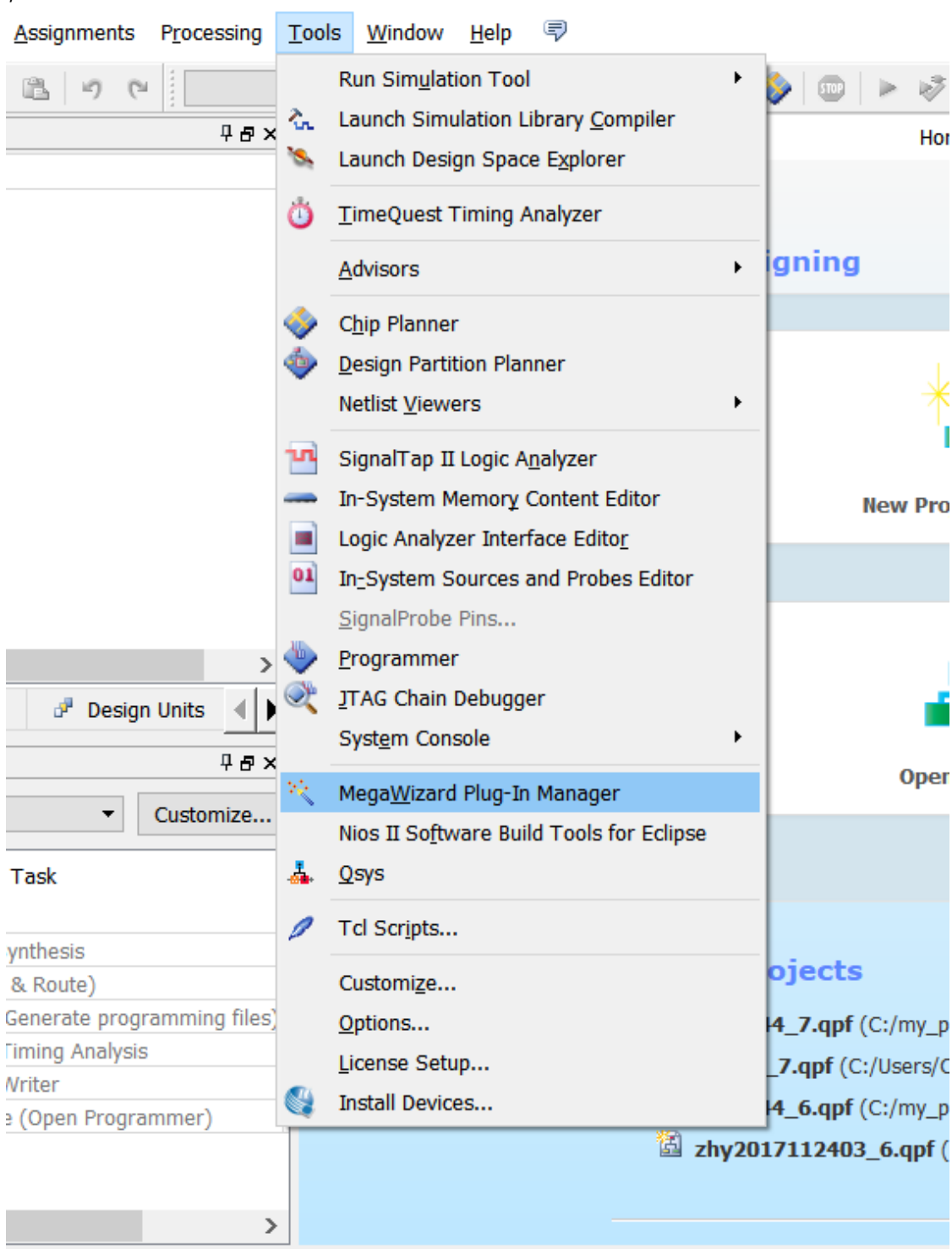
创建时间： 2021/5/20 23:46

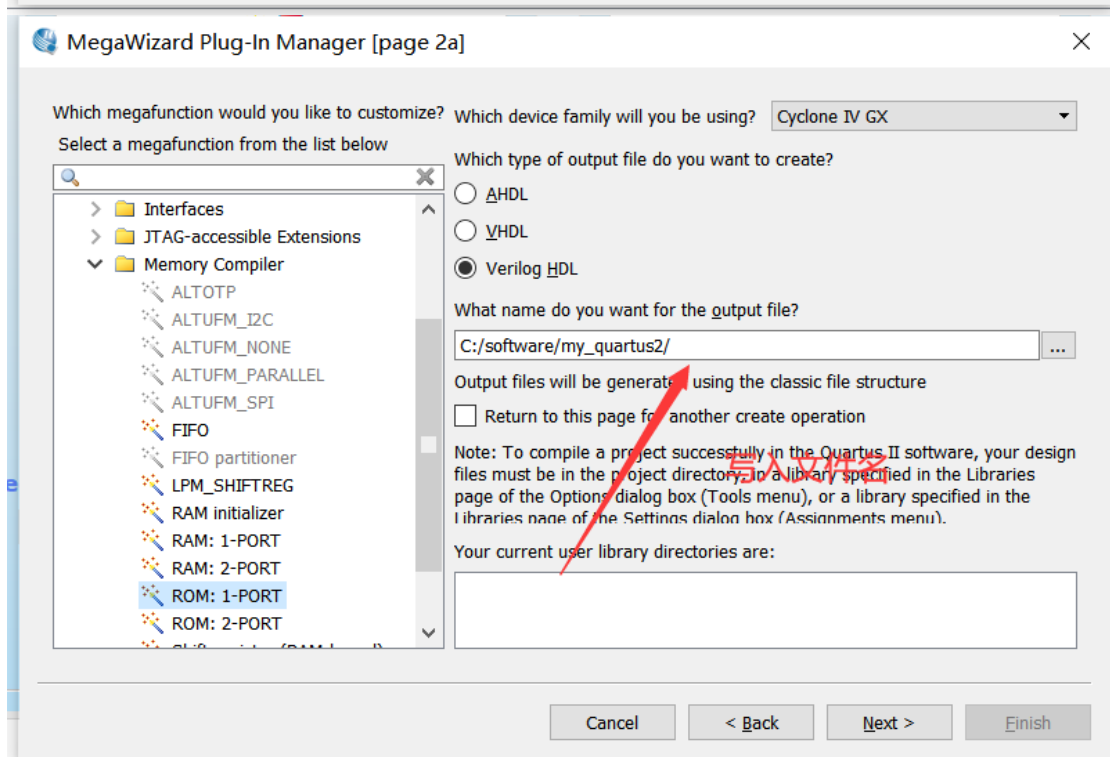
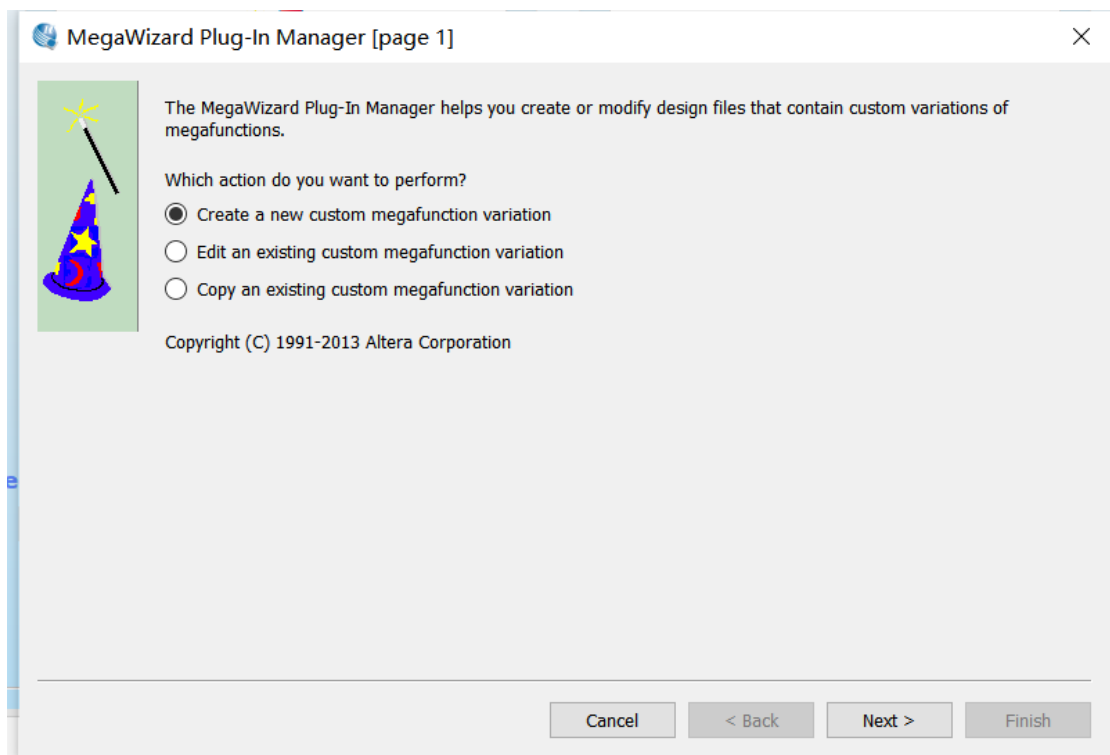
更新时间： 2021/6/23 15:38

作者： 134exetj717

计组实验：

- 1.论如何创建.mif文件，确定 数据位数 以及 地址位数，比如 8*256.
- 2.论如何创建lpm-rom文件
- 3.仿真波形图只要代码成功运行了，就会自动更新，无需重新创建；
当仿真波形图始终高阻值时，注意查看顶层文件是否重新设置，或者该数没有被赋值
- 4.在生成RAM的过程中，一定要注意使用verilog语言。
- 5.问题出在于我们用了negedge wr，但是却没有在下一行没有出现 if(!wr)，因此出错.






MegaWizard Plug-In Manager [page 3 of 7]

?

×



ROM: 1-PORT

AboutDocumentation

1Parameter Settings2EDA3Summary

General>Regs/Clen/Aclrs>Mem Init>

address[7..0]

clock

Block type: AUTO

dsf

8 bits

256 words

q[7..0]

Resource Usage

1 M9K

Currently selected device family: Cyclone IV GX

位数

Match project/default

How wide should the 'q' output bus be?

8 bits

How many 8-bit words of memory?

256 words

Note: You could enter arbitrary values for width and depth

What should the memory block type be?

☒ Auto

☐ MLAB

☐ M9K

☐ M144K

☐ LCs

Options...

Set the maximum block depth to

Auto words

What clocking method would you like to use?

☒ Single clock

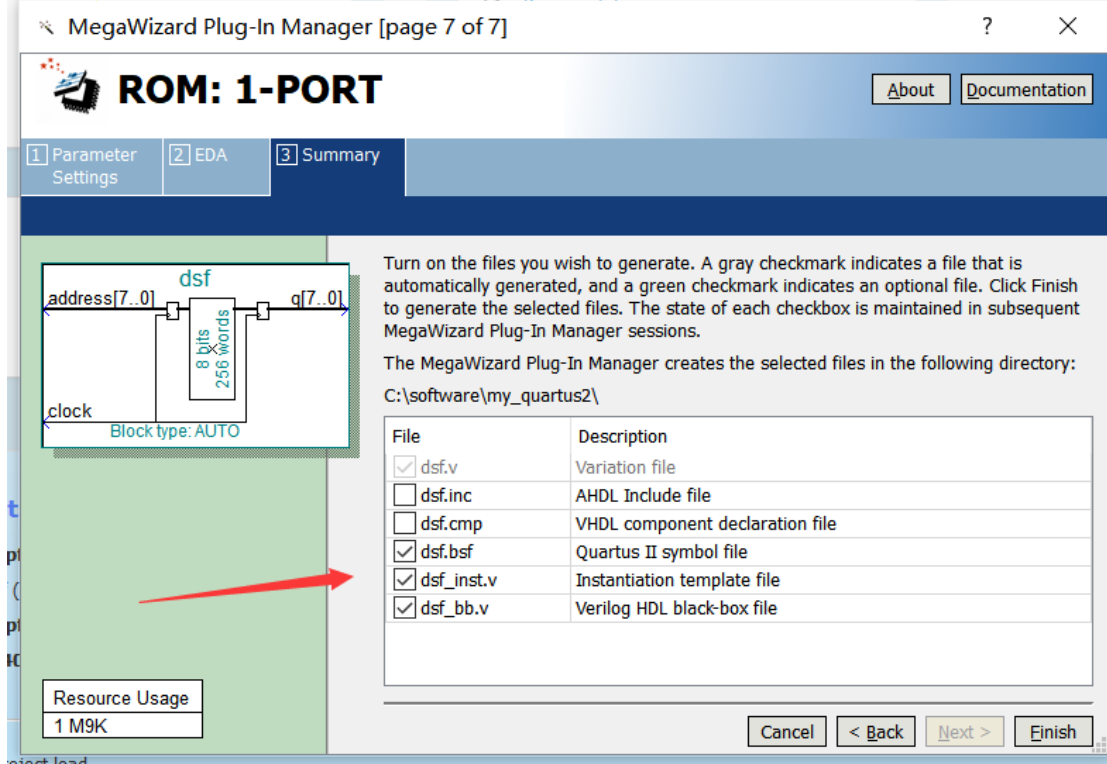
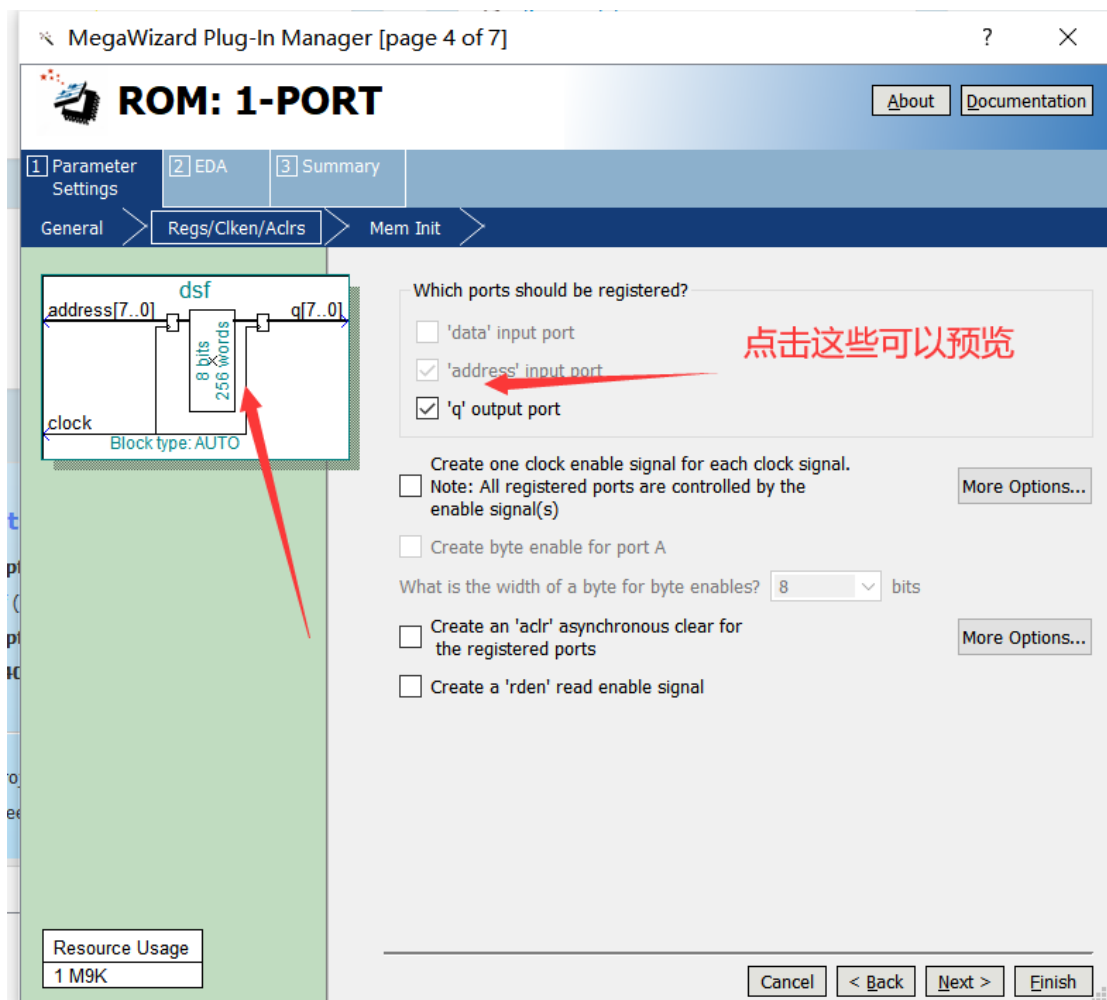
☐ Dual clock: use separate 'input' and 'output' clocks

Cancel

< Back

Next >

Finish



问题6：

1	Quartus II Error (12153): Can't elaborate top-level user hierarchy
---	--

Quartus II不能精细的顶级用户层次结构实体名字与你的工程名不一致