

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ

Кафедра ЭВМ

Контроль и диагностика средств вычислительной техники

Лабораторная работа № 1

Синтез комбинационной схемы
и построение теста контроля

Вариант № 9

Выполнил:
Ст. Гр. 450503
Ломако А.А.

Проверил:
доцент каф. ЭВМ
Золоторевич Л. А.

МИНСК 2018

1 Исходная функция

X_4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
X_3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
X_2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
X_1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Y	1	0	1	0	0	0	0	0	1	1	1	1	1	1	0	0

2 Минимизация методом карт Карно

X_1X_2	00	01	11	10
X_3X_4				
00	1	1	0	0
01	1	1	1	1
11	1	0	0	1
10	0	0	0	0

$$Y = \overline{X}_1\overline{X}_3 + \overline{X}_3X_4 + \overline{X}_2X_4$$

3 Преобразование функции для реализации в базисе Шеффера

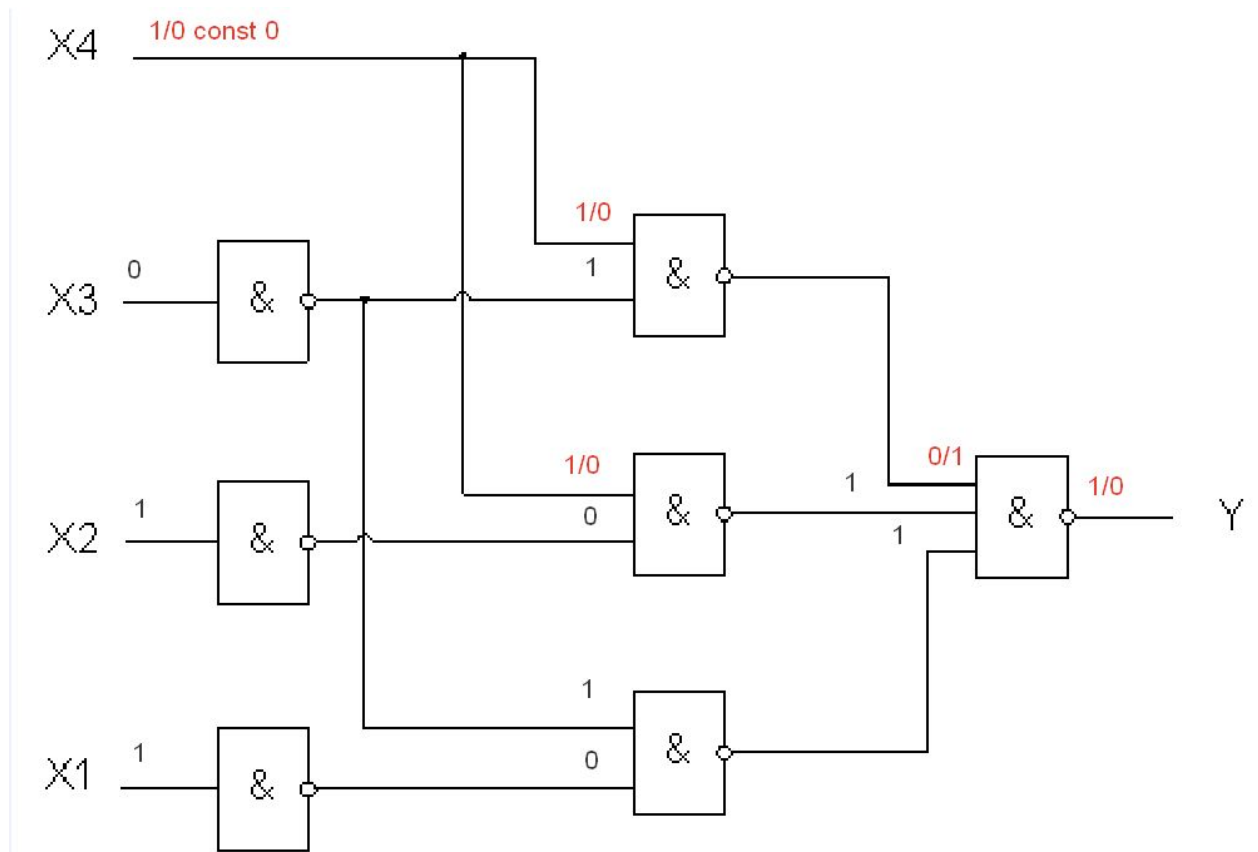
$$Y = \overline{\overline{\overline{X_1 \overline{X_3} + \overline{X_3} X_4 + \overline{X_2} X_4}}} = \overline{\overline{\overline{X_1 \overline{X_3}} * \overline{\overline{X_3} X_4}} * \overline{\overline{X_2} X_4}}$$

4 Преобразование функции для реализации в базисе Вебба

$$Y = \overline{\overline{\overline{X_1 \overline{X_3} + \overline{X_3} X_4 + \overline{X_2} X_4}}} = \overline{\overline{\overline{X_1 + X_3 + X_3 + \overline{X_4} + X_2 + \overline{X_4}}}}$$

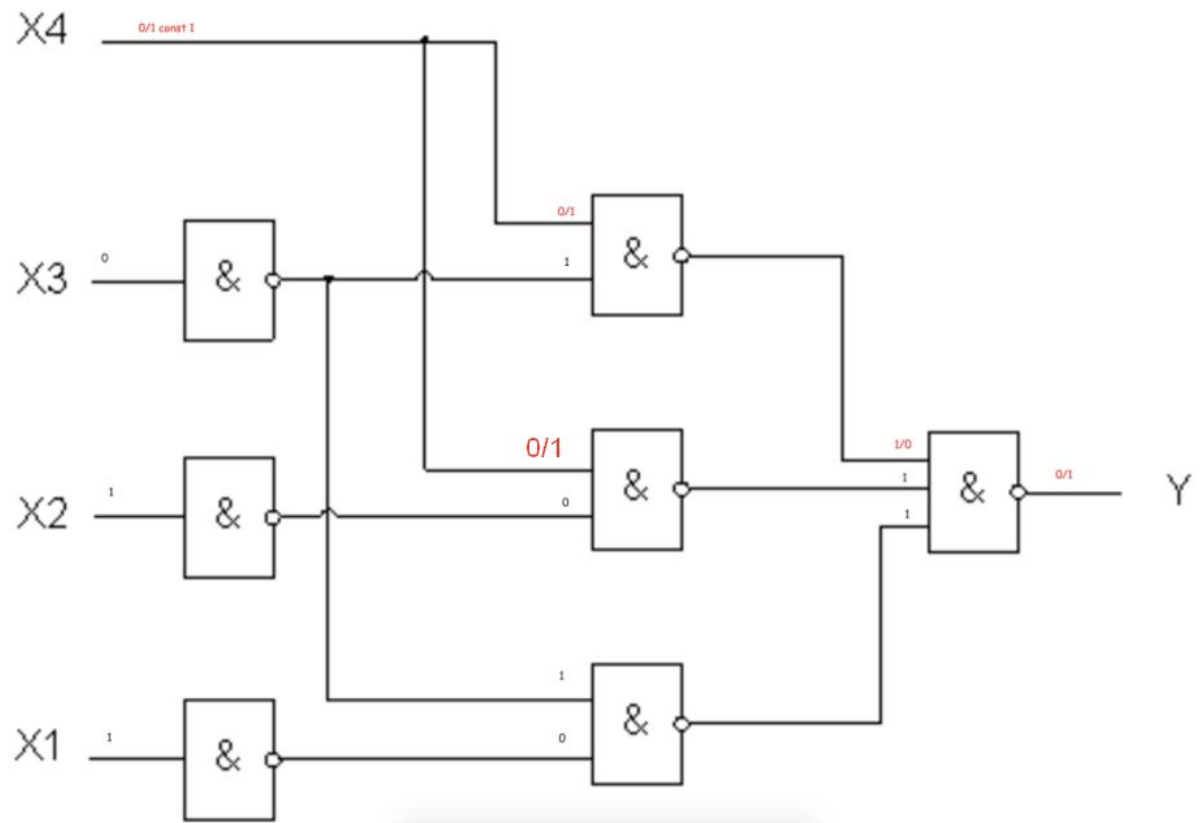
5 Построение тестов контроля схемы, выполненной в базисе Вебба

5.1 CONST 0 на X4



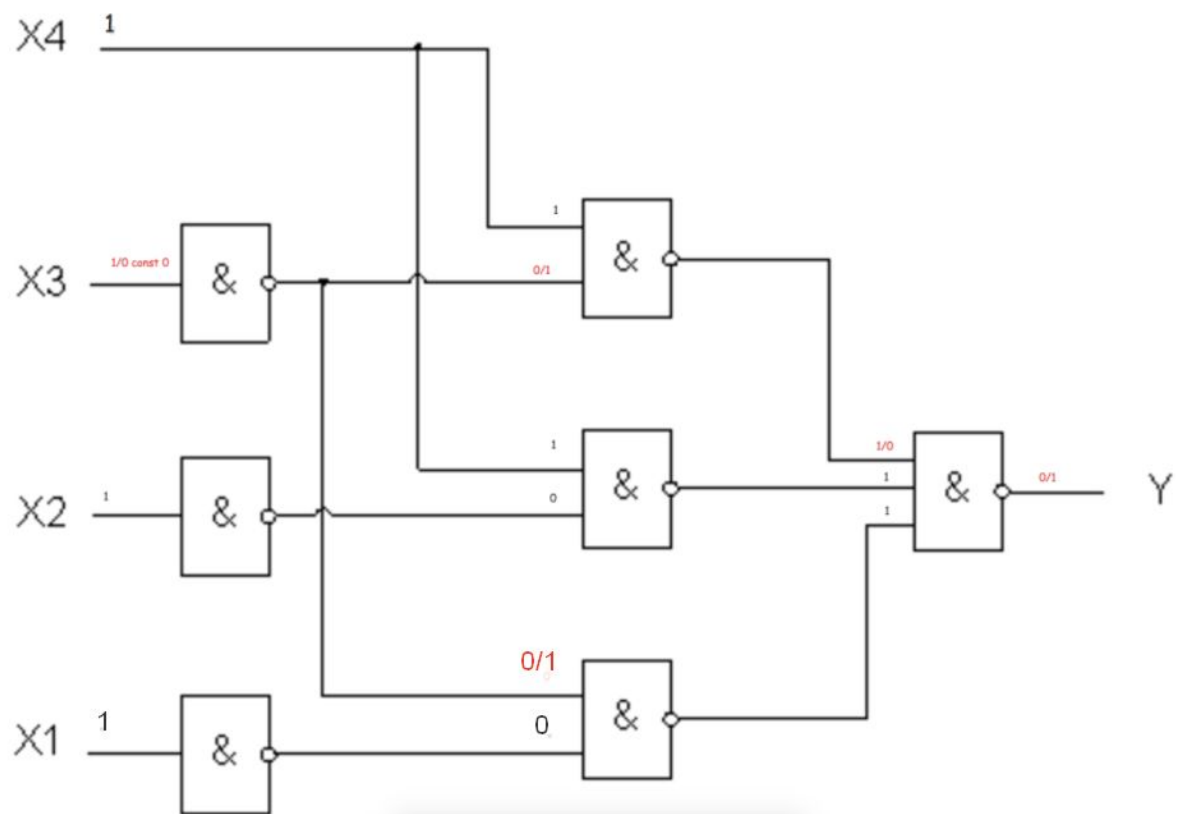
1101

5.2 CONST 1 на X4



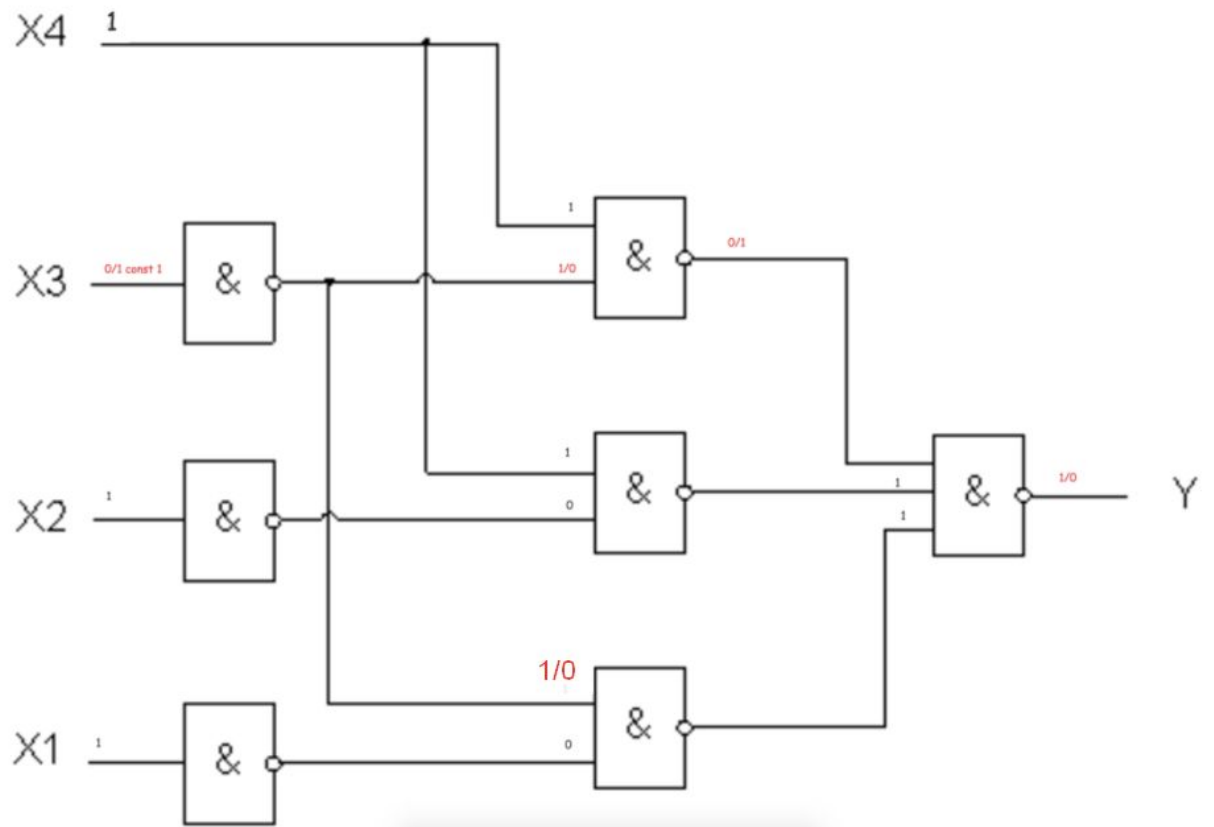
1100

5.3 CONST 0 на X3



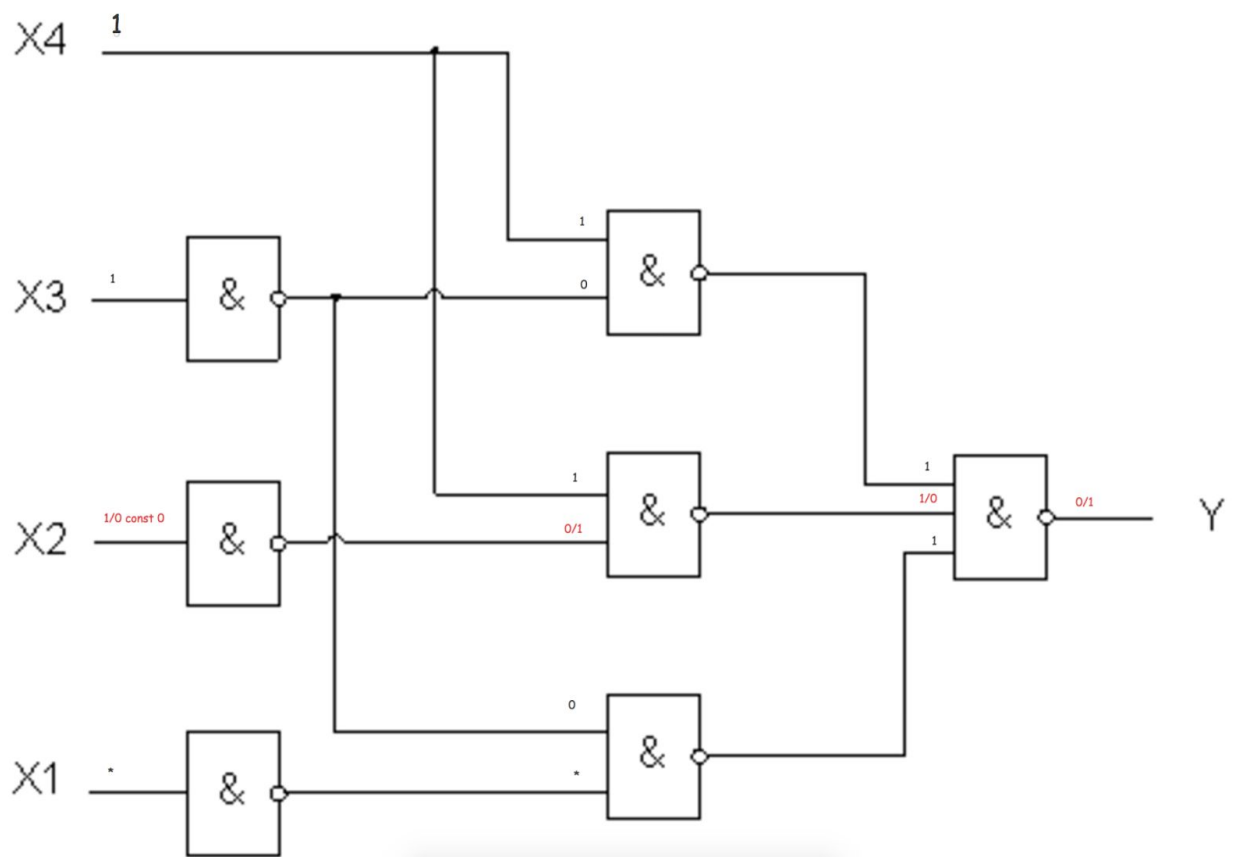
1111

5.4 CONST 1 на X3



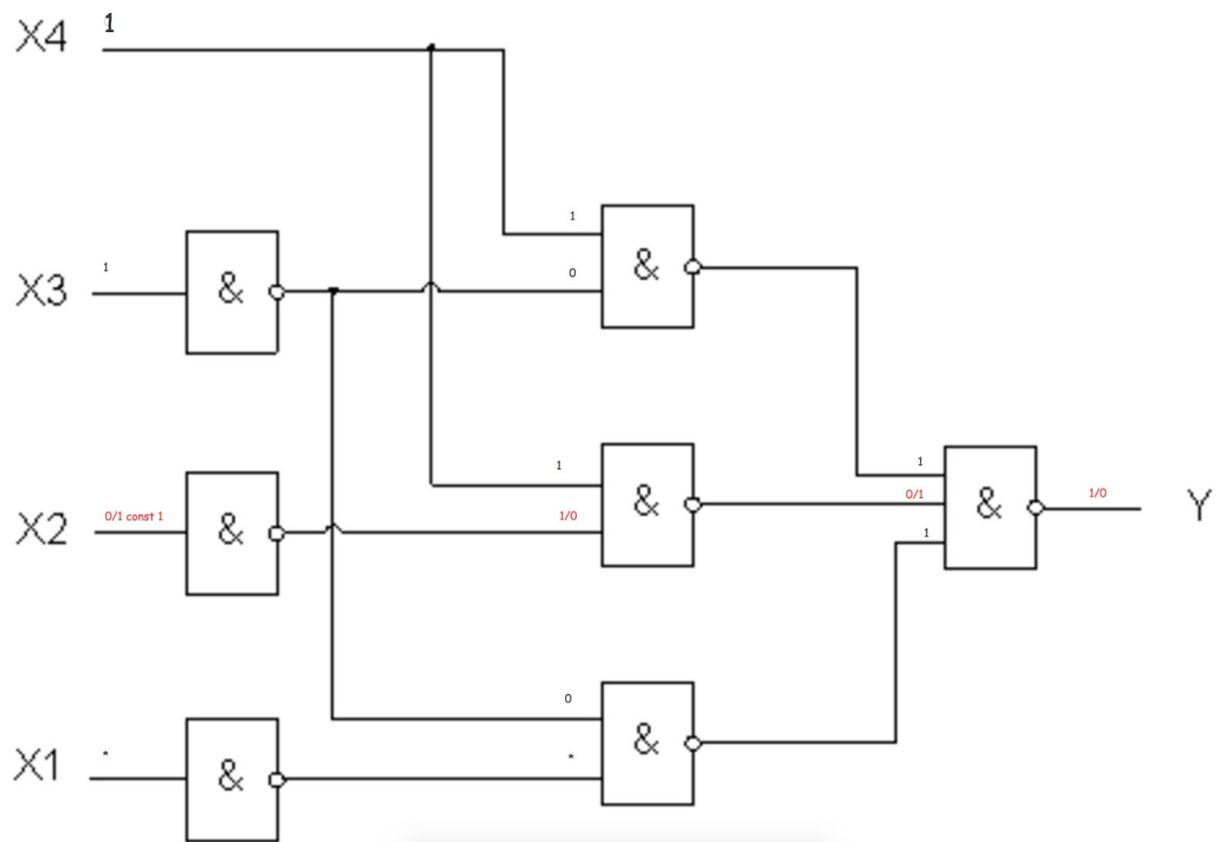
1101

5.5 CONST 0 на X2



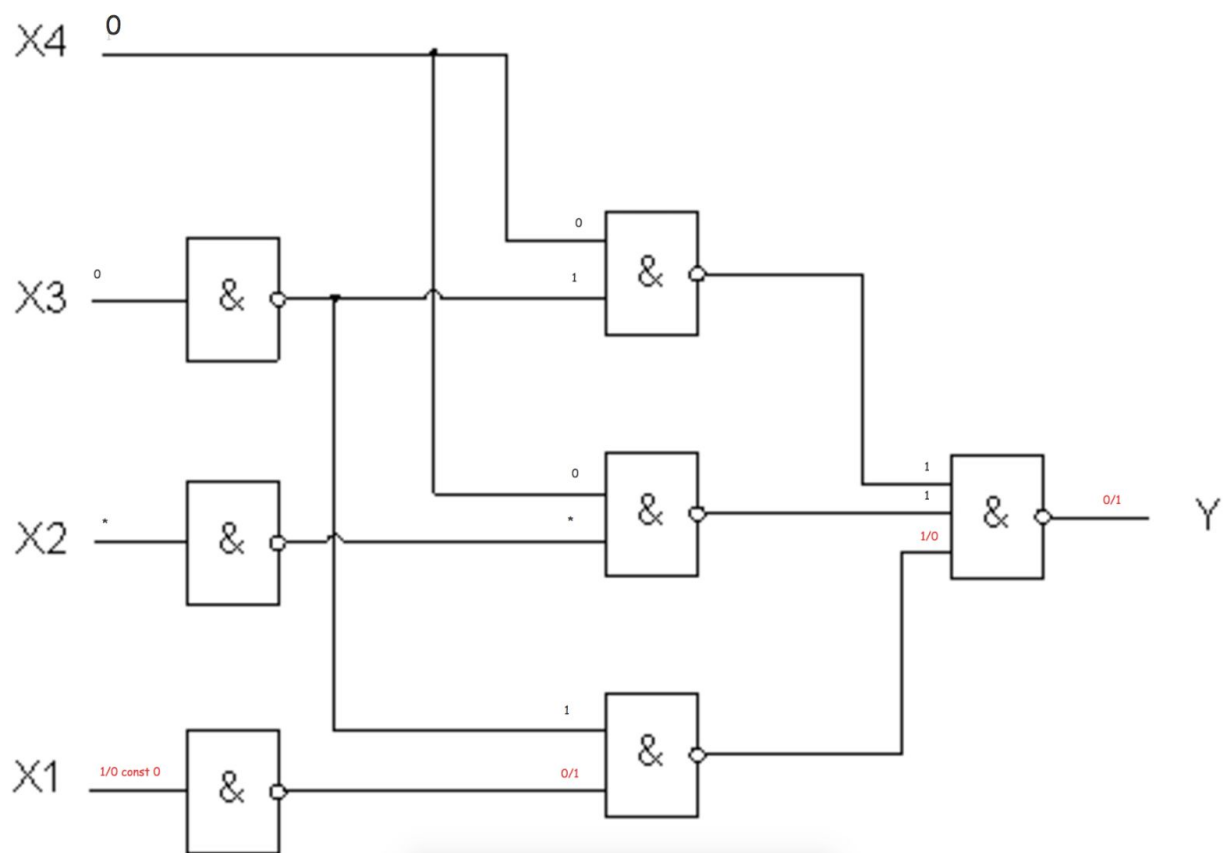
0111, 1111

5.6 CONST 1 на X2



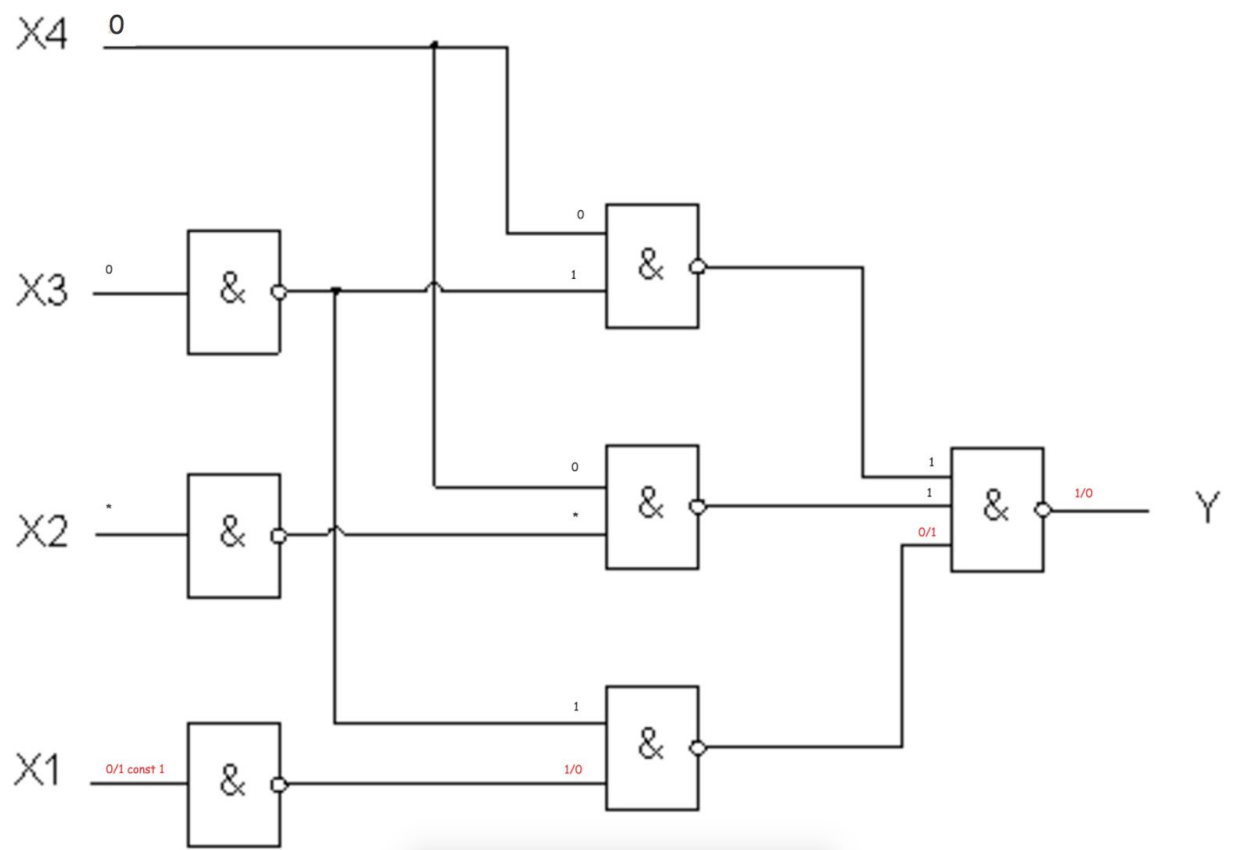
0011, 1011

5.7 CONST 0 на X1



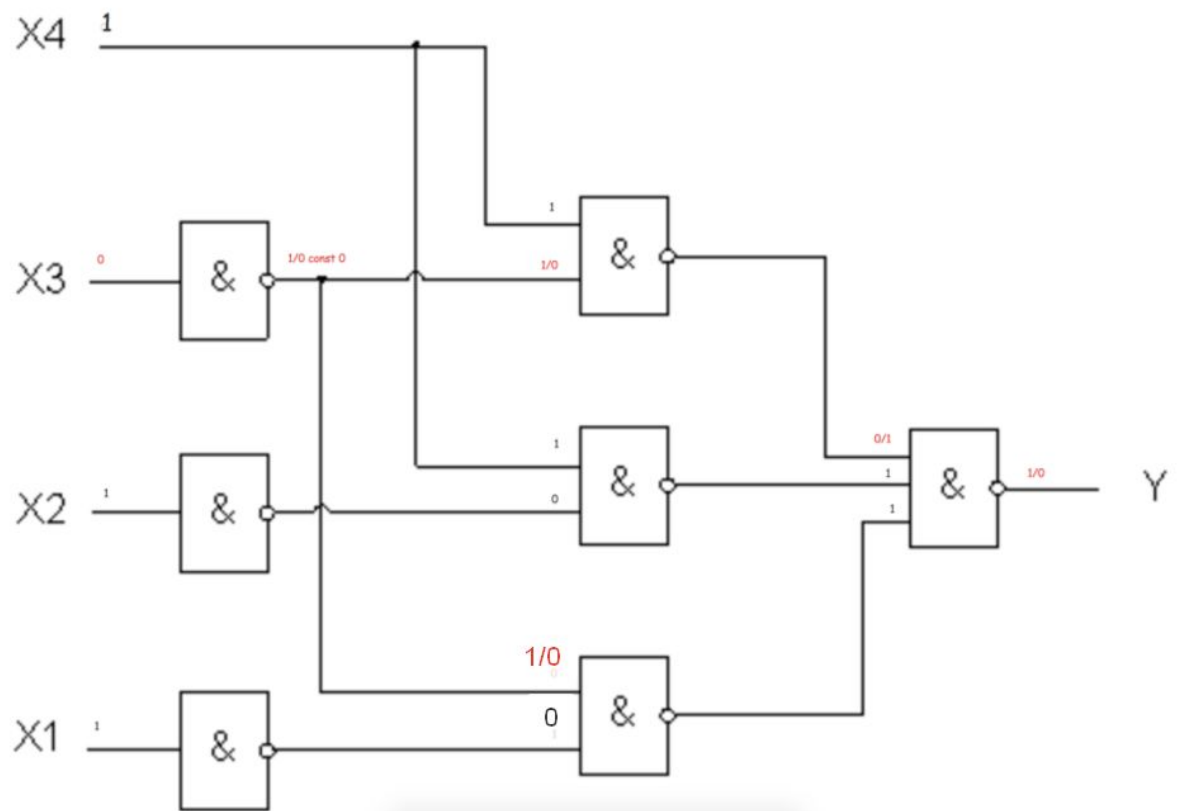
1000, 1100

5.8 CONST 1 на X1



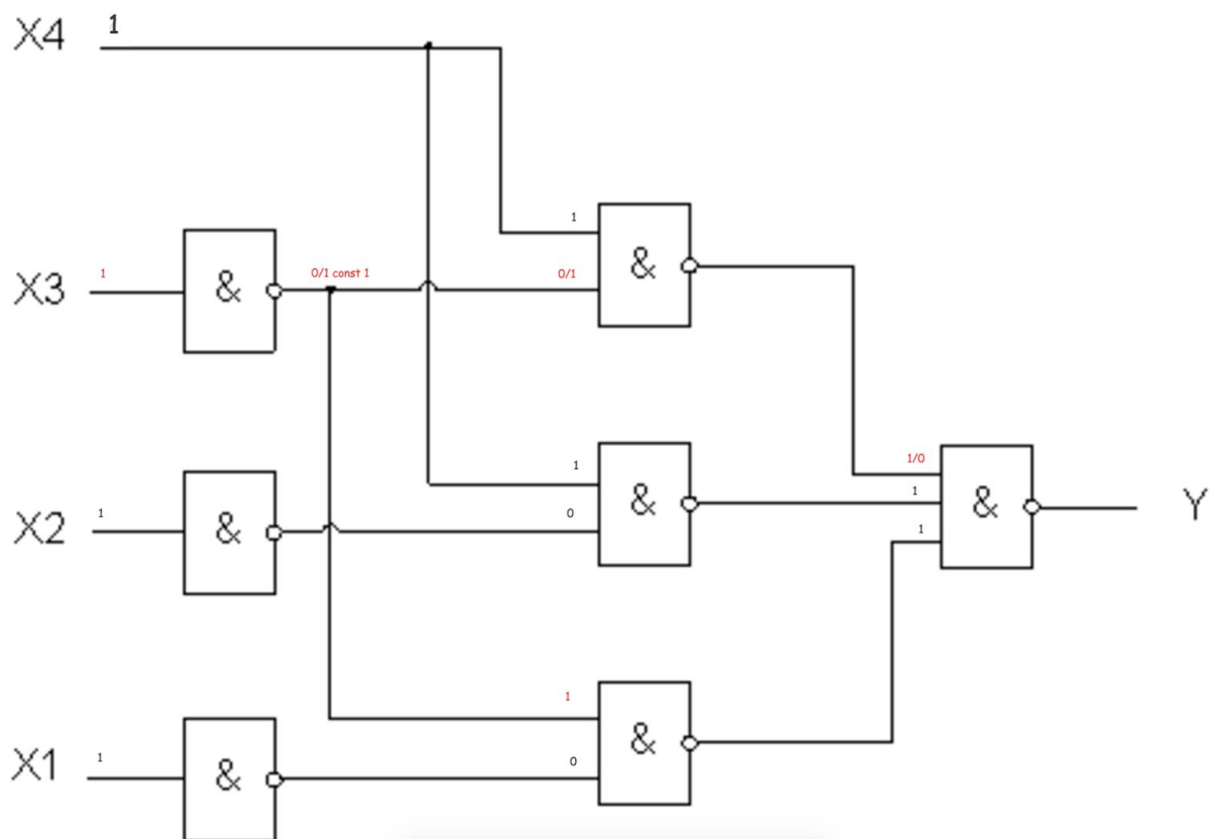
0000, 0100

5.9 CONST 0 на A3



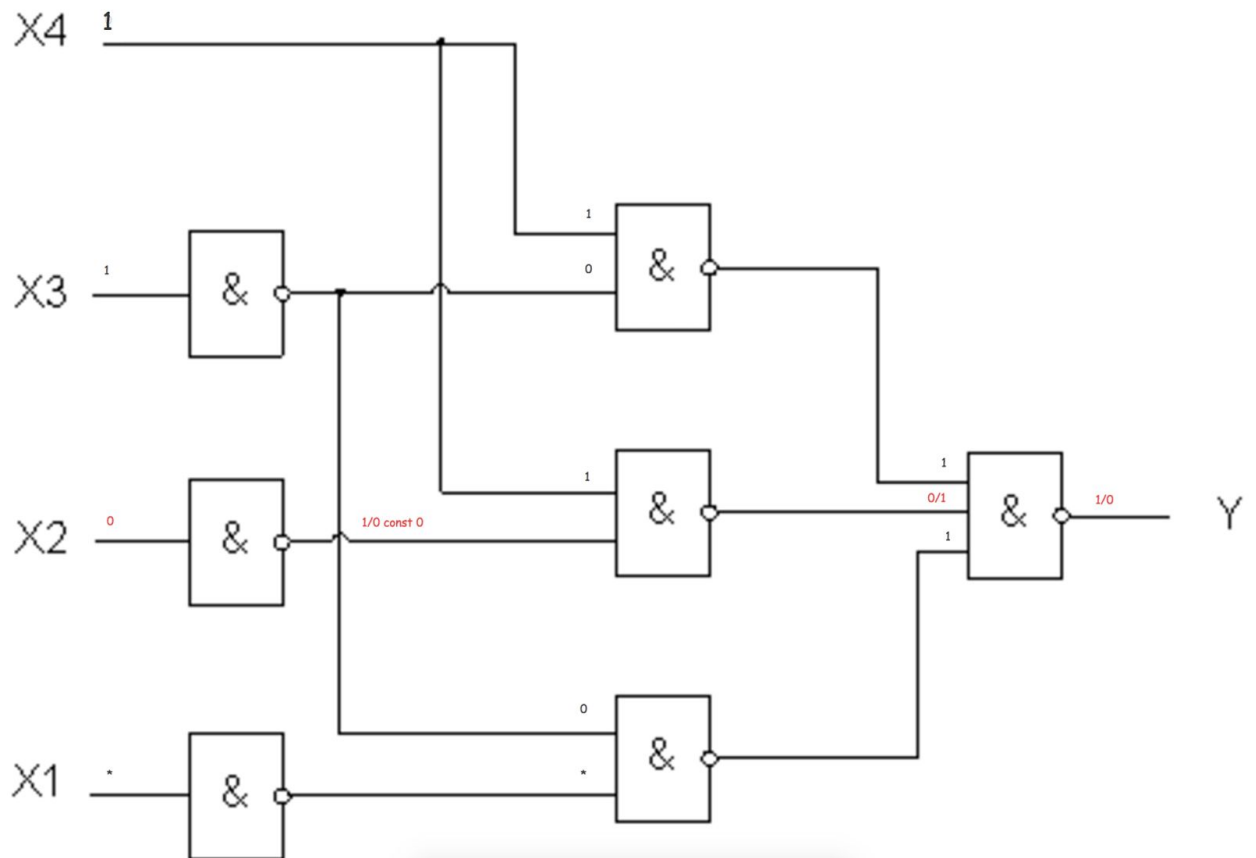
1101

5.10 CONST 1 на А3



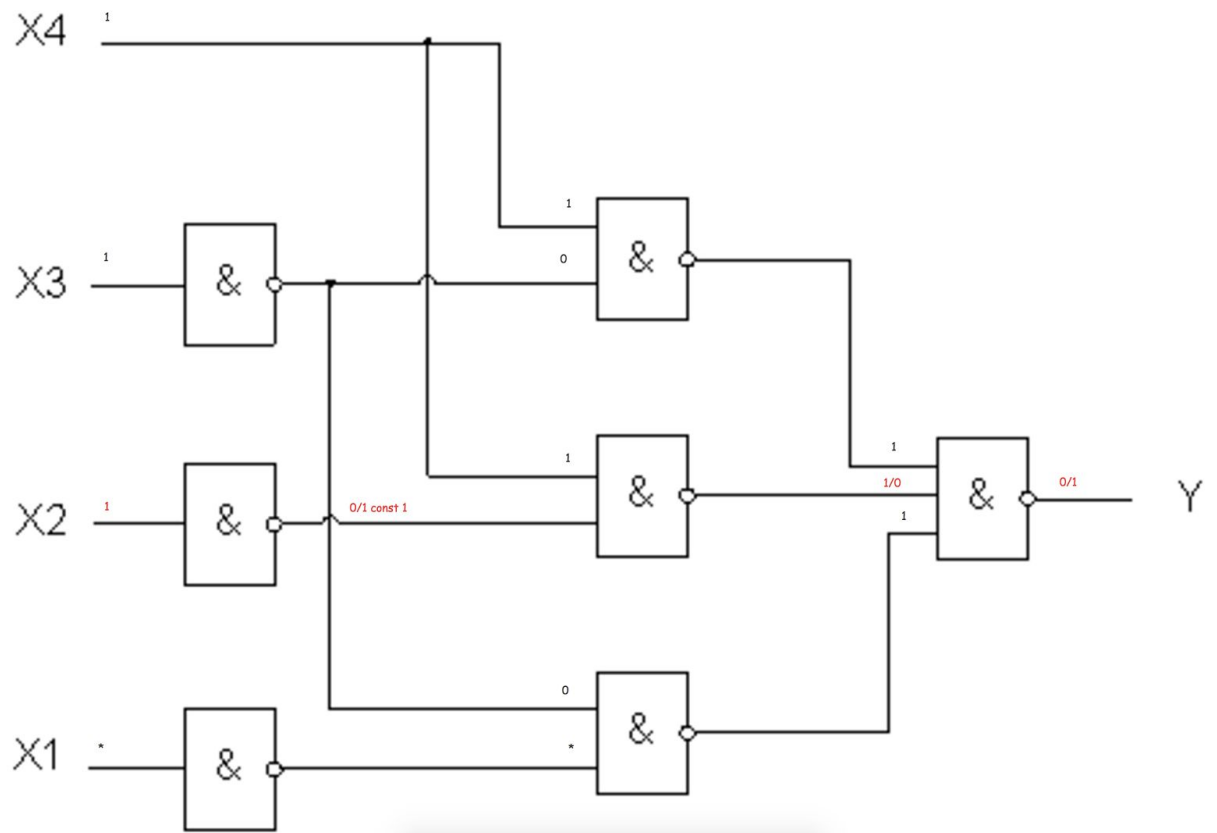
1111

5.11 CONST 0 на A2



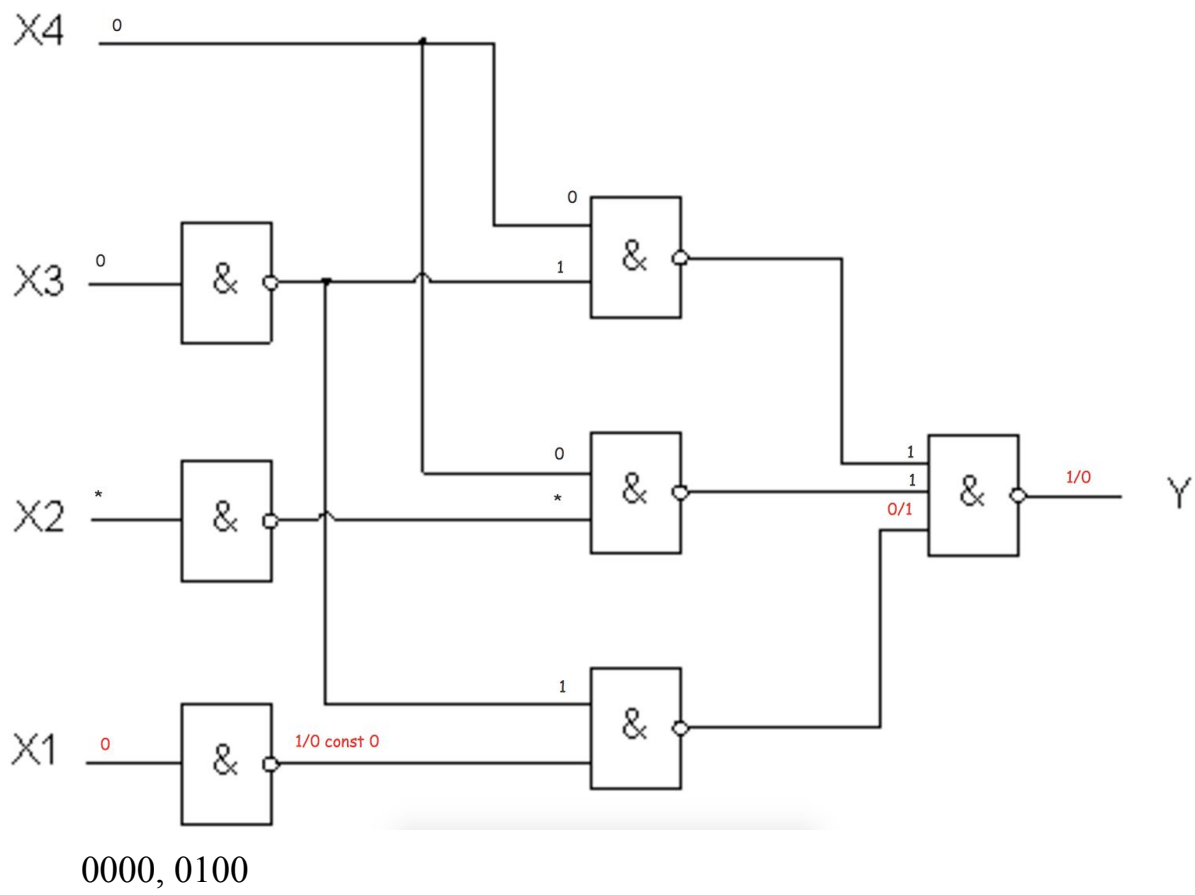
0011, 1011

5.12 CONST 1 на A2

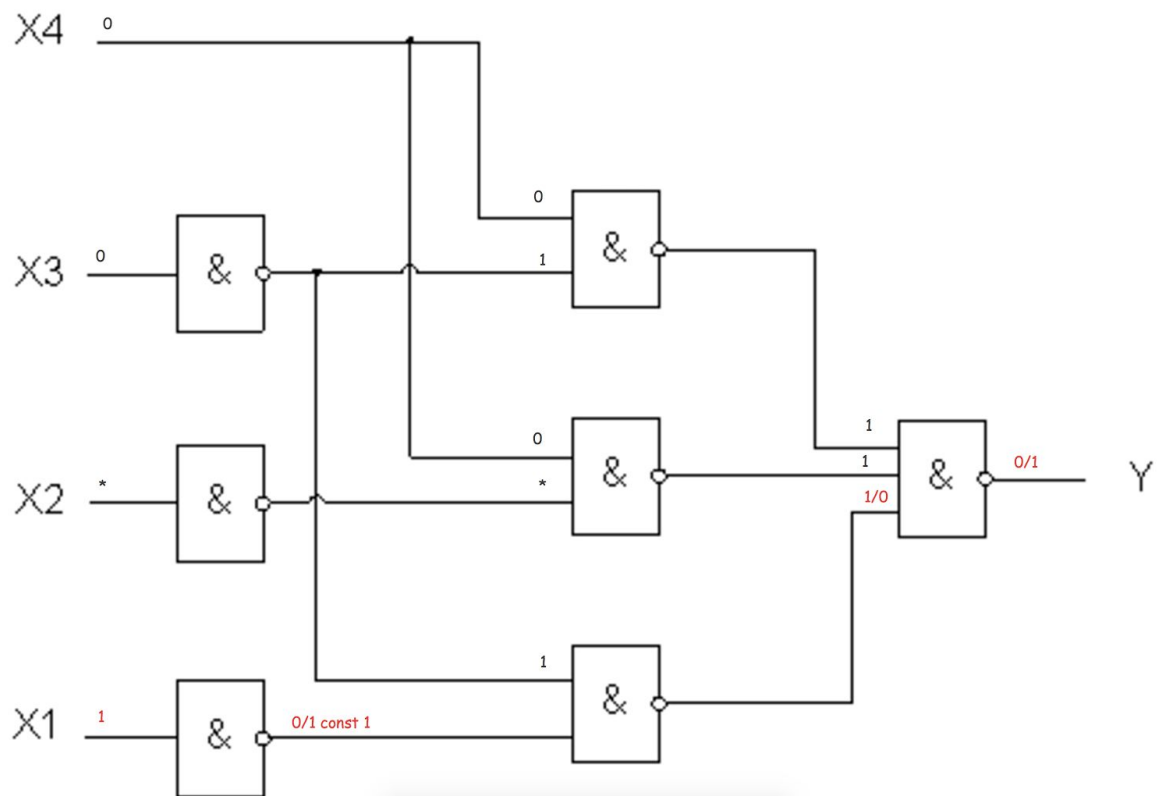


0111, 1111

5.13 CONST 0 на A1

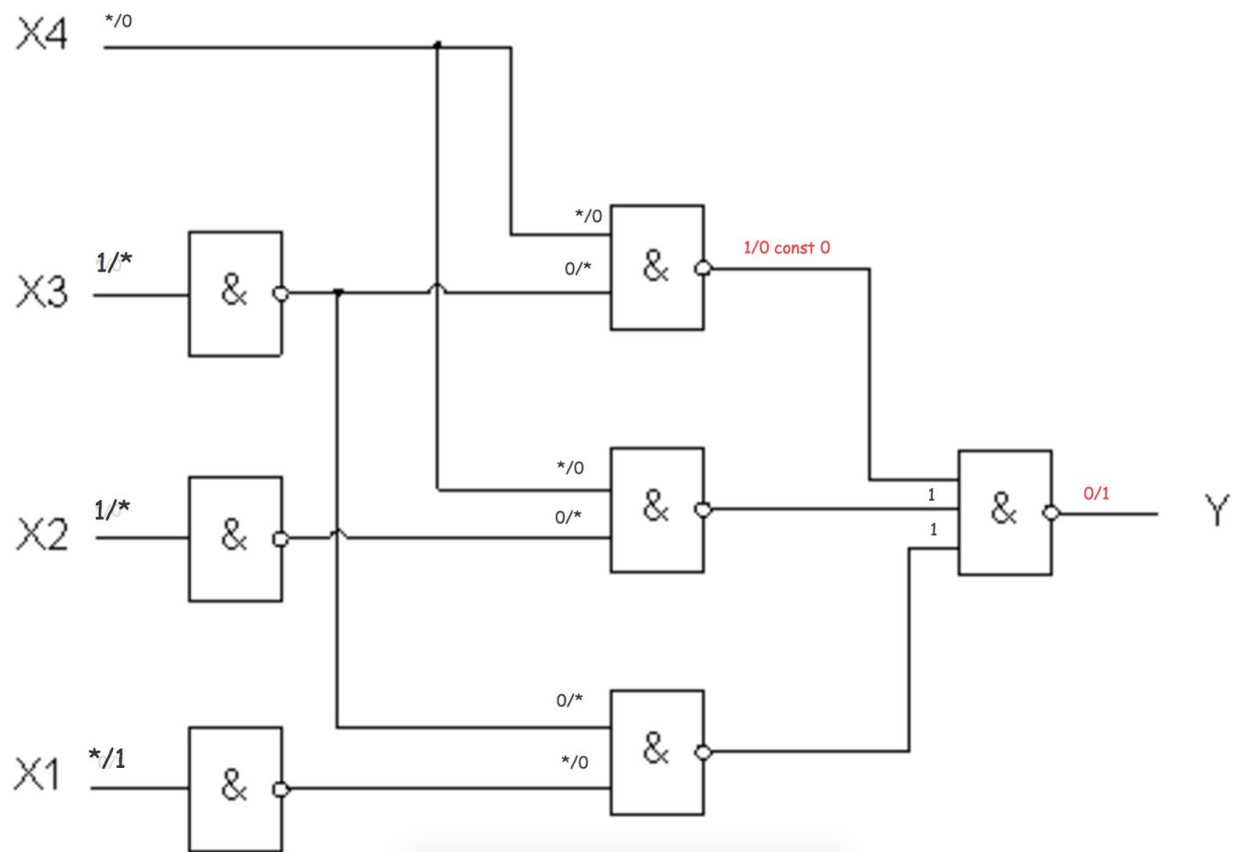


5.14 CONST 1 на A1



1000, 1100

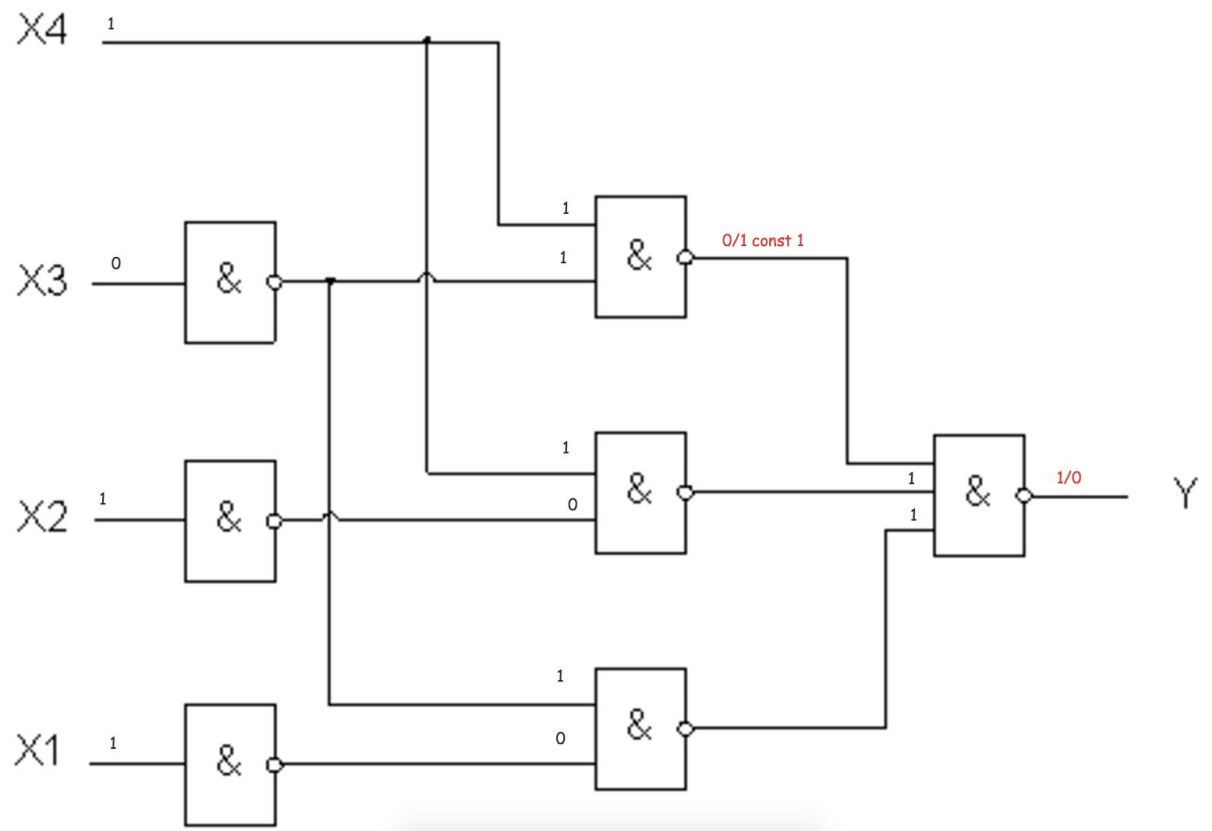
5.15 CONST 0 на В3



0110, 0111, 1110, 1111

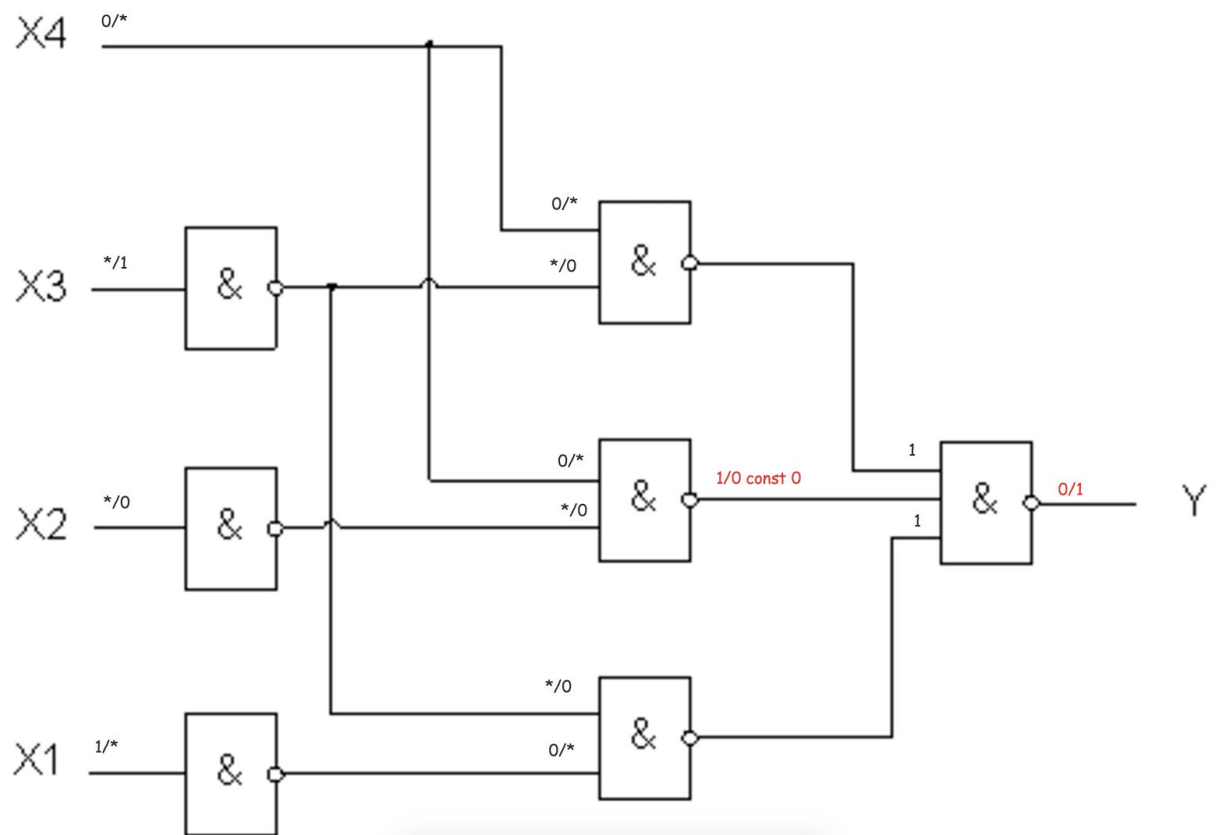
1000, 1010, 1100, 1110

5.16 CONST 1 на В3



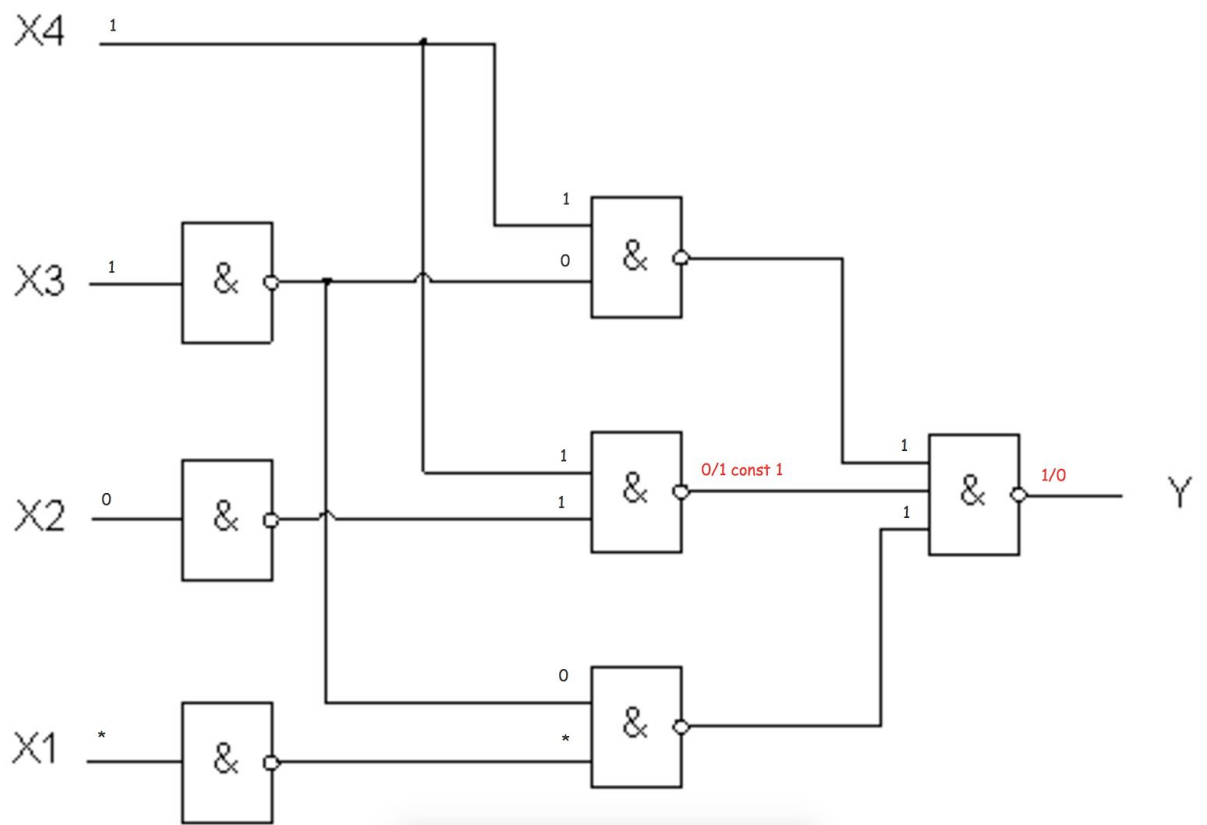
1101

5.17 CONST 0 на B2



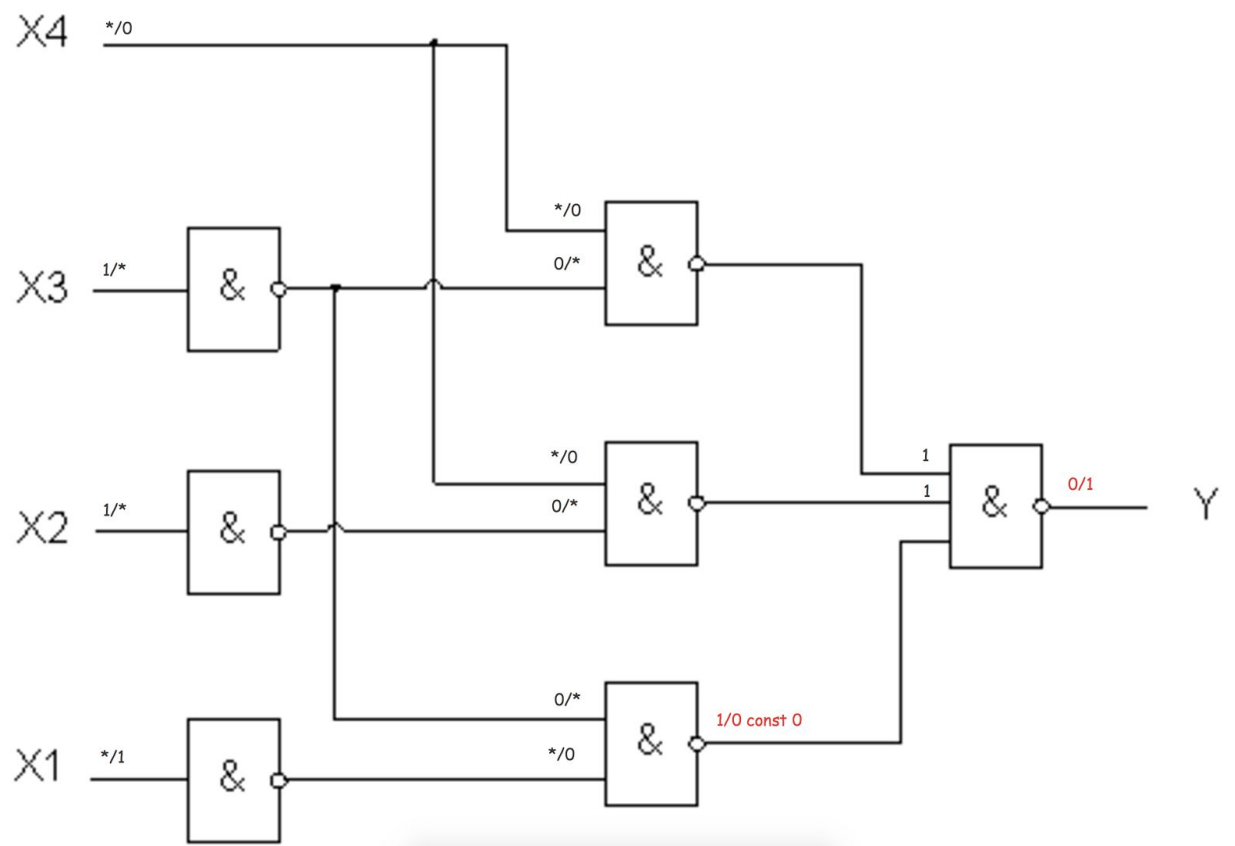
1000, 1010, 1100, 1110
0010, 0011, 1010, 1011

5.18 CONST 1 на B2



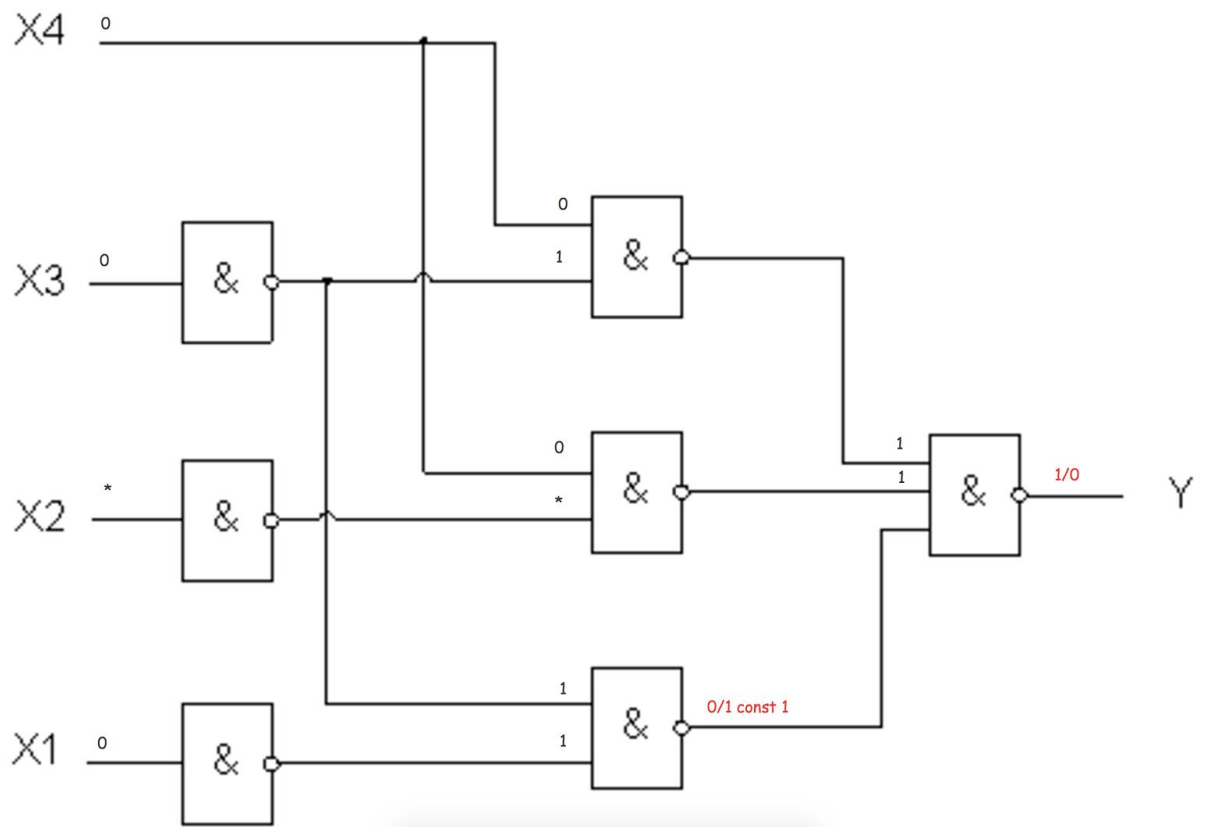
0011, 1011

5.19 CONST 0 на В1



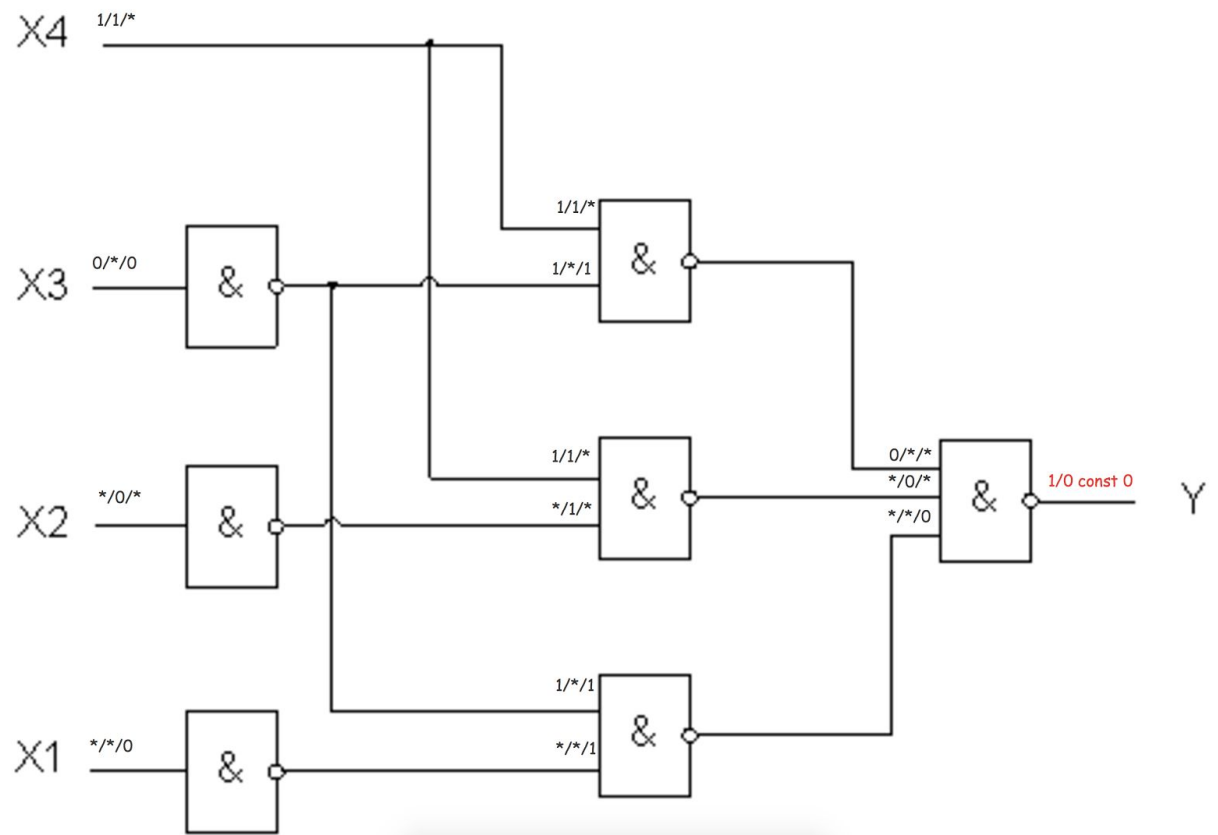
0110, 0111, 1110, 1111
1000, 1010, 1100, 1110

5.20 CONST 1 на B1



0000, 0100

5.21 CONST 0 на C2

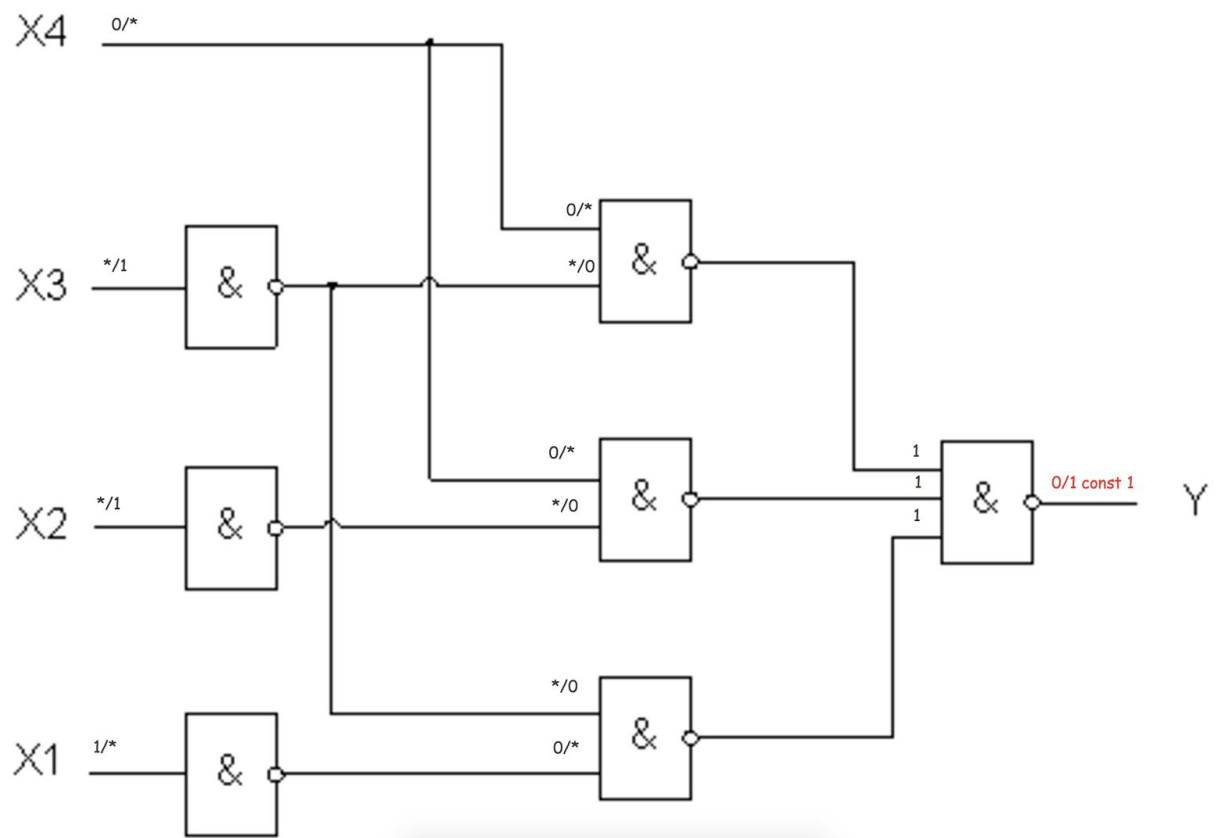


0001, 0101, 1001, 1101

0001, 0011, 1001, 1011

0000, 0001, 0100, 0101

5.22 CONST 1 на C2



1000, 1010, 1100, 1110
0110, 0111, 1110, 1111

6 Таблица функций неисправностей

Решаем задачу нахождения минимального строкового покрытия.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
0000								1					1							1	1	
0001																					1	
0010																	1					
0011						1					1						1	1			1	
0100								1					1							1	1	
0101																					1	
0110															1				1			1
0111					1							1			1				1			1
1000							1							1	1		1		1			1
1001																					1	
1010															1		1		1			1
1011						1					1						1	1			1	
1100		1					1							1	1		1		1			1
1101	1			1					1							1					1	
1110															1		1		1			1
1111			1		1					1		1			1				1			1

0100								8					13						20	21	
1011					6					11						17	18			21	
1100		2					7						14	15		17		19			22
1101	1			4					9						16					21	
1111			3		5					10		12			15				19		22

Тестовая последовательность:

{0100, 1011, 1100, 1101, 1111}

Номер неисправности	Описание	Номер неисправности	Описание
1	Const 0 на X4	12	Const 1 на A2
2	Const 0 на X4	13	Const 0 на A1
3	Const 0 на X3	14	Const 1 на A1
4	Const 1 на X3	15	Const 0 на B3
5	Const 0 на X2	16	Const 1 на B3
6	Const 1 на X2	17	Const 0 на B2
7	Const 0 на X1	18	Const 1 на B2
8	Const 1 на X1	19	Const 0 на B1
9	Const 0 на A3	20	Const 1 на B1
10	Const 1 на A3	21	Const 0 на C1
11	Const 0 на A2	22	Const 1 на C1

8 Описание структурной схемы в программной системе VLSI-SIM

```
circuit sheffer;  
inputs X1(1), X2(1), X3(1), X4(1);  
outputs C1(1);  
GATES  
    A3 'NAND' (1) X3(1);  
    A2 'NAND' (1) X2(1);  
    A1 'NAND' (1) X1(1);  
  
    B3 'NAND' (1) A3(1), X4(1);  
    B2 'NAND' (1) A2(1), X4(1);  
    B1 'NAND' (1) A3(1), A1(1);  
  
    C1 'NAND' (1) B1(1), B2(1), B3(1);  
ENDGATES  
END
```

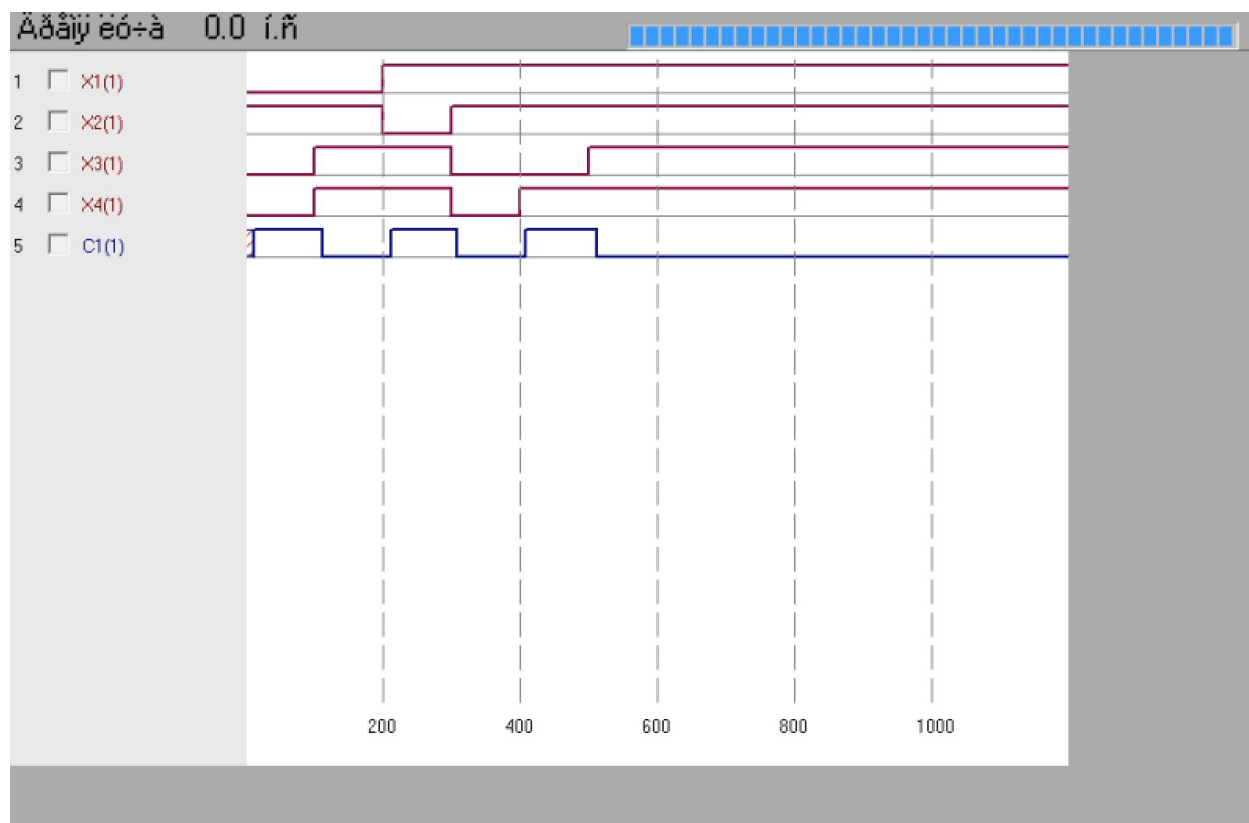
9 Результат моделирования

'iááíðà	% iáíáð. íæñ...	X1(1)	X2(1)	X3(1)	X4(1)	C1(1)	
1	23.68%	0	1	0	0	1	
2	39.47%	1	0	1	1	1	
3	68.42%	1	1	0	0	0	
4	78.95%	1	1	0	1	1	
5	94.74%	1	1	1	1	0	

Éíèè+âñòâí íàáíðíð: 5

?????? ??????????? Ðàçðéóóðóóú à óàééâ 'SHEFFER.FTN' ?????????????? ???????????????

10 Временная диаграмма



11 Описание структурной схемы, реализованной в базисе Вебба, в программной системе VLSI-SIM

```
circuit webb;
inputs X1(1),X2(1),X3(1),X4(1);
outputs D1(1);
GATES
    A4 'NOR'(1) X4(1);

    B4 'NOR'(1) A4(1), X3(1);
    B3 'NOR'(1) X3(1), X1(1);
    B2 'NOR'(1) A4(1), X2(1);

    C1 'NOR'(1) B4(1), B3(1), B2(1);

    D1 'NOR'(1) C1(1);
ENDGATES
END
```

12 Тестовая последовательность, найденная программой

'íááíðä	% íáíðä. íðeñ...	X1(1)	X2(1)	X3(1)	X4(1)	C1(1)	
1	34.21%	1	1	1	1	0	
2	36.84%	0	1	1	0	0	
3	47.37%	1	1	0	0	0	
4	71.05%	0	0	0	0	1	
5	73.68%	1	0	1	0	0	
6	89.47%	0	0	1	1	1	
7	100.00%	1	1	0	1	1	

Éíeë=äñöäí íááíðä: 7

????????? ???? ?

13 Временная диаграмма

