Norge teknisk- naturvitenskapelige universitet
Institutt for elektronikk og telekommunikasjon

TFE4101
Krets- og Digitalteknikk
Høst 2014

Løsningsforslag – Øving 6

Oppgave 1: Teknologi-mapping

a) Siden funksjonen T er på SOP-form, kan vi lage kretsen basert på NOR-porter hvis vi tar utgangspunkt i den inverterte til T. Siste nivå i funksjonen $\overline{T}$ kan da realiseres som en 3-inngangs NOR-port (som kan splittes opp i to 2-inngangs porter):

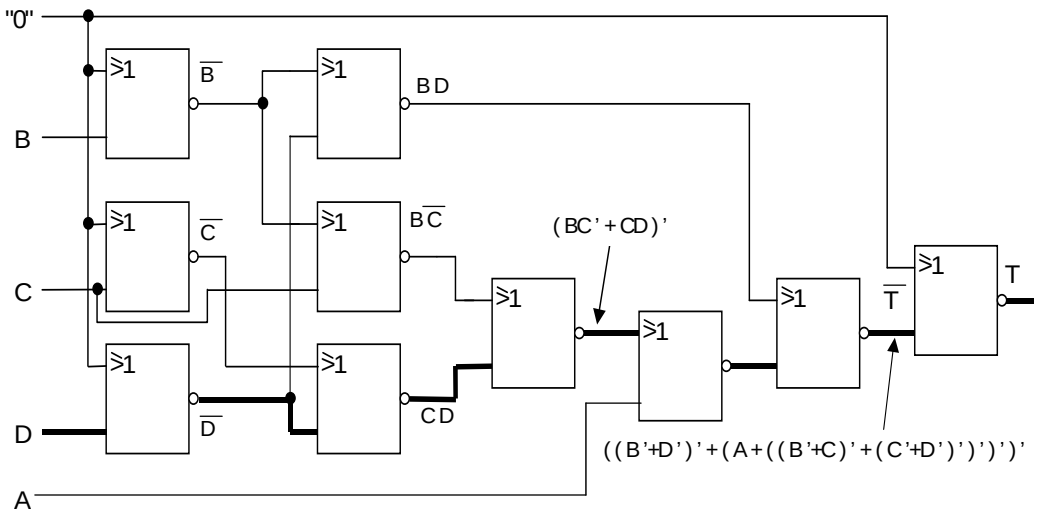
$$\overline{T} = \overline{BD + \overline{A}B\overline{C} + \overline{A}CD}$$

Deretter fortsetter vi å jobbe med underliggende nivåer som er produkter av inngangsvariabler. Ved å bruke DeMorgans teorem kan disse realiseres som NOR-porter. Legg merke til at to siste leddene er faktorisert i uttrykket nedenfor for lettere å kunne realisere funksjonen med 2-inngangs porter:

$$\overline{T} = \overline{\overline{BD} + \overline{A}(B\overline{C} + CD)} = \overline{\overline{B} + \overline{D} + (A + (B\overline{C} + CD))}$$

Dette utføres rekursivt med alle nivåer inntil vi får en krets realisert fullstendig med 2-inngangs NOR-porter (legg merke til at dobbeltinvertering ikke er nødvendig, men er tatt med her for å vise overgangen mellom f.eks. BD og $\overline{\overline{B} + \overline{D}}$, som er identiske uttrykk):

$$\overline{T} = \overline{\overline{B} + \overline{D} + (A + (B\overline{C} + \overline{CD}))} = \overline{\overline{B} + \overline{D} + A + \overline{\overline{B} + C} + \overline{C + D}}$$



Figur 1: Realisering av funksjonen T med NOR porter

Kommentar: I denne oppgaven ble europeisk IEC-symboler brukt.

Vi ser også at inverterende funksjoner er realisert med en NOR-port, der den ene inngangen settes konstant lik logisk 0. En annen måte å gjøre dette på, er å koble sammen inngangene til en NOR-port.

b) Vi har benyttet ti NOR-porter. Hver av disse krever fire transistorer. Løsningens kostnad er følgelig 40 transistorer.

c) Kritisk sti gjennom kretsen er markert med tykk strek i figur 1. Denne går gjennom seks NOR-kretser. Hver av disse har en portforsinkelse på 1,4ns. Total forsinkelsen er følgelig 8,4ns.

Oppgave 2: Design og analyse av kombinatoriske kretser

a) Utvikling av logisk funksjon

Hver linje i spesifikasjonen gir et produktledd som deretter må summeres sammen. Dette gir oss:

Lys = A B' C + A B + B C'

Denne kan vi forenkle ved manipulasjon. Vi starter med å utvide de to siste leddene slik at vi får funksjonen på kanonisk form:

Lys = A B' C + A B C' + A B C + A' B C' + A B C'

Andre og fjerde ledd er like, så en av disse kan vi fjerne.

Lys = A B' C + A B C + A' B C' + A B C'

Nå kan vi trekke ut A C fra de to første leddene og B C' fra de to siste

Lys = A C (B' + B) + (A' + A) B C'

Parentesene kan nå fjernes og vi står igjen med:

Lys = A C + B C'

Dette er funksjonen til en multiplekser (selector) med C som valgsignal (se figur 5.13 i Gajski).

b) Adderer

I en CLA-adderer benyttes ekstra porter til å forhåndsberegne menteforplantningen. Den har derfor høyere kompleksitet enn en ripple-carry adderer. Den er imidlertid vesentlig raskere.

c) Dekoder

I en 2-4 dekoder er utgang C0 høy når inngangene tar verdien 00 og lav ellers. Tilsvarende er C1 høy når inngangene tar verdien 01 og lav ellers, osv. For en komplett løsning må vi sette opp sannhetstabell for hver enkelt funksjon i hver enkelt krets, og se hvilken krets som tilsvarer en 2-4 dekoder. For løsning b1 ser vi imidlertid at C3 ikke er høy når inngangene tar verdien 11, følgelig kan dette ikke være en 2-4 dekoder. Av de to gjenstående er det bare realiseringen av C1 som er forskjellig. Denne skal være høy når A1=0 og A0=1. Dette er tilfelle for b3 men ikke for b2.

d) PLA

PLA-realisering av følgende likninger:

$U_1 = Q_1'Q_0' + Q_0I_1 + Q_1Q_0'I_0 + Q_1Q_0'I_1$

$U_0 = Q_1'Q_0'I_1' + Q_1'Q_0I_1 + Q_1'Q_0'I_0 + Q_1Q_0'I_1'I_0'$

Vi lager Karnaughdiagram for de to likningene. Ettersom målet er å benytte færrest mulig OG-termer, må vi her vurdere hvilken forenkling som gir dette. Vanligvis grupperer vi 1-mintermer (enere i diagrammet), men siden vi har tilgjengelig invertering på utgangen, så kan vi også gruppere 0-mintermer (nullere i diagrammet). Invertering av en utgangsfunksjon oppnås ved å koble den andre inngangen på tilhørende XOR-port til 1 (se sannhetstabell for XOR-port).

U_1:

$Q_1 Q_0$ \ $I_1 I_0$	00	01	11	10
00	0: 1	1: 1	3: 1	2: 1
01	4: 0	5: 0	7: 1	6: 1
11	12: 0	13: 0	15: 1	14: 1
10	8: 0	9: 1	11: 1	10: 1

Her ser vi at implementering med 0-mintermer gir to OG-termer. Den alternative løsningen med 1-mintermer ville gitt tre OG-termer. Vi får altså:

$$U_1 = (Q_0 I_1' + Q_1 I_1' I_0')'$$

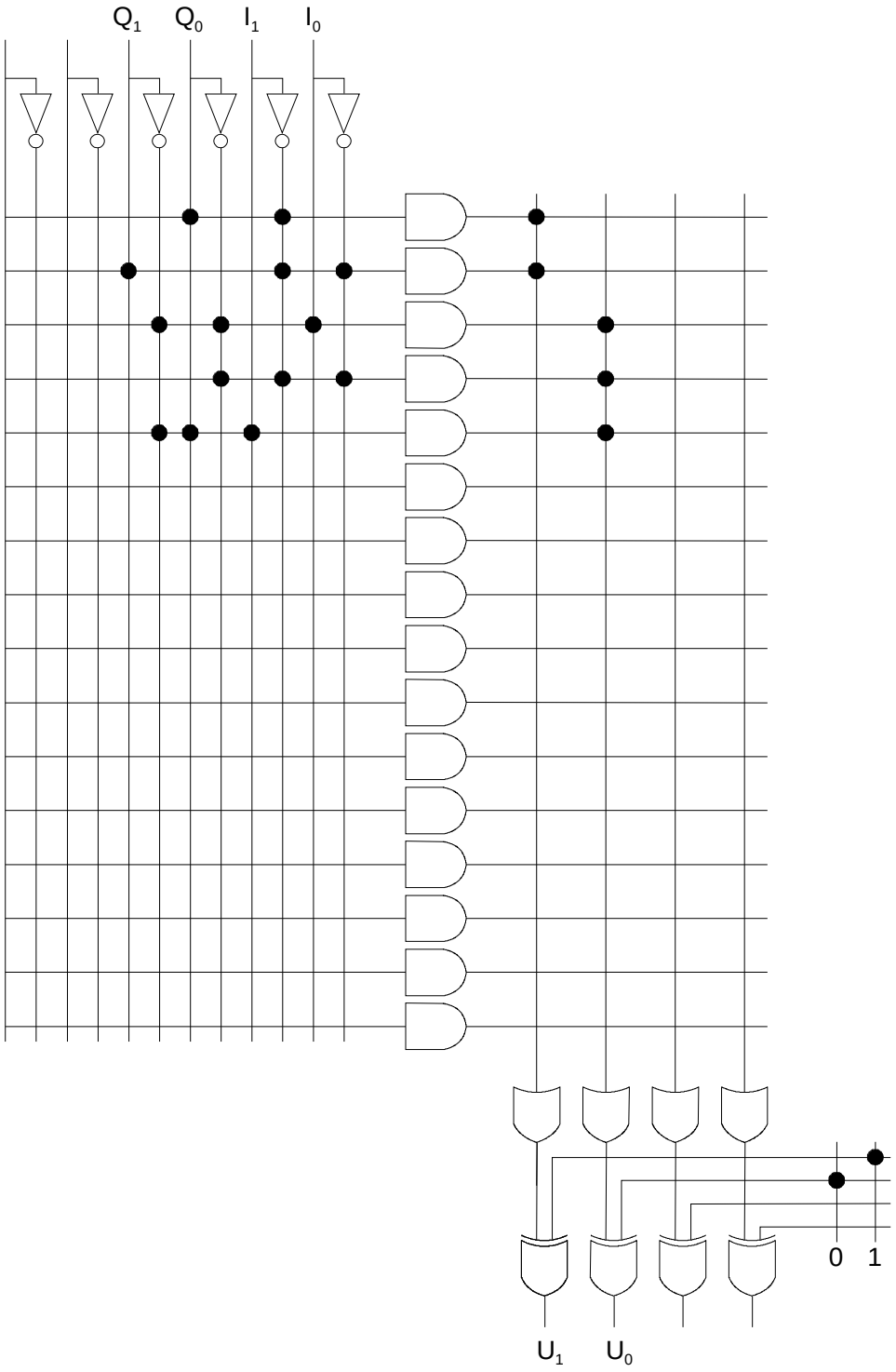
U_0:

$Q_1 Q_0$ \ $I_1 I_0$	00	01	11	10
00	0: 1	1: 1	3: 1	2: 0
01	4: 0	5: 0	7: 1	6: 1
11	12: 0	13: 0	15: 0	14: 0
10	8: 1	9: 0	11: 0	10: 0

Her ser vi at implementering med 1-mintermer gir tre OG-termer. Den alternative løsningen med 0-mintermer ville gitt fire OG-termer. Vi får altså:

$$U_0 = Q_0' I_1' I_0' + Q_1' Q_0' I_0 + Q_1' Q_0 I_1$$

I figur 2 er de ulike OG-termene merket av i den øvre venstre delen av figuren. ELLER-termene som inngår i den enkelte funksjon er avmerket i den øvre høyre delen av figuren. Legg også merke til at vi inverterer U1 men ikke U0 ved å koble henholdsvis en ener og en nuller inn på XOR-portene nederst til høyre i figuren.



Figur 2: PLA med realisering av kombinatorikk

e) Kombinatorisk kretsdesign på blokknivå

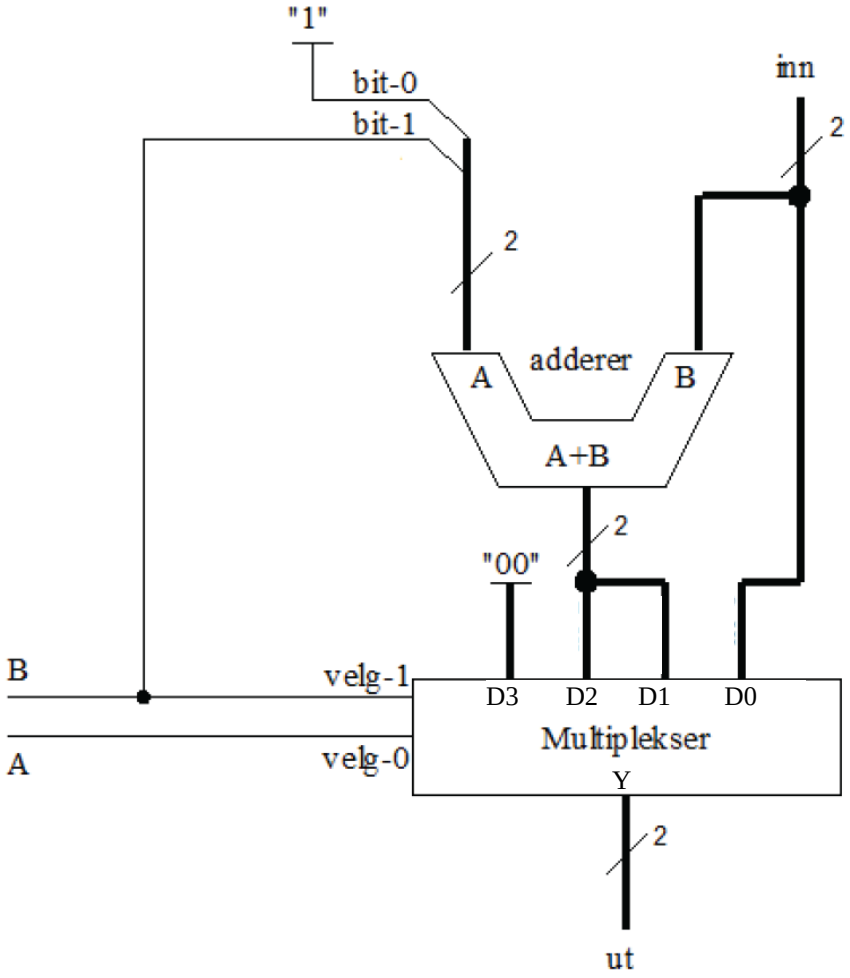
Vi kan starte designprosessen med å dele oppgaven i mindre deloppgaver. Kretsen vår skal kunne

- Trekke 1 fra inn ved hjelp av en 2s-komplement addisjonskrets.
- Legge 1 til inn ved hjelp av en 2s-komplement addisjonskrets.
- Velge en av fire mulige svar ved hjelp av en multiplekser

Det å trekke fra 1 er det samme som å legge til -1. Siden vi opererer med 2 bit brede 2s-komplement tall så svarer det til å legge til 11. Det vil altså si at vi enten skal legge til 01 (*inn + 1*) eller legge til 11 (*inn – 1*). Det er med andre ord bare det mest signifikante av de to bittene som er forskjellige i de to addisjonene. Samtidig har vi at styresignalet B=0 når vi skal legge til '01' og B=1 når vi skal legge til '11'. Følgelig kan vi la B være verdien av det mest signifikante bittet som skal legges til, og koble det minst signifikante bittet direkte til 1.

Videre kan vi la styresignalene A og B styre multiplekseren slik at den slippe signalet *inn* rett igjennom, slipper resultatet av addisjonen igjennom, eller slipper verdien '*00*' igjennom. Resultatet av addisjonen må vi rute inn på to av inngangene på multiplekseren siden det er to kombinasjoner av styresignalene som benytter seg av dette resultatet.

Figur 3 viser en mulig kretsløsning på blokknivå.



Figur 3: Kombinatorisk krets på blokknivå.

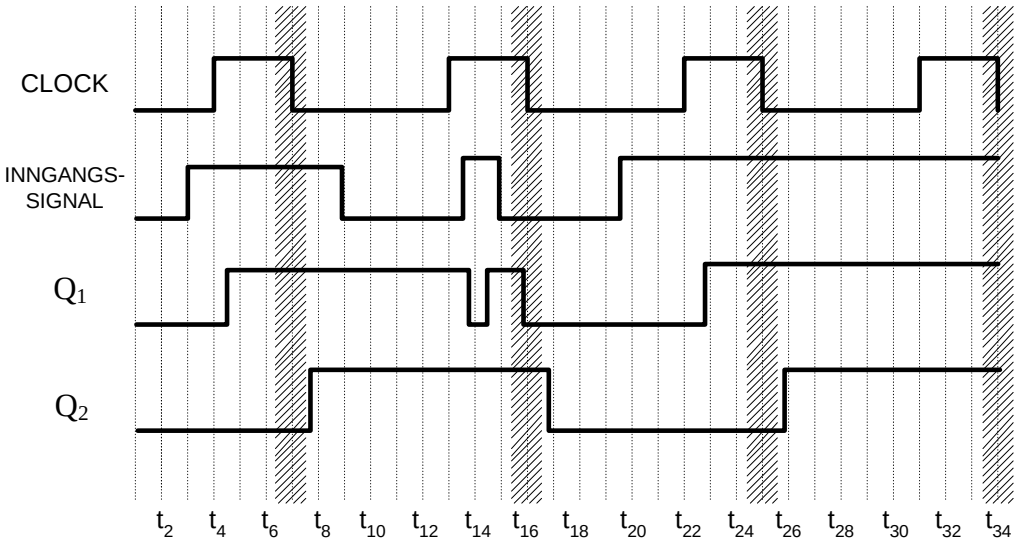
Oppgave 3: Flanke- og nivåstyrte vipper

a) Vi ser fra figuren at pulstog Q_1 skifter fra høy til lav, og tilbake til høy, *mens* klokken er høy. Dette pulstoget tilhører derfor en D-latch.

Pulstog Q_2 skifter nivå kun i tilknytning til den fallende klokke-flanken, og hører derfor til en D-vippe (flankestyrt). Plasseringen av invertereren gjør at slave-låsen leder når CLOCK er lav.

Følgelig vil utgangen Q endre seg i det CLOCK skifter fra høy til lav, og vi får en vippe som er styrt av den fallende (eller negative) flanken.

b) $T_{oppsett}$-T_{holde} er et tidsintervall som omslutter den aktive flanken til klokken. Hvis man endrer inngangssignalet i dette tidsrommet har man ikke kontroll på hvordan det vil innvirke på utgangsverdien til kretsen.



Figur 4: De skraverte områdene er tidsintervallet $T_{oppsett}$ - T_{holde}.

c)

Tabell 1: Eksitasjonstabell for D-vippe.

Q	$Q_{(next)}$	D
0	0	0
0	1	1
1	0	0
1	1	1

Vi ser at nestetilstanden til D-vippen er lik inngangsignalet til vippen.

Tabell 2: Eksitasjonstabell for T-vippe.

Q	$Q_{(next)}$	T
0	0	0
0	1	1
1	0	1
1	1	0

Hvis inngangssignalet T er 1, vil vippen skifte tilstand ved neste aktive klokkeflanke (toggle-vippe).

Tabell 3: Eksitasjonstabell for SR-vippe.

Q	$Q_{(next)}$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

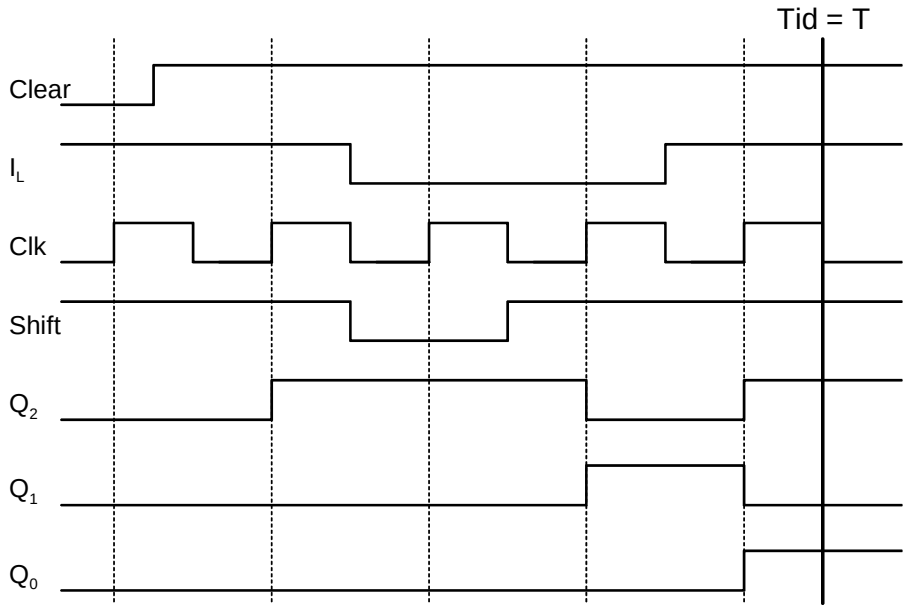
Dersom vippen er i tilstanden 0, er det S som bestemmer om vippen skal settes til 1 eller forbli 0. S kalles derfor set-inngangen. Dersom vippen er i tilstand 1, er det R som bestemmer om vippen skal resettes (settes til 0). R kalles derfor reset-inngangen til vippen. Merk at det ikke finnes noen rad i tabellen der både S og R er 1, siden dette er ulovlig for SR-vippen.

Tabell 4: Eksitasjonstabell for JK-vippe.

Q	$Q_{(next)}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Dersom vippen er i tilstanden 0, er det J som bestemmer om vippen skal settes til 1 eller forbli 0. J kalles derfor set-inngangen. Dersom vippen er i tilstand 1, er det K som bestemmer om vippen skal resettes (settes til 0). K kalles derfor reset-inngangen til vippen. Merk at dersom både J og K er 1, så vil vippen skifte tilstand ved neste aktive klokkeflanke (toggle).

d) Ved tiden T er Q2=1, Q1=0 og Q0=1. Skiftregisteret svarer til figur 7.4 i Gajski. Se figur 5 for oppførsel.



Figur 5: Skiftregister med inngangsverdier