



ANEXO A

Desarrollo del driver para el uso de los dispositivos de radio LoRa con sistemas embebidos.

JOSÉ DANIEL RODRÍGUEZ MUNCA

Tutor Académico: Manuel Sierra Castañer

Tutor Profesional: Álvaro Gutiérrez Martín

**UNIVERSIDAD DE POLITÉCNICA DE MADRID
UNIVERSIDAD COMPLUTENSE DE MADRID
MASTER INTERUNIVERSITARIO EN ESTRATEGIAS Y TECNOLOGÍAS PARA
EL DESARROLLO
MADRID - ESPAÑA
2016**

TABLA DE CONTENIDO

CONFIGURACIÓN A NIVEL DE HARDWARE.....	6
Lectura y escritura de registros SPI	12
Modos de operación de los LoRa	13
CONFIGURACIÓN POR SOFTWARE DE LOS TRANSCEIVERS LORA	15
Comprobación de comunicación entre LoRa y MC	16
Registros de configuración SF, BW y CR de los transceivers LoRa.....	17
Registros de configuración de potencia del radio	28
Registros de configuración de frecuencia del radio	34
Configuración por software del radio lora para la transmisión datos	35
Configuración por software del radio lora para la recepción de datos	40
Ejemplo de aplicación: red punto a punto (aplicación ping-pong)	46
Ejemplo de aplicación: recepción de datos de varios dispositivos remotos (red punto - multipunto).....	49
BIBLIOGRAFÍA	59

LISTADO DE FIGURAS

<i>Figura 1. Principales características de comunicación SPI para los dispositivos LoRa seleccionados.</i>	6
<i>Figura 2. Configuración de pines de control para la tarjeta SX1272RF1 de Semtech.</i>	8
<i>Figura 3. Configuración de pines de control para la tarjeta DRF1278F de Dorji.</i>	9
<i>Figura 4. Configuración de pines de control para la tarjeta LoRa1278 de NiceRF.</i>	9
<i>Figura 5. Esquema de configuración de pines de control y SPI para el microcontrolador.</i>	10
<i>Figura 6. Diagrama de tiempos para iniciar los transceivers SX1272 y SX1278.</i>	11
<i>Figura 7. Flujograma propuesto para iniciar chip SX1272 y SX1278.</i>	11
<i>Figura 8. Flujograma propuesto para la lectura de registros en los radio SX1272 y SX1278.</i>	12
<i>Figura 9. Flujograma propuesto para la escritura de registros en los radio SX1272 y SX1278.</i>	12
<i>Figura 10. Configuración de los modos de operación en registro RegOpMode (0x01).</i>	14
<i>Figura 11. Configuración de modo LoRa en registro RegOpMode (0x01).</i>	15
<i>Figura 12. Esquema propuesto para inicio en la configuración del LoRa.</i>	16
<i>Figura 13. Comprobación de comunicación SPI entre el microcontrolador y el LoRa seleccionado.</i>	17
<i>Figura 14. Esquema para determinar el TS según BW y SF.</i>	22
<i>Figura 15. Esquema lógico de configuración de los registros RegModemConfig1_0x1D y RegModemConfig2_0x1E para SX1272 (parte I).</i>	23
<i>Figura 16. Esquema lógico de configuración de los registros RegModemConfig1_0x1D y RegModemConfig2_0x1E para SX1272 (parte II).</i>	24
<i>Figura 17. Esquema lógico de configuración de los registros RegModemConfig1_0x1D y RegModemConfig2_0x1E para SX1272 (parte III).</i>	25
<i>Figura 18. Esquema lógico de configuración de los registros RegModemConfig1_0x1D, RegModemConfig2_0x1E y RegModemConfig3_0x26 para SX1278 (parte I).</i>	26
<i>Figura 19. Esquema lógico de configuración de los registros RegModemConfig1_0x1D, RegModemConfig2_0x1E y RegModemConfig3_0x26 para SX1278 (parte II).</i>	27
<i>Figura 20. Esquema lógico de configuración de los registros RegModemConfig1_0x1D, RegModemConfig2_0x1E y RegModemConfig3_0x26 para SX1278 (parte III).</i>	28
<i>Figura 21. Esquema lógico de configuración de los registros RegLna_0x0C, RegPaConfig_0x09, RegOcp_0x0B y RegPaDac para los dispositivos LoRa (parte I).</i>	32
<i>Figura 22. Esquema lógico de configuración de los registros RegLna_0x0C, RegPaConfig_0x09, RegOcp_0x0B y RegPaDac para los dispositivos LoRa (parte II).</i>	33
<i>Figura 23. Esquema lógico de configuración de frecuencia para los radio LoRa.</i>	35
<i>Figura 24. Esquema lógico de almacenamiento de datos sobre la FIFO del LoRa.</i>	38
<i>Figura 25. Esquema lógico de configuración para transmisión de datos en el LoRa.</i>	39
<i>Figura 26. Esquema lógico propuesto para gestión por interrupción cuando se efectúa una transmisión de datos en el LoRa.</i>	40
<i>Figura 27. Esquema lógico de configuración en el LoRa para recepción de datos.</i>	41

<i>Figura 28. Esquema lógico de atención a la interrupción por recepción o transmisión de datos en el LoRa (parte I).</i>	42
<i>Figura 29. Esquema lógico de atención a la interrupción por recepción o transmisión de datos en el LoRa (parte II).</i>	43
<i>Figura 30. Esquema lógico de almacenamiento de datos sobre la FIFO del LoRa.</i>	45
<i>Figura 31. Esquema lógico para dispositivo maestro utilizando radio LoRa (parte I).</i>	46
<i>Figura 32. Esquema lógico para dispositivo maestro utilizando radio LoRa (parte II).</i>	47
<i>Figura 33. Esquema lógico para dispositivo esclavo utilizando radio LoRa (parte I).</i>	47
<i>Figura 34. Esquema lógico para dispositivo esclavo utilizando radio LoRa (parte II).</i>	48
<i>Figura 35. Principio de funcionamiento “ping-pong” para la realización de pruebas de alcance en dispositivos LoRa.</i>	49
<i>Figura 36. Tipología estrella para comunicación con diversos dispositivos.</i>	50
<i>Figura 37. Líneas de tiempos para dispositivos esclavos y dispositivo maestro sin estrategias adecuadas para la transmisión de información.</i>	51
<i>Figura 38. Líneas de tiempos para dispositivos esclavos y dispositivo maestro con tiempos aleatorios para la transmisión adecuada de datos.</i>	52
<i>Figura 39. Esquema lógico para dispositivo maestro en aplicación punto-multipunto (parte I).</i>	53
<i>Figura 40. Esquema lógico para dispositivo maestro en aplicación punto-multipunto (parte II).</i>	54
<i>Figura 41. Esquema lógico para dispositivos esclavo en aplicación punto-multipunto (parte I).</i>	55
<i>Figura 42. Esquema lógico para dispositivos esclavo en aplicación punto-multipunto (parte II).</i>	56
<i>Figura 43. Esquema lógico para dispositivos esclavo en aplicación punto-multipunto (parte III).</i>	57

LISTADO DE TABLAS

<i>Tabla 1. Comparación de pines de control según los fabricantes de tarjetas de los LoRa seleccionados.</i>	7
<i>Tabla 2. Descripción del uso de los pines RXEN y TXEN para la tarjeta LoRa1278 de NiceRF.</i>	7
<i>Tabla 3. Fotografías de los transceivers estudiados.</i>	8
<i>Tabla 4. Configuración de pines de control para los LoRa seleccionados.</i>	9
<i>Tabla 5. Descripción del registro RegOpMode (0x01).</i>	13
<i>Tabla 6. Descripción del registro modo de operación del LoRa.</i>	14
<i>Tabla 7. Descripción del registro RegModemConfig1_0x1D del LoRa SX1272.</i>	18
<i>Tabla 8. Descripción del registro RegModemConfig2_0x1E del LoRa SX1272.</i>	19
<i>Tabla 9. Descripción del registro RegModemConfig1_0x1D del LoRa SX1278.</i>	19
<i>Tabla 10. Descripción del registro RegModemConfig2_0x1E del LoRa SX1278.</i>	20
<i>Tabla 11. Descripción del registro RegModemConfig3_0x26 del LoRa SX1278.</i>	21
<i>Tabla 12. Descripción del registro RegLna_0x0C del LoRa.</i>	29
<i>Tabla 13. Descripción del registro RegPaConfig_0x09 del LoRa.</i>	30
<i>Tabla 14. Descripción del registro RegPaConfig_0x09 del LoRa.</i>	30
<i>Tabla 15. Descripción del registro RegOcp_0x0B del LoRa.</i>	31
<i>Tabla 16. Descripción del registro RegPaDac* del LoRa.</i>	31
<i>Tabla 17. Banda de frecuencia ISM compatibles con los transceivers de radio LoRa.</i>	34
<i>Tabla 18. Descripción del registro de configuración de frecuencia en los radio LoRa.</i>	34
<i>Tabla 19. Descripción del registro RegIrqFlagsMask_0x11 para habilitación de interrupciones.</i>	36
<i>Tabla 20. Descripción del registro RegIrqFlags_0x12 para la detección de interrupciones por software.</i>	36
<i>Tabla 21. Configuración de pines de control con el registro RegDioMapping1_0x40 para el uso con interrupciones en los pines DIO0-3.</i>	37
<i>Tabla 22. Configuración de pines de control con el registro RegDioMapping2_0x41 para el uso con interrupciones en los pines DIO4-5.</i>	37

CONFIGURACIÓN A NIVEL DE HARDWARE

Los parámetros de configuración de los transceivers LoRa se establecen modificando registros internos del chip mediante el protocolo de comunicación síncrono SPI.

A nivel lógico de sincronización y transmisión de datos, la comunicación SPI requiere la configuración de la polaridad del reloj (CPOL) y el bit fase del reloj (CPHA).

Los dispositivos de radio LoRa SX1272/78 utilizan CPOL=0 y CPHA=0; lo que se conoce como modo 0 SPI. El bit más significativo (MSB) de un byte enviado debe ser el primero y la velocidad del SCLK no debe superar los 10MHz (Semtech-SX1278, 2015).

El esquema propuesto de conexión entre los transceiver LoRa y el microcontrolador (sistema embebido) se presenta en la *Figura 1*. Los dispositivos de radio LoRa se comportan como esclavos y el microcontrolador será el maestro en la comunicación SPI.

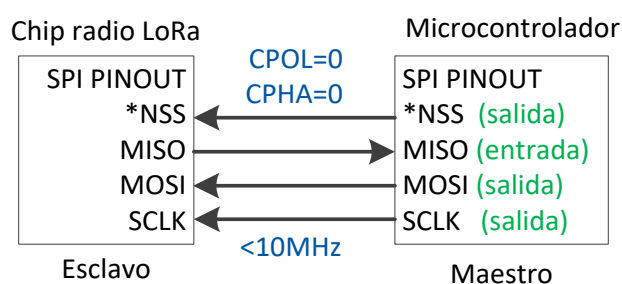


Figura 1. Principales características de comunicación SPI para los dispositivos LoRa seleccionados.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Algunos fabricantes realizan tarjetas de adecuación para facilitar el manejo de los dispositivos de radio LoRa. Al realizar estas tarjetas, se eliminan o incorporan pines físicos de control respecto a las características originales del chip. La siguiente tabla presenta las tarjetas propuestas para realizar el driver de los radio SX1272/78. Los fabricantes mantienen los pines de comunicación SPI y eliminan algunos pines de control del chip. Las principales características de las tarjetas LoRa adquiridas para realizar las pruebas de funcionamiento y desarrollo del driver, se presentan en la *Tabla 5*.

Tabla 1. Comparación de pines de control según los fabricantes de tarjetas de los LoRa seleccionados.

Fuente: Semtech (2013), Dorji (2015) & NiceRF (2015)

Tarjeta	Chip radio	Marca	Pines de control físicos			
			DIO0 – DIO5	RXTX	Pines SPI	RESET
SX1272RF1	SX1272	Semtech	Pines de entrada/ salida, configurables por software	Pin de salida. Se coloca en “1” cuando el dispositivo está transmitiendo datos	NSS MISO MOSI SCLK	Pin de entrada. Utilizado al iniciar o arrancar el dispositivo.
DRF1278F	SX1278	Dorji		NI*		
LoRa1278		NiceRF	Pines de entrada/ salida, configurables por software <i>NI* DIO3–DIO5</i>			

*NI: No implementado

La versión LoRa1278 de NiceRF realiza adecuaciones con la incorporación de 2 pines adicionales de control que permiten habilitar el uso de la antena para transmitir o recibir. La descripción de las funciones de los pines TXEN y RXEN se presentan en la *Tabla 2*.

Tabla 2. Descripción del uso de los pines RXEN y TXEN para la tarjeta LoRa1278 de NiceRF.

Fuente: NiceRF (2015)

Estados lógicos de pines		Descripción de funcionamiento para la Antena
Pin TXEN	Pin RXEN	
0	0	Modo Sleep o bajo consumo
0	1	Configurada para Recibir
1	0	Configurada para Transmitir

Físicamente, la tarjeta SX1272RF1 de *Semtech* es de mayor tamaño y cuenta con un conector SMA para antenas a 868Mhz e impedancia de 50Ω. Las tarjetas DRF1278F y LoRa1278 tienen el mismo tamaño (significativamente más pequeño que la versión SX1272RF1) y permiten conectar antenas pasivas tipo primavera a 433Mhz con impedancia de 50Ω. Los tamaños de pueden observar en las *Tabla 3*.

Tabla 3. Fotografías de los transceivers estudiados.

Fuente: Fotografías tomadas por el autor



Las Figuras 2, 3 y 4 presentan la conexión básica de los pines de control para las tres tarjetas LoRa propuestas y la configuración del microcontrolador en relación a pines de entrada o salida. La configuración de los pines es una de las tareas prioritarias al iniciar cualquier aplicación con sistemas embebidos.

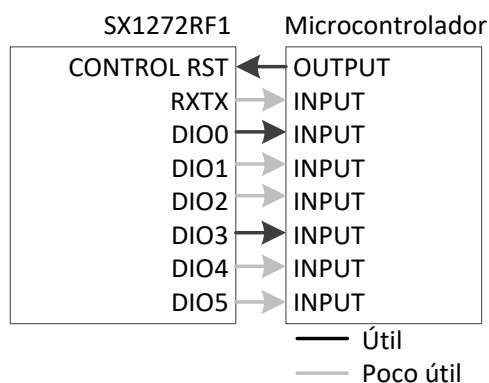


Figura 2. Configuración de pines de control para la tarjeta SX1272RF1 de Semtech.

Fuente: Semtech SX1272 (2015). Desarrollada por el autor

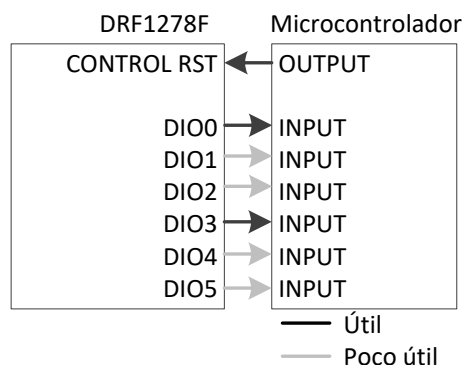


Figura 3. Configuración de pines de control para la tarjeta DRF1278F de Dorji.

Fuente: Dorji (2015). Desarrollada por el autor

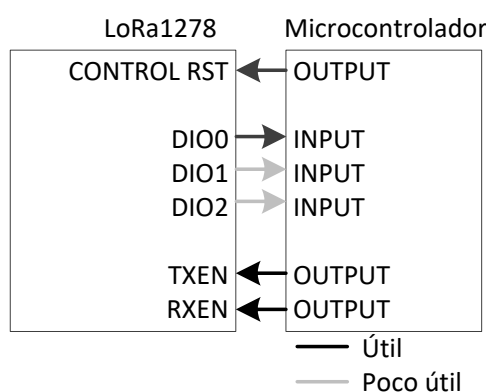


Figura 4. Configuración de pines de control para la tarjeta LoRa1278 de NiceRF.

Fuente: NiceRF (2015). Desarrollada por el autor

Los pines DIO de control más importantes de acuerdo a la información suministrada por el fabricante, son los DIO0 y DIO3. La Tabla 4 presenta las funciones de los pines de control de acuerdo a la configuración.

Tabla 4. Configuración de pines de control para los LoRa seleccionados.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Conf. de mapeo	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
00	ModeReady	CadDetected	CadDone	FhssChangeChannel	RxTimeout	RxDone
01	ClkOut	PIILock	ValidHeader	FhssChangeChannel	FhssChangeChannel	TxDone
10	ClkOut	PIILock	PayloadCrcError	FhssChangeChannel	CadDetected	CadDone
11	Sin uso					

De acuerdo a la configuración, el pin DIO0 permite conocer si el chip radio LoRa ha transmitido correctamente los datos (TXDONE) o si el chip ha recibido datos y está a la espera de la gestión por parte del microcontrolador (RXDONE).

El DIO3 permite conocer si los datos llegaron correctamente de acuerdo con la Verificación por redundancia cíclica (CRC).

Teniendo en cuenta lo anterior, se plantea en la *Figura 5* el esquema de configuración de pines de control y pines SPI para el microcontrolador:

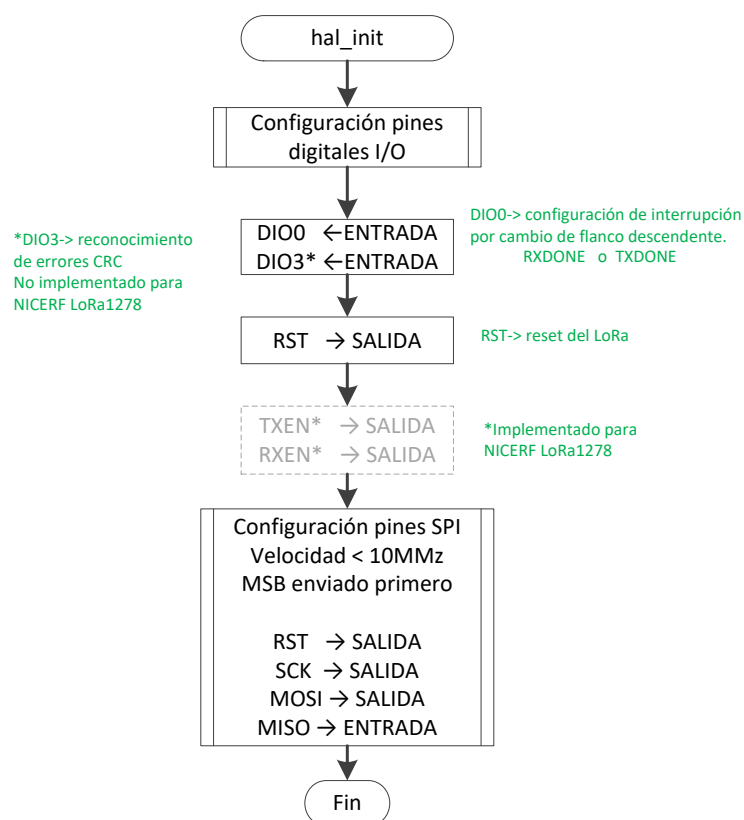


Figura 5. Esquema de configuración de pines de control y SPI para el microcontrolador.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Una vez se tengan configurados los pines SPI y de control en el microcontrolador, el fabricante presenta el protocolo de inicio o arranque del chip LoRa para el SX1272 y para el SX1278 (ver *Figura 6*). La principal diferencia el estado del pulso para el reset del chip, para el SX1272 se realiza con un estado lógico “0”, mientras que para el SX1278 se efectúa con un estado lógico “1” durante 100 microsegundos. A nivel lógico, la *Figura 7* presenta el protocolo de inicio a nivel de hardware del chip LoRa.

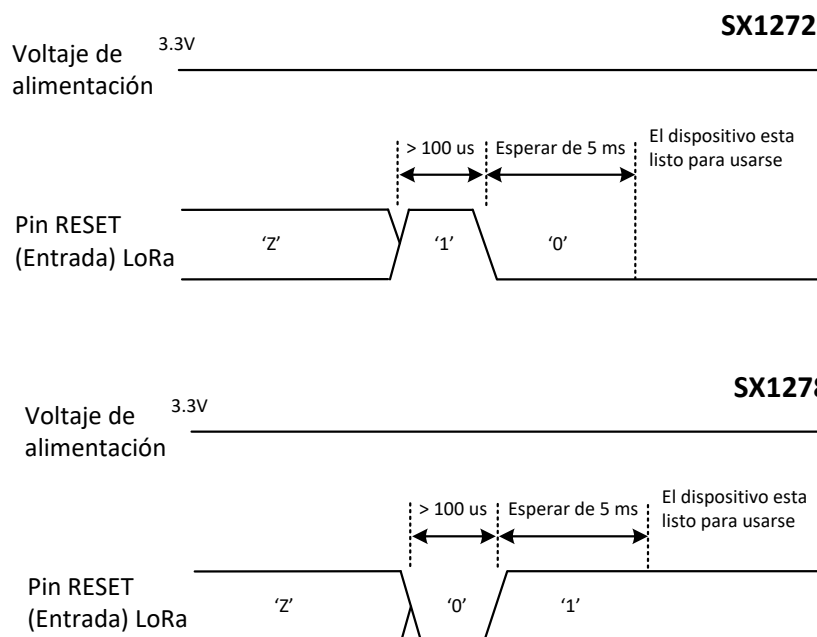


Figura 6. Diagrama de tiempos para iniciar los transceivers SX1272 y SX1278.
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Inicio por hardware de chip radio

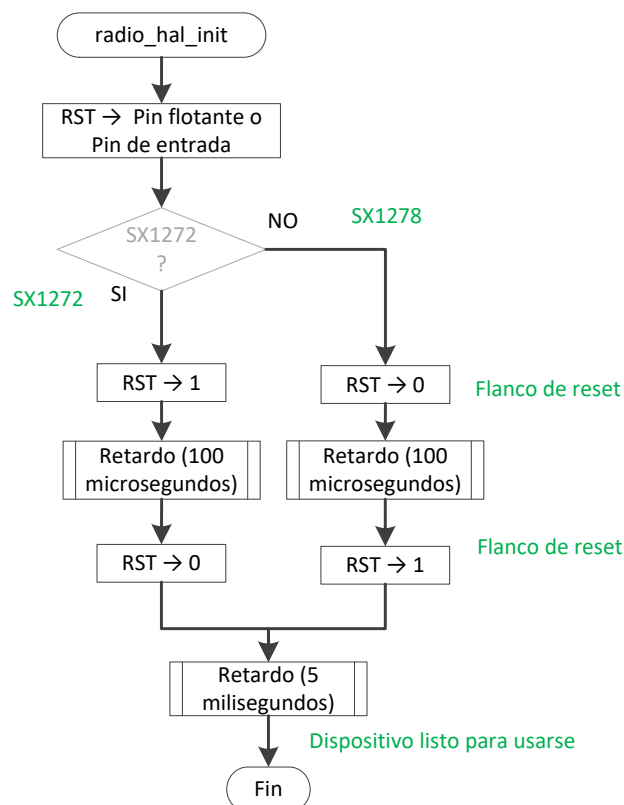


Figura 7. Flujograma propuesto para iniciar chip SX1272 y SX1278.
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Lectura y escritura de registros SPI

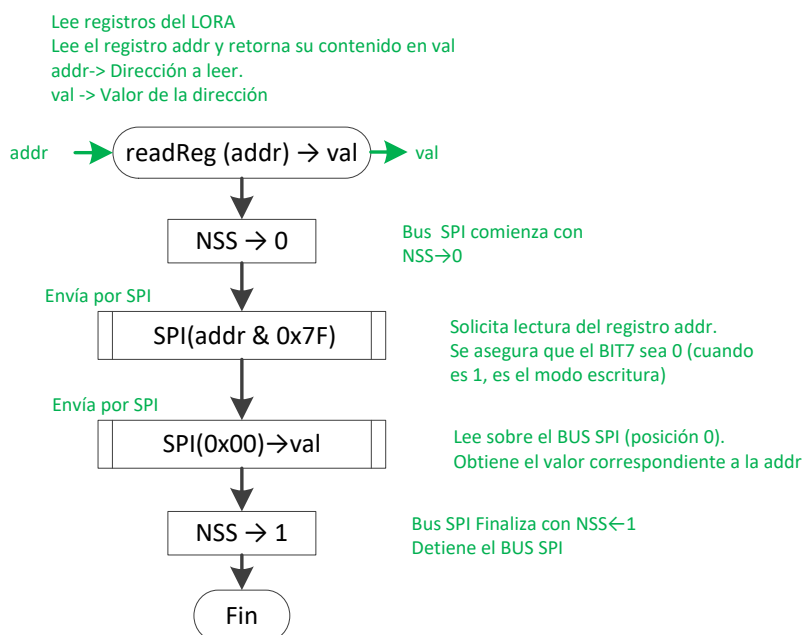


Figura 8. Flujograma propuesto para la lectura de registros en los radio SX1272 y SX1278.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

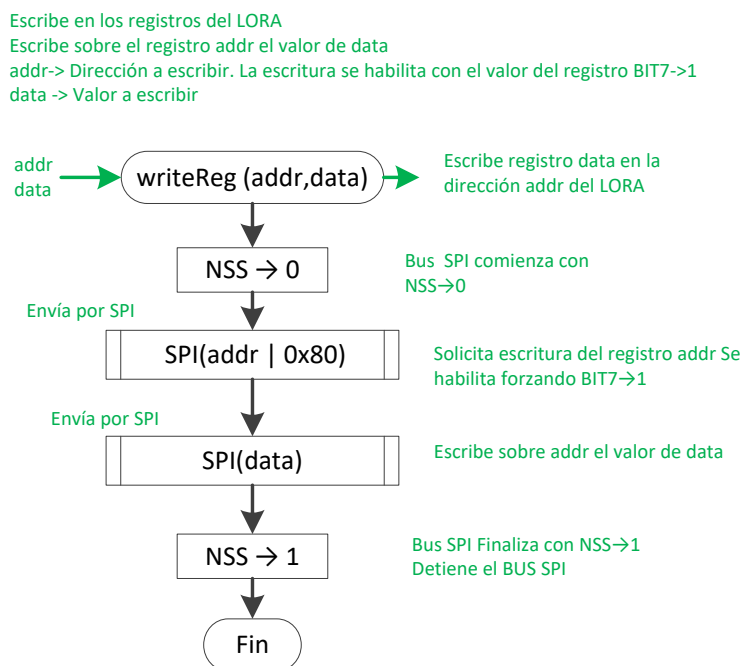


Figura 9. Flujograma propuesto para la escritura de registros en los radio SX1272 y SX1278.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

La lectura y escritura de registros en los radio LoRa se realiza utilizando el bus SPI (siempre desde los modos SLEEP o STANDBY). Para realizar la lectura, se escribe sobre el bus SPI la dirección del registro, forzando que el bit 7 sea “0” y luego se hace escritura con el valor “cero”, obteniendo el valor del registro.

Para realizar la escritura, se escribe sobre el bus SPI la dirección del registro forzando que el bit 7 (MSB) sea “1” y luego se hace la escritura del dato. Lo anterior se presenta en el flujograma de las Figuras 8 y 9.

Modos de operación de los LoRa

El registro *RegOpMode_0x01* permite configurar el modo de operación de transceiver LoRa. Este registro se podría considerar como el más usado en cualquier aplicación. La descripción del registro *RegOpMode* se presenta en la Tabla 5.

Tabla 5. Descripción del registro *RegOpMode* (0x01).
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7	LongRangeMode	r w	0x00	0 → FSK/OOK Modo 1 → LoRa™ Modo
6	AccessSharedReg	r w	0x00	0 → Acceso registros LoRa 1 → Acceso registros FSK
5-4	reserved	r	0x00	Reservado
3	LowFrequencyModeOn	r w	0x01	0 → Modo High Frequency Mode (Acceso registros HF) 1 → Modo Low Frequency Mode (Acceso registros LF)
2-0	Mode	r w	0x01	Modos del dispositivo 000 → SLEEP 001 → STDBY 010 → Frequency synthesis TX (FSTX) 011 → Transmit (TX) 100 → Frequency synthesis RX (FSRX) 101 → Receive continuous (RXCONTINUOUS) 110 → receive single (RXSINGLE) 111 → Channel activity detection (CAD)

Nota r: lectura. w: escritura. La variable **LowFrequencyModeOn** aplica para el SX1278 (SX1272 no está implementado)

Los modos de operación del LoRa más utilizados se presentan en la Tabla 6 y se habilitan siguiendo el diagrama de la Figura 10. Los modos de operación utilizados para la configuración de los dispositivos LoRa son SLEEP y STANDBY.

Tabla 6. Descripción del registro modo de operación del LoRa.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Modo	Descripción	Valor de 'mode' en RegOpMode
SLEEP	Es el modo de bajo consume. Solo los registros SPI del LoRa tienen acceso en este modo. La FIFO no tiene acceso	0x00
STANDBY	El LoRa se coloca en este modo al transmitir o tener pendiente la gestión en la recepción de datos. Los registros SPI y de la FIFO del LoRa tienen acceso en este modo.	0x01
TX	Es el modo utilizado cuando se tienen configurada la interrupción por TX, datos en la FIFO y el LoRa está listo para transmitir. Una vez transmite, el LoRa cambia automáticamente al modo STANDBY.	0x03
RXCONTINUOUS	Es el modo utilizado cuando se tienen configurada la interrupción por RX, el LoRa tiene datos en la FIFO y el chip está a espera de la gestión de los datos. Una vez el LoRa recibe los datos y valida los datos (CRC), el LoRa cambia automáticamente al modo STANDBY. Recibe varios bytes en una trama.	0x05

OPMODE_LORA 0x80
OPMODE_SLEEP 0x00
OPMODE_STANDBY 0x01
OPMODE_TX 0x03
OPMODE_RX 0x05

Escribe el modo 'mode' en el registro RegOpMode{01}

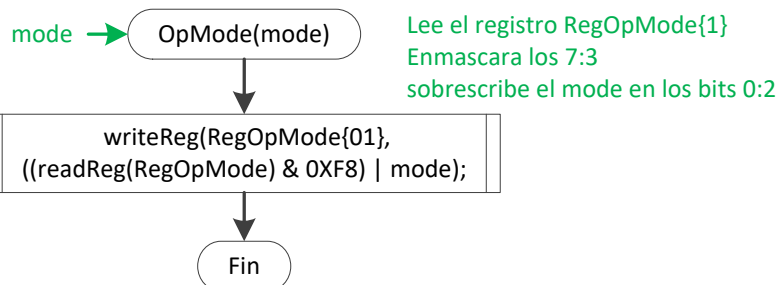


Figura 10. Configuración de los modos de operación en registro RegOpMode (0x01).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Para realizar cualquier configuración sobre los registros SPI del LoRa es necesario que el modo de operación pase de SLEEP a STANDBY.

Para usar el “modo LoRa”, se debe escribir inicialmente sobre el registro *RegOpMode_0X01* un “1” en el bit 7 que corresponde a la variable *LongRangeMode* (ver Tabla 6). Basta con habilitar dicho bit una sola vez al iniciar cualquier aplicación (ver Figura 11).

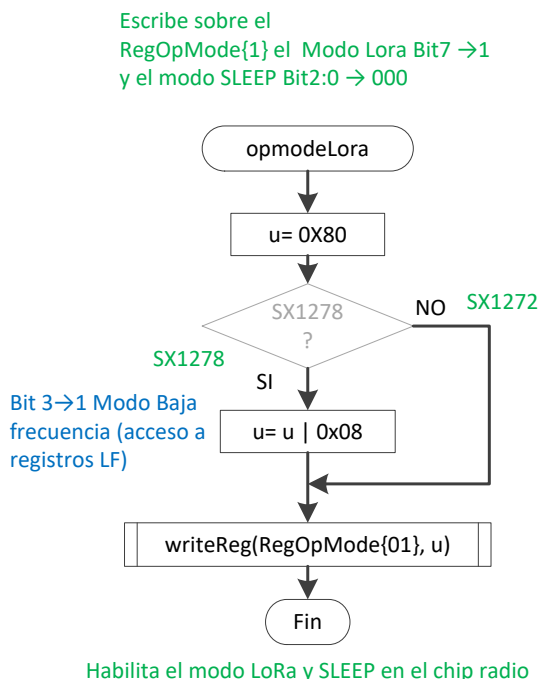


Figura 11. Configuración de modo LoRa en registro RegOpMode (0x01).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

CONFIGURACIÓN POR SOFTWARE DE LOS TRANSCEIVERS LORA

La Figura 12 presenta el esquema lógico propuesto para el inicio en la configuración de los dispositivos LoRa. El conjunto de instrucciones puede ser ejecutado al alimentar el sistema embebido (microcontrolador) y los LoRa. El esquema lógico de instrucciones basta con ser ejecutado una sola vez por el microcontrolador. Las funciones *radio_Checkpoint_Version()*, *configLoraModem()*, *configChannel()* y *configPower()* se presentan en los siguientes apartados.

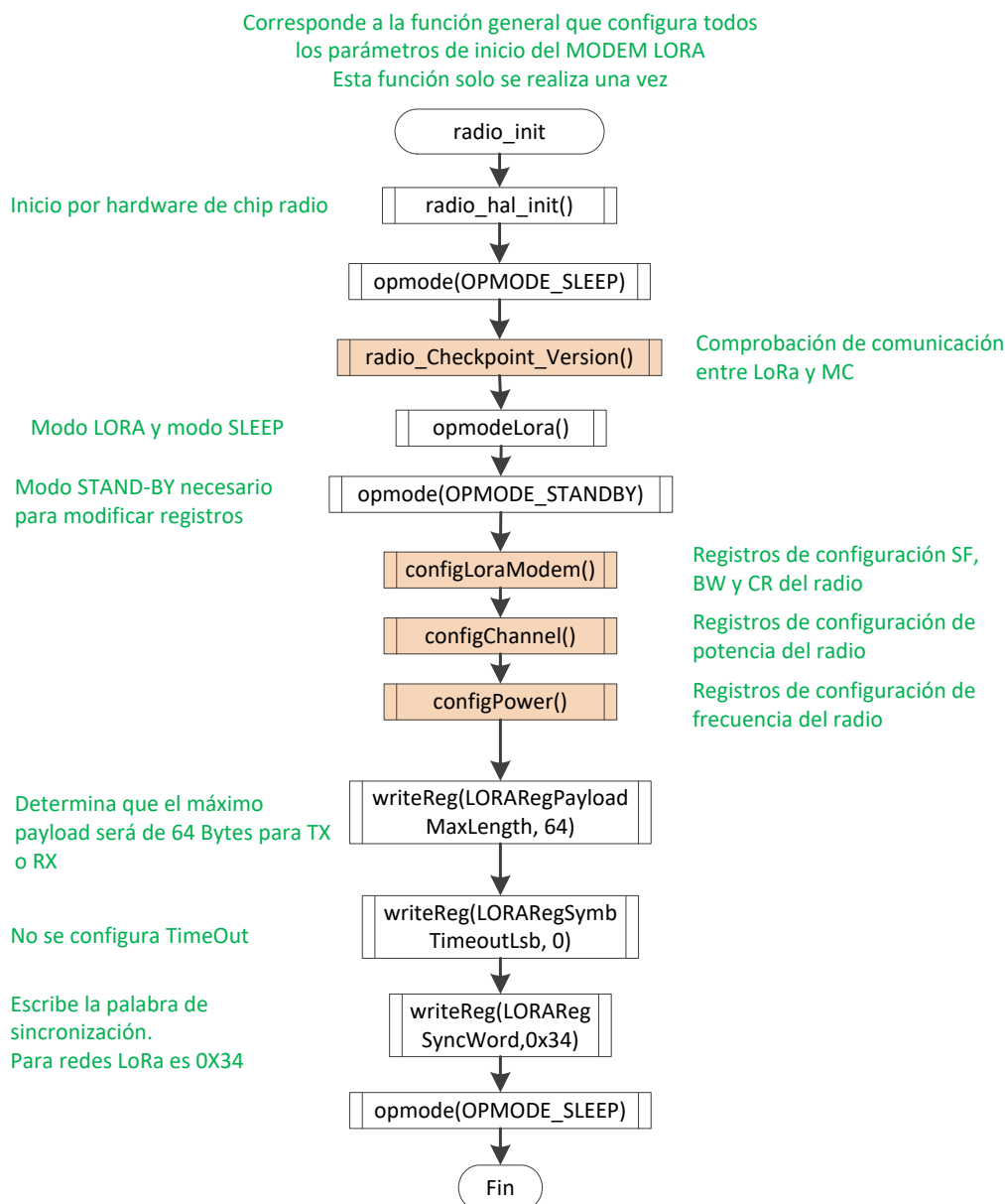


Figura 12. Esquema propuesto para inicio en la configuración del LoRa.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Comprobación de comunicación entre LoRa y MC

Se recomienda realizar la comprobación de la versión del transceiver LoRa. Esto permitirá reconocer si la comunicación entre el microcontrolador y el chip radio LoRa es correcta y si se está configurando el dispositivo correctamente. La Figura 13 presenta el esquema lógico propuesto.

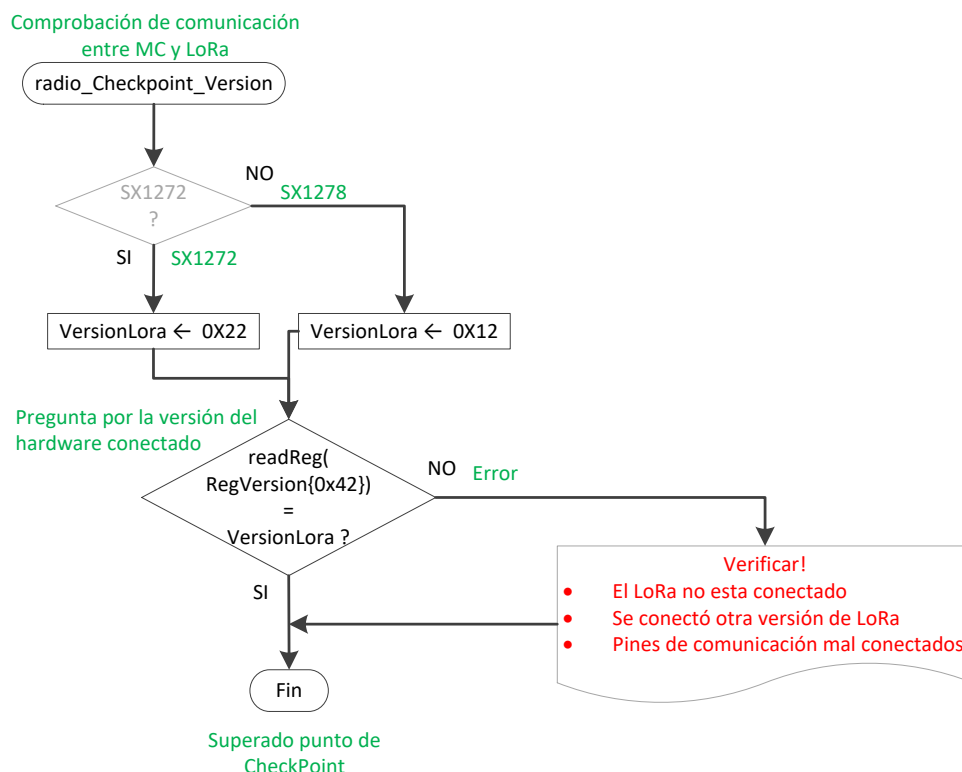


Figura 13. Comprobación de comunicación SPI entre el microcontrolador y el LoRa seleccionado.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Registros de configuración SF, BW y CR de los transceivers LoRa

Los dispositivos LoRa cuentan con los parámetros *SF*, *BW* y *CR* que según las combinaciones entre estos, permite determinar el alcance o distancia máxima de recepción de datos, la velocidad de los datos y sobrecarga por corrección o detección de errores en los datos. Estos valores deben ser los mismos en todos los dispositivos radio LoRa de la red inalámbrica.

Los valores de SF, BW y CR se establecen en los registros *RegModemConfig1_0x1D* y *RegModemConfig2_0x1E* para los radio SX1272 y SX1278. Se incorpora un registro adicional denominado *RegModemConfig3_0x26* para el SX1278.

Existen otros parámetros de interés en estos registros de configuración, como las variables *ImplicitHeaderModeOn* (modo del encabezado), *RxPayloadCrcOn* (habilitación de errores por verificación CRC), *AgcAutoOn* (ajuste en el amplificador adicional LNA) y *LowDataRateOptimize* (bit de optimización de datos a baja velocidad).

Las *Tablas 7 y 8* presentan la descripción de los registros *RegModemConfig1_0x1D* y *RegModemConfig2_0x1E* respectivamente para el SX1272. Las *Tablas 9, 10 y 11* presentan la descripción de los registros *RegModemConfig1_0x1D*, *RegModemConfig2_0x1E* y *RegModemConfig3_0x26* para el SX1278.

Tabla 7. Descripción del registro RegModemConfig1_0x1D del LoRa SX1272.
Fuente: Semtech SX1272 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-6	Bw	r w	0x00	Ancho de banda (entre más bajo sea este valor, el tiempo de durante la transmisión será mayor)
				00 → 125 kHz
				01 → 250 kHz
				10 → 500 kHz
				11 → reservado
5-3	CodingRate	r w	'001'	Tasa de codificación de errores: Entre mayor sea este valor, mayor será la fiabilidad de los datos, pero con una sobrecarga en el tiempo de transmisión.
				001 → 4/5
				010 → 4/6
				011 → 4/7
				100 → 4/8
Otros valores→ reservado				
2	ImplicitHeaderModeOn	r w	0x00	Tipo de Encabezado utilizado por el LoRa. Se recomienda el <u>encabezado explícito</u> por contar con información adicional como la cantidad de bytes transmitidos/recibidos y si contienen errores de CRC.
				0 → Modo del Header explícito
				1 → Modo del Header implícito
1	RxPayloadCrcOn	r w	0x0	Habilita la generación de CRC Verificación por redundancia cíclica en la recepción de los datos
				0 → CRC no habilitado
				1 → CRC habilitado
0	LowDataRateOptimize	r w	0x0	Habilita la optimización en la recepción de los datos cuando esta configurado el LoRa en baja transmisión de velocidad de los datos
				0 → no habilitado
				1 → habilitado. Solo debe ser habilitado cuando está configurado SF11 o SF12 a un BW=125kHz

Nota r: lectura. w: escritura.

Tabla 8. Descripción del registro RegModemConfig2_0x1E del LoRa SX1272.

Fuente: Semtech SX1272 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-4	SpreadingFactor	r w	0x07	SF rate Es el factor de alcance expresado como logaritmo de base 2. Entre mayor sea este valor, se tendrá un mejor rendimiento en la transmisión de datos.
				6 → 64 chips / symbol (modo utilizado para FSK)
				7 → 128 chips / symbol
				8 → 256 chips / symbol
				9 → 512 chips / symbol
				10 → 1024 chips / symbol
				11 → 2048 chips / symbol
				12 → 4096 chips / symbol
3	TxContinuousMode	r w	0x0	Otros valores → reservado
				0 → modo normal de transmisión simple de paquetes. 1 → modo continuo de transmisión. Múltiples paquetes enviados a través de la FIFO.
2	AgcAutoOn	r w	0x00	Habilita la generación de CRC Verificación por redundancia cíclica en la recepción de los datos.
				0 → Ajuste de ganancia en el LNA según el registro LNAgain 1 → Ajuste de ganancia en el LNA por loop interno en el AGC
1-0	SymbTimeout(9:8)	r w	0x00	Timeout para la espera de datos. Se recomienda 0.

Nota r: lectura. w: escritura.

Tabla 9. Descripción del registro RegModemConfig1_0x1D del LoRa SX1278.

Fuente: Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-4	Bw	r w	0x07	Ancho de banda (entre más bajo sea este valor, el tiempo de durante la transmisión será mayor)
				0000 → 7.8 kHz
				0001 → 10.4 kHz
				0010 → 15.6 kHz
				0011 → 20.8kHz
				0100 → 31.25 kHz
				0101 → 41.7 kHz
				0110 → 62.5 kHz
				0111 → 125 kHz
				1000 → 250 kHz
				1001 → 500 kHz
				Otros valores → reservado

Bit	Nombre de la variable	Uso	Defecto	Descripción
3-1	CodingRate	r w	'001'	Tasa de codificación de errores: Entre mayor sea este valor, mayor será la fiabilidad de los datos, pero con una sobrecarga en el tiempo de transmisión.
				001 → 4/5
				010 → 4/6
				011 → 4/7
				100 → 4/8
				Otros valores → reservado
0	ImplicitHeaderModeOn	r w	0x00	Tipo de Encabezado utilizado por el LoRa. Se recomienda el <i>encabezado explícito</i> por contar con información adicional como la cantidad de bytes transmitidos/recibidos y si contienen errores de CRC.
				0 → Modo del Header explícito
				1 → Modo del Header implícito

Nota r: lectura. w: escritura.

Tabla 10. Descripción del registro RegModemConfig2_0x1E del LoRa SX1278.
Fuente: Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-4	SpreadingFactor	r w	0x07	SF rate Es el factor de alcance expresado como logaritmo de base 2. Entre mayor sea este valor, se tendrá un mejor rendimiento en la transmisión de datos.
				6 → 64 chips / symbol (modo utilizado para FSK)
				7 → 128 chips / symbol
				8 → 256 chips / symbol
				9 → 512 chips / symbol
				10 → 1024 chips / symbol
				11 → 2048 chips / symbol
				12 → 4096 chips / symbol
				Otros valores → reservado
3	TxContinuousMode	r w	0x0	0 → modo normal de transmisión simple de paquetes.
				1 → modo continuo de transmisión. Múltiples paquetes enviados a través de la FIFO.
2	RxCrcOn	r w	0x00	Habilita la generación de CRC Verificación por redundancia cíclica en la recepción de los datos.
				0 → CRC no habilitado
				1 → CRC habilitado
1-0	SymbTimeout(9:8)	r w	0x00	Timeout para la espera de datos. Se recomienda 0.

Nota r: lectura. w: escritura.

Tabla 11. Descripción del registro *RegModemConfig3_0x26* del LoRa SX1278.

Fuente: Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-4	Sin uso	r	0x00	reservado
3	LowDataRateOptimize	r w	0x0	Habilita la optimización en la recepción de los datos cuando está configurado el LoRa en baja transmisión de velocidad de los datos 0 → no habilitado 1 → habilitado. Solo debe ser habilitado cuando excede los 16ms en el tiempo por símbolo T_s .
2	AgcAutoOn	r w	0x00	Habilita la generación de CRC Verificación por redundancia cíclica en la recepción de los datos. 0 → Ajuste de ganancia en el LNA según el registro LNA LnaGain 1 → Ajuste de ganancia en el LNA por loop interno en el AGC
1-0	Sin uso	r	0x00	reservado

Nota r: lectura. w: escritura.

El registro *RegModemConfig3_0x26* aplica únicamente para el radio SX1278. Una de las variables de este registro es el bit de *LowDataRateOptimize*. El criterio para habilitar este bit corresponde a que se excedan los 16ms en el tiempo por símbolo (T_s). La ecuación para el cálculo de este parámetro la comparte el fabricante y se presenta en (1).

$$T_s = \frac{2^{SF}}{BW} \quad (1)$$

El T_s se define como el periodo o tiempo en el aire de cada símbolo.

La *Figura 14* presenta el esquema lógico propuesto para determinar el TS según los valores de SF y BW.

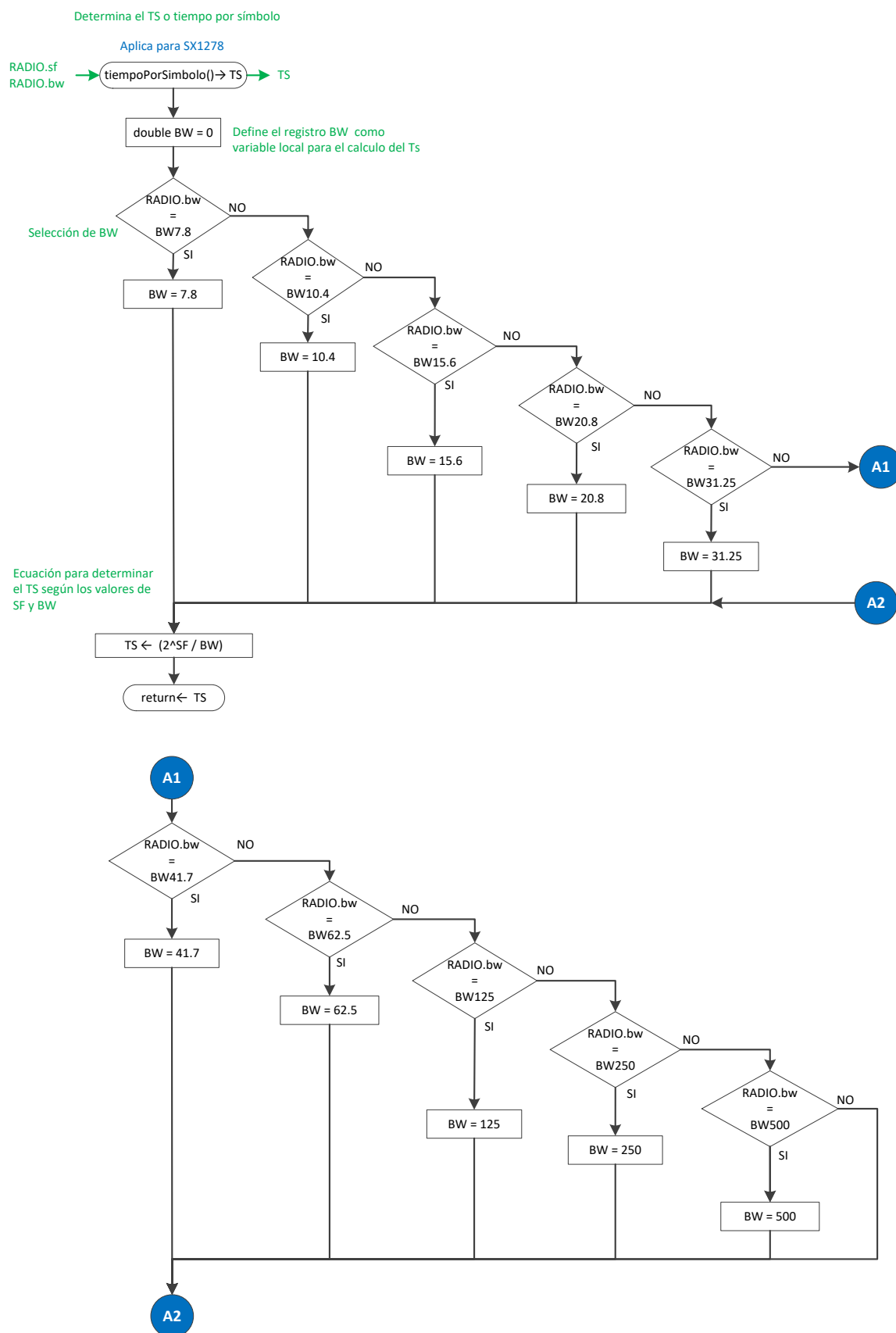


Figura 14. Esquema para determinar el TS según BW y SF.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Para la configuración de los registros *RegModemConfig1_0x1D*, *RegModemConfig2_0x1E* y *RegModemConfig3_0x26* (aplica para el SX1278), se requiere de los valores **RADIO.sf**, **RADIO.bw** y **RADIO.cr** definidos por el usuario.

Los flujograma presentado en las Figuras 15, 16 y 17, representan el esquema propuesto de configuración para los registros *RegModemConfig1_0x1D* y *RegModemConfig2_0x1E* para el chip radio SX1272. Los flujogramas presentados en las 18, 19 y 20, representan el esquema propuesto de configuración de registros *RegModemConfig1_0x1D*, *RegModemConfig2_0x1E* y *RegModemConfig3_0x26* para el chip radio SX1278.

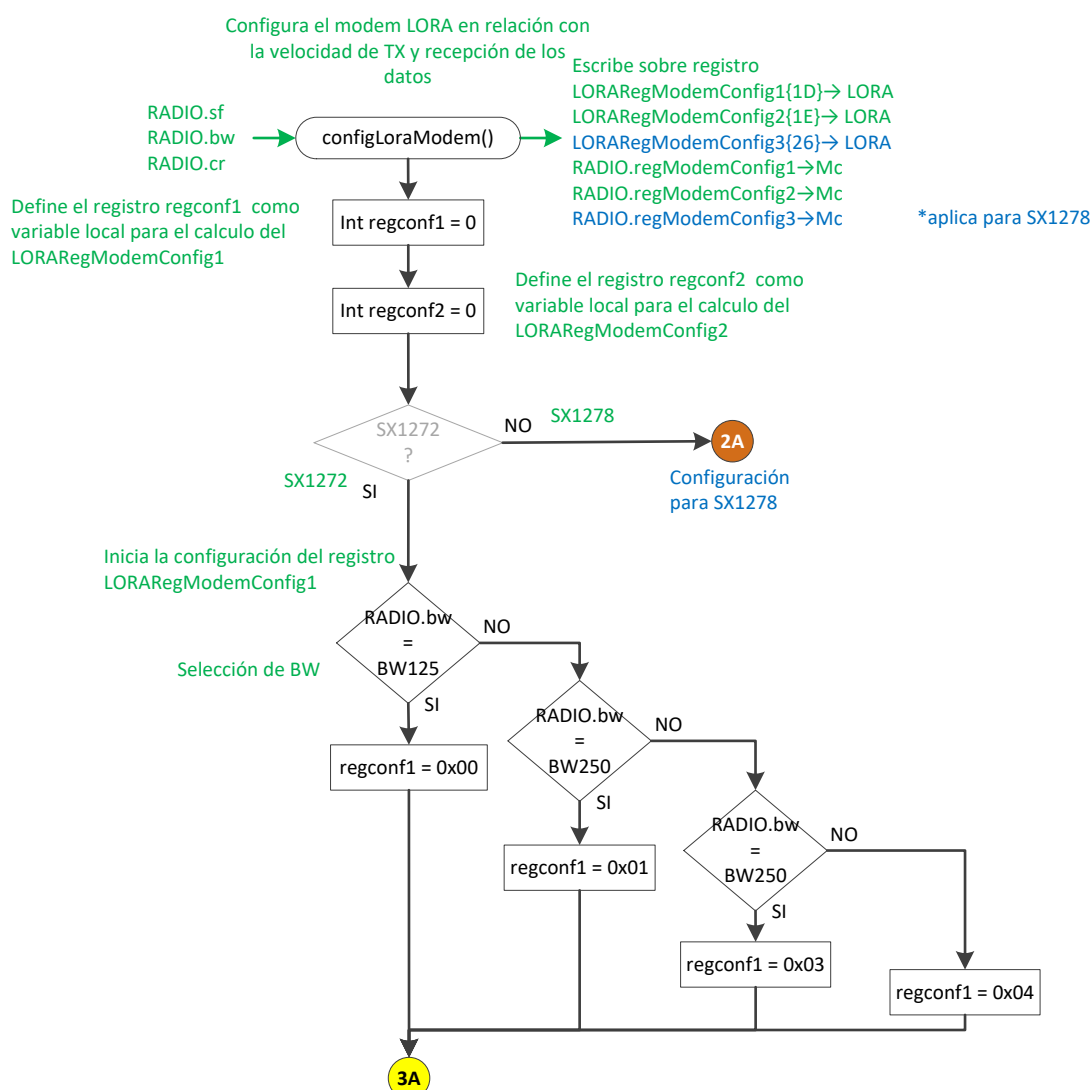


Figura 15. Esquema lógico de configuración de los registros *RegModemConfig1_0x1D* y *RegModemConfig2_0x1E* para SX1272 (parte I).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

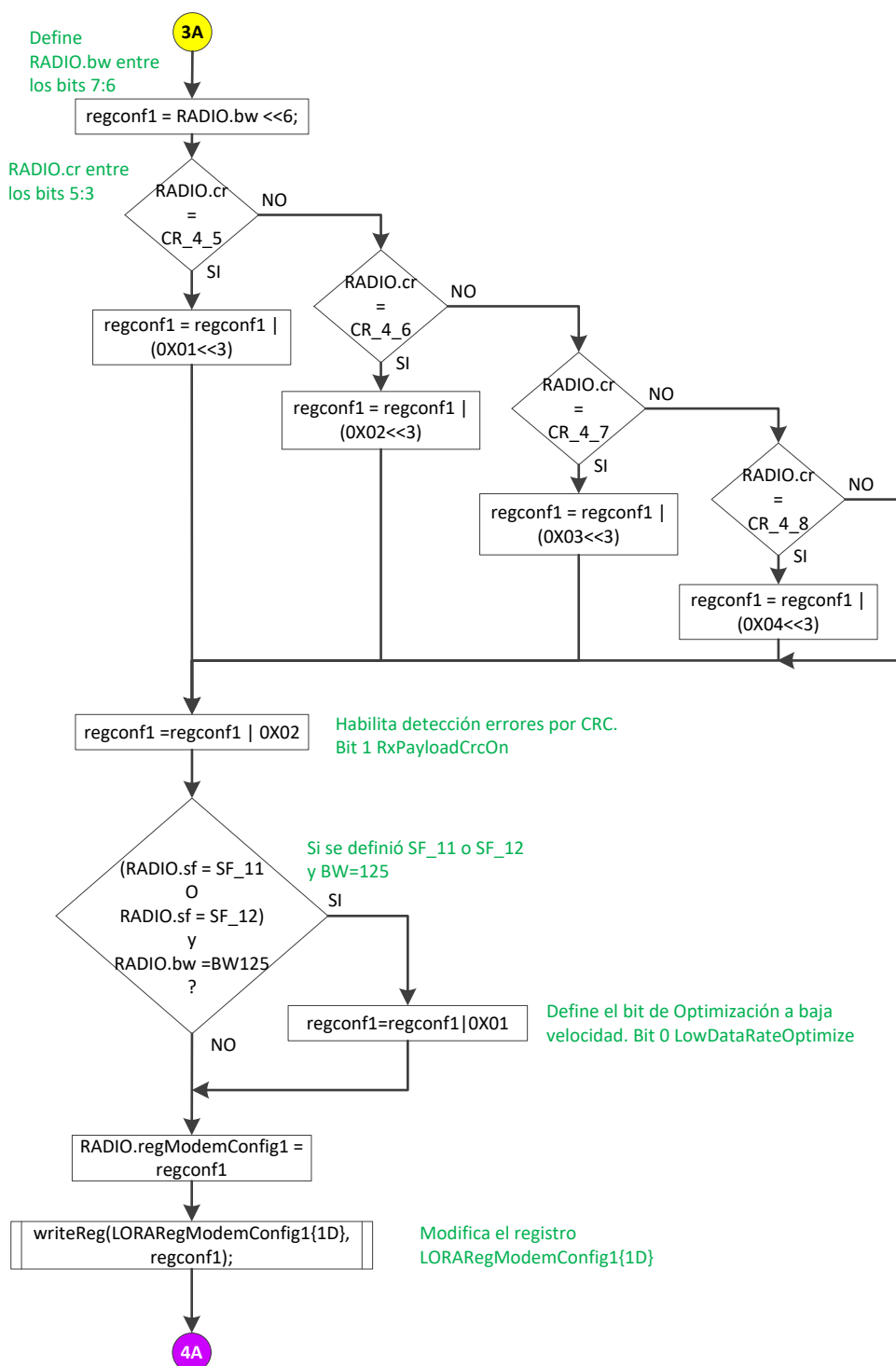


Figura 16. Esquema lógico de configuración de los registros *RegModemConfig1_0x1D* y *RegModemConfig2_0x1E* para SX1272 (parte II).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

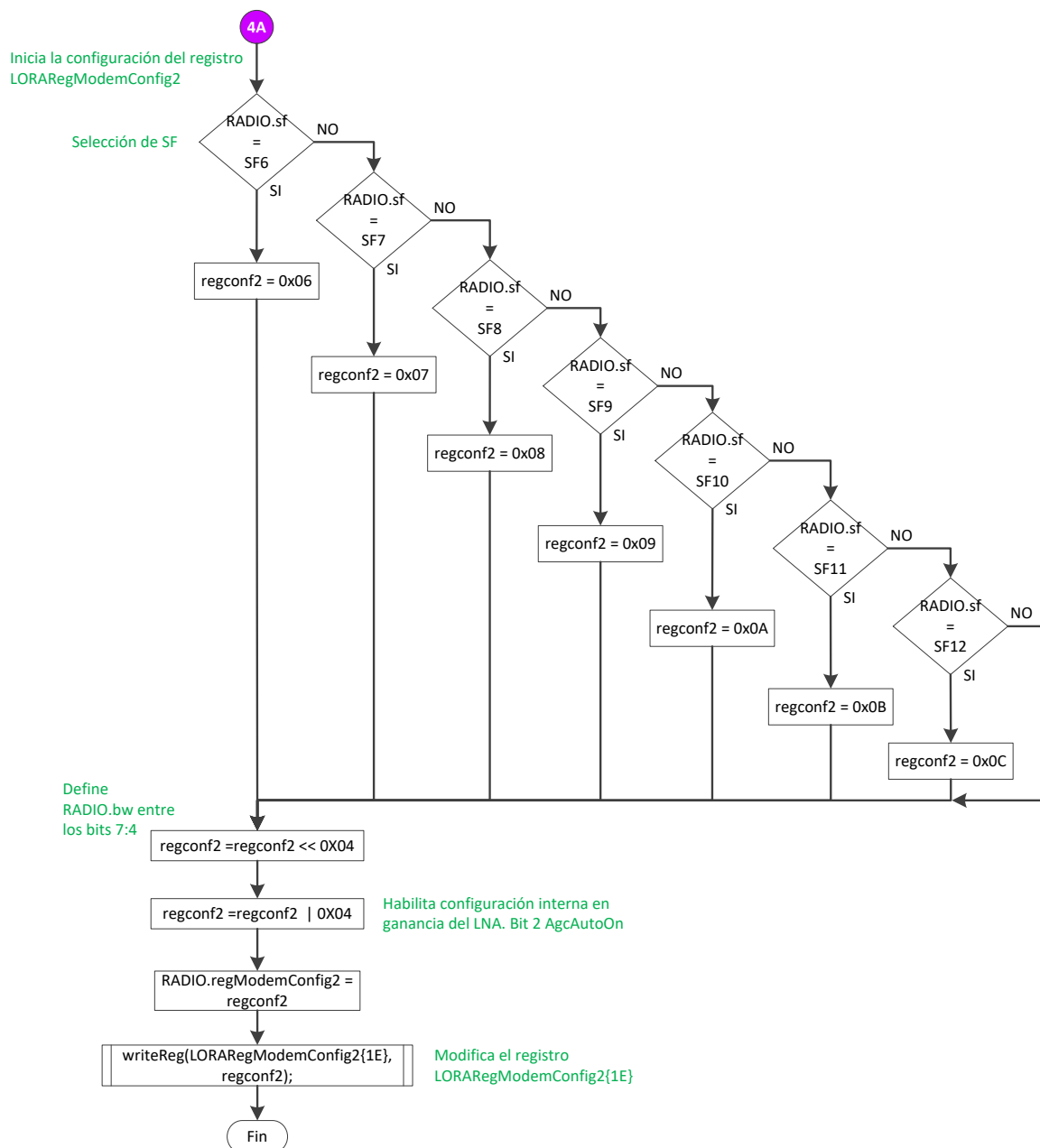


Figura 17. Esquema lógico de configuración de los registros RegModemConfig1_0x1D y RegModemConfig2_0x1E para SX1272 (parte III).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

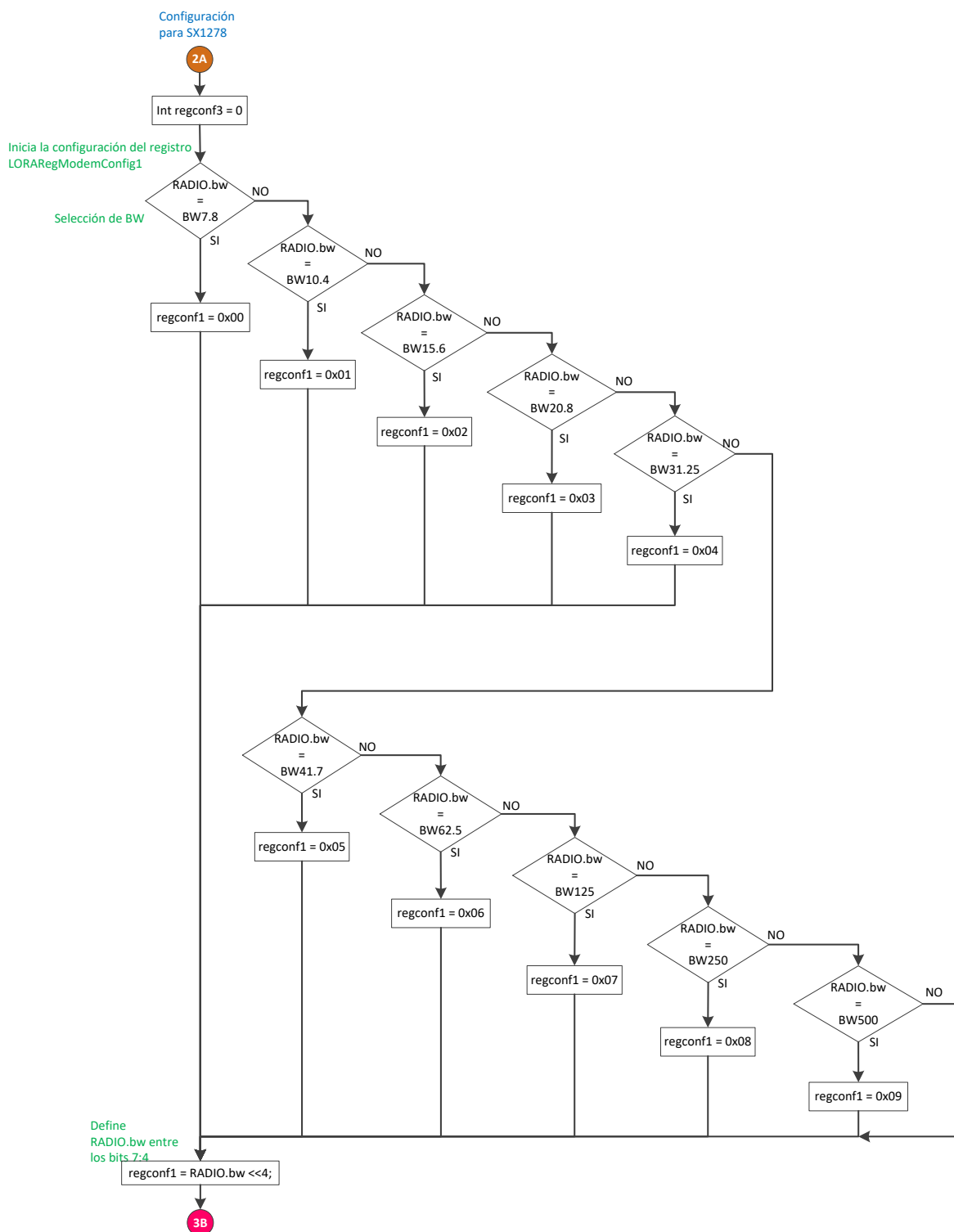


Figura 18. Esquema lógico de configuración de los registros RegModemConfig1_0x1D, RegModemConfig2_0x1E y RegModemConfig3_0x26 para SX1278 (parte I).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

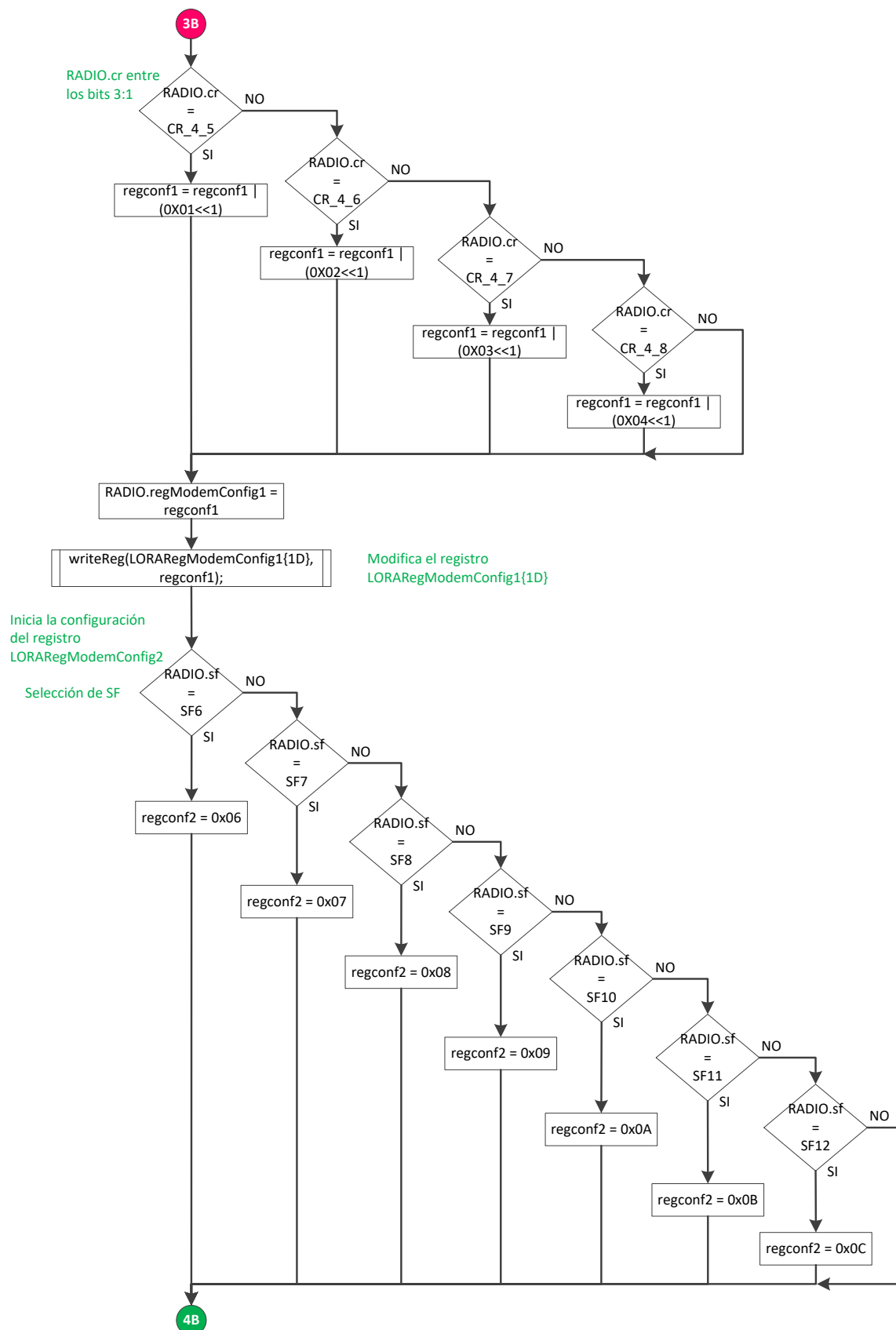


Figura 19. Esquema lógico de configuración de los registros RegModemConfig1_0x1D, RegModemConfig2_0x1E y RegModemConfig3_0x26 para SX1278 (parte II).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

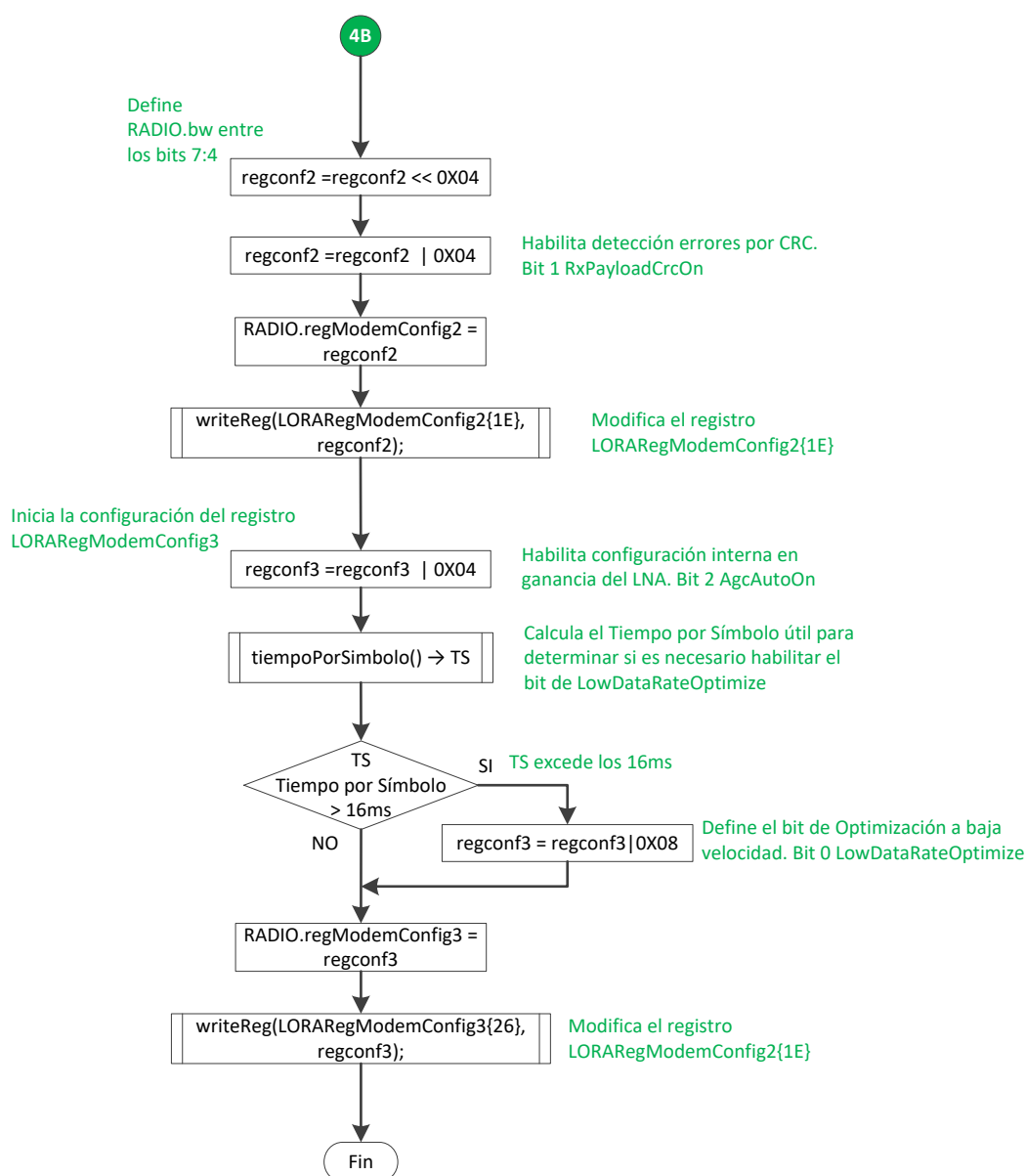


Figura 20. Esquema lógico de configuración de los registros *RegModemConfig1_0x1D*, *RegModemConfig2_0x1E* y *RegModemConfig3_0x26* para SX1278 (parte III).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Registros de configuración de potencia del radio

Los chip de radio SX1272 y SX1278 permiten configurar la potencia máxima utilizada para transmitir datos, máxima corriente permitida y ganancia del LNA (HF y LF para el SX1278).

El registro *RegLna_0x0C* permite configurar las características del LNA para HF y LF (LF aplica solo para el SX1278). La *Tabla 12* presenta las variables del registro *RegLna_0x0C* como la configuración de ganancia y los ajustes en corriente para alta frecuencia (HF) y baja frecuencia (LS).

Tabla 12. Descripción del registro RegLna_0x0C del LoRa.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-5	LnaGain	r w	0x01	Ajustes en la ganancia del LNA
				000 → no usado
				001 → G1 = máxima ganancia
				010 → G2
				011 → G3
				100 → G4
				101 → G5
				110 → G6 = mínima ganancia
				111 → no usado
4-3	LnaBoostLf*	r w	0x00	Ajuste en corriente a baja frecuencia del LNA (RFI_LF)
				00 → Corriente por defecto
				Otro → Reservado
2	Reservado	r	0x00	Reservado
1-0	LnaBoostHf	r w	0x00	Ajuste en corriente a alta frecuencia del LNA (RFI_HF)
				00 → Corriente por defecto
				11 → Boost on, 150% de corriente en el LNA

Nota r: lectura. w: escritura. *: Aplica para SX1278

El registro *RegPaConfig_0x09* permite configurar las características del amplificador de potencia (PA). La *Tabla 12* presenta las principales variables del registro *RegPaConfig_0x09* para el chip radio SX1278 en las que se recomienda habilitar el *PA_BOOST* para contar con una potencia máxima de salida de hasta +20dBm, un valor de 0x0F para *MaxPower* ($P_{max} \approx +20\text{dBm}$) y 0x0F para *OutputPower*.

Tabla 13. Descripción del registro *RegPaConfig_0x09* del LoRa.
Fuente: Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7	PaSelect	r w	0x00	Selección de la arquitectura del Amplificador de Potencia PA (pin de salida del PA)
				0 → RFO pin. Salida de potencia (Output power) limitada hasta +14 dBm.
				1 → PA_BOOST pin. Salida de potencia (Output power) limitada hasta +20 dBm.
6-4	MaxPower	r w	0x04	Selección de potencia máxima de salida de potencia: $P_{max}=10.8+0.6*MaxPower$ [dBm] ($0 \leq MaxPower \leq 15$)
3-0	OutputPower	r w	0x0F	$P_{out}=P_{max}-(15-OutputPower)$ SI PaSelect ← 0 (RFO pin)
				$P_{out}=17-(15-OutputPower)$ SI PaSelect ← 1 (PA_BOOST pin)

Nota r: lectura. w: escritura.

La Tabla 14 presenta las principales variables del registro *RegPaConfig_0x09* para el transceiver SX1272 en las que se recomienda habilitar el *PA_BOOST* para contar con una potencia máxima de salida de hasta +20dBm y un valor de 0x0F para *OutputPower*.

Tabla 14. Descripción del registro *RegPaConfig_0x09* del LoRa.
Fuente: Semtech SX1272 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7	PaSelect	r w	0x00	Selección de la arquitectura del Amplificador de Potencia PA (pin de salida del PA)
				0 → RFO pin. Salida de potencia (Output power) limitada hasta +13 dBm.
				1 → PA_BOOST pin. Salida de potencia (Output power) limitada hasta +20 dBm.
6-4	Sin uso	r	0x04	Sin uso
3-0	OutputPower	r w	0x0F	$P_{out} = -1 + OutputPower(3:0)$ SI PaSelect ← 0 (RFO pin)
				$P_{out} = 2 + OutputPower(3:0)$ SI PaSelect ← 1 (PA_BOOST pin)

Nota r: lectura. w: escritura.

Los radio LoRa cuentan con un circuito de protección para evitar el *sobre-exceso* de corriente al transmitir (OCP) en el Amplificador de Potencia (PA). Esta característica de los LoRa permite aumentar el ciclo de vida útil de las baterías, utilizar bajos consumos energéticos y evitar picos excesivos al trasmitir datos.

El registro *RegOcp_0x0B* permite regular los consumos de corrientes pico al transmitir hasta de 240mA cuando el transceiver está en modo transmisión. Para valores significativos de corrientes (mayores a 125mA), se recomienda verificar la corriente máxima de suministro soportada por la fuente o batería de alimentación. Algunos sistemas embebidos como Arduino cuentan con reguladores con corriente máxima de suministro hasta de 120mA, por lo que al realizar una inadecuada configuración en el LoRa, podría destruirse el regulador y dañar la placa del sistema embebido.

La *Tabla 15* presenta los valores para el registro *RegOcp_0x0B* de los transceivers SX1272 y SX1278. El registro *RegPaDac** establece la máxima potencia en el *PA_BOOST* de hasta +20dBm. La descripción de este registro representa en la *Tabla 16*.

Tabla 15. Descripción del registro RegOcp_0x0B del LoRa.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-6	Sin uso	r	0x00	Sin uso
5	OcpOn	r w	0x01	Habilita el circuito de protección por exceso de corriente al transmitir (OCP) el amplificador de potencia (PA): 0 → OCP no lo habilita 1 → OCP lo habilita
4-0	OcpTrim	r w	0x0B	Corriente máxima soportada por el OCP: I _{max} = 45+5*OcpTrim [mA] SI OcpTrim ≤ 15 (I _{max} hasta 120mA) I _{max} = -30+10*OcpTrim [mA] SI 15 < OcpTrim ≤ 27 (130 < I _{max} < 240 mA) I _{max} = 240mA SI OcpTrim > 27 Por defecto I _{max} = 100mA

Nota r: lectura. w: escritura.

Tabla 16. Descripción del registro RegPaDac del LoRa.*

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-3	Reservado	r w	0x10	Reservado
2-0	PaDac	r w	0x04	Habilita la opción de +20dBm SI PA_BOOST pin-> 1 0x04 → Valor por defecto 0x07 → +20dBm en PA_BOOST cuando OutputPower=1111

Nota r: lectura. w: escritura. *La dirección para el SX1272 es 0x5A y para SX1278 es 0x4D

Se plantea en la *Figura 21* el esquema lógico de configuración de los registros relacionados con la potencia de los transceivers LoRa utilizando las variables RADIO.txpow y RADIO.imax configurables por el usuario.

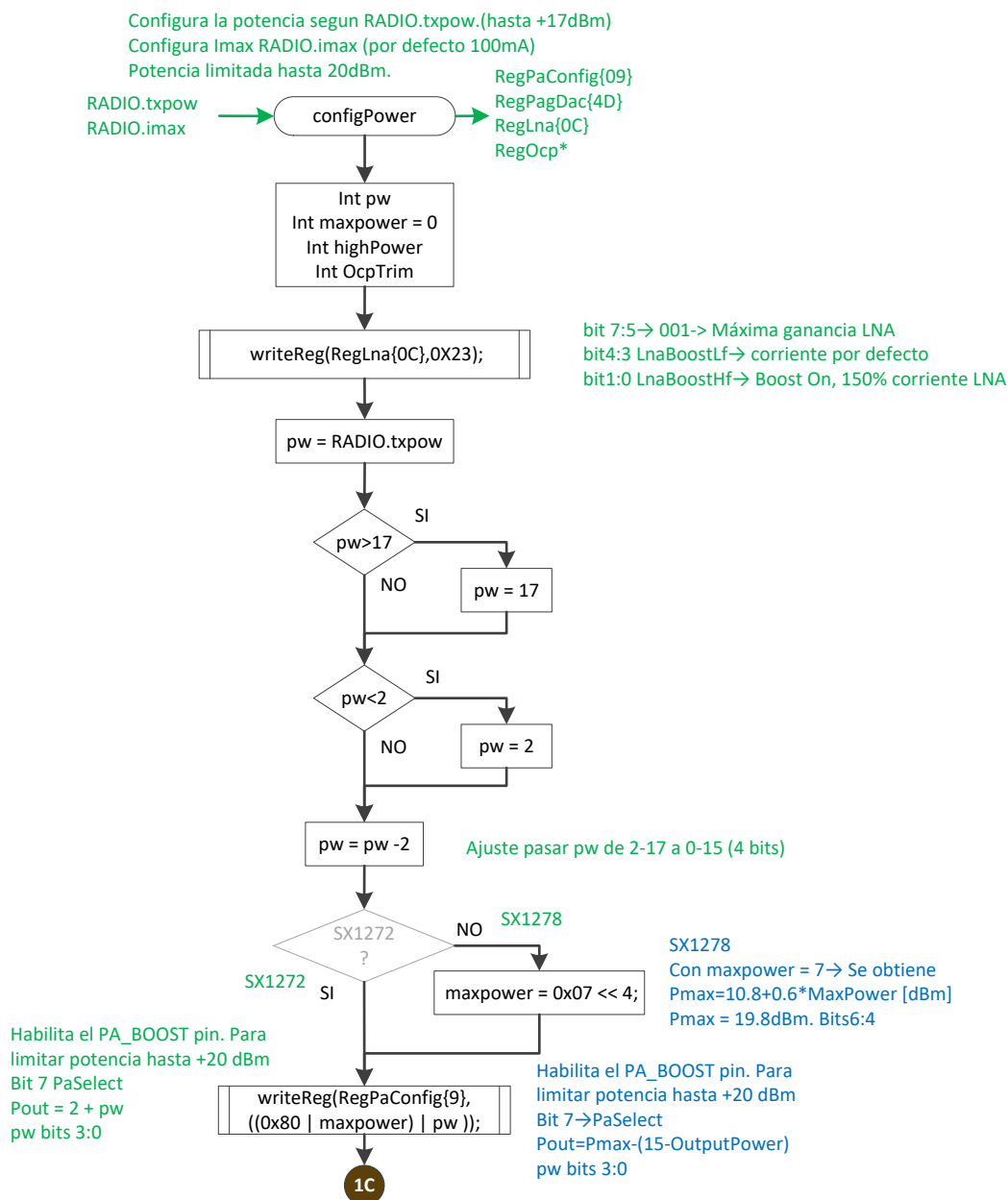


Figura 21. Esquema lógico de configuración de los registros RegLna_0x0C, RegPaConfig_0x09, RegOcp_0x0B y RegPaDac para los dispositivos LoRa (parte I).
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

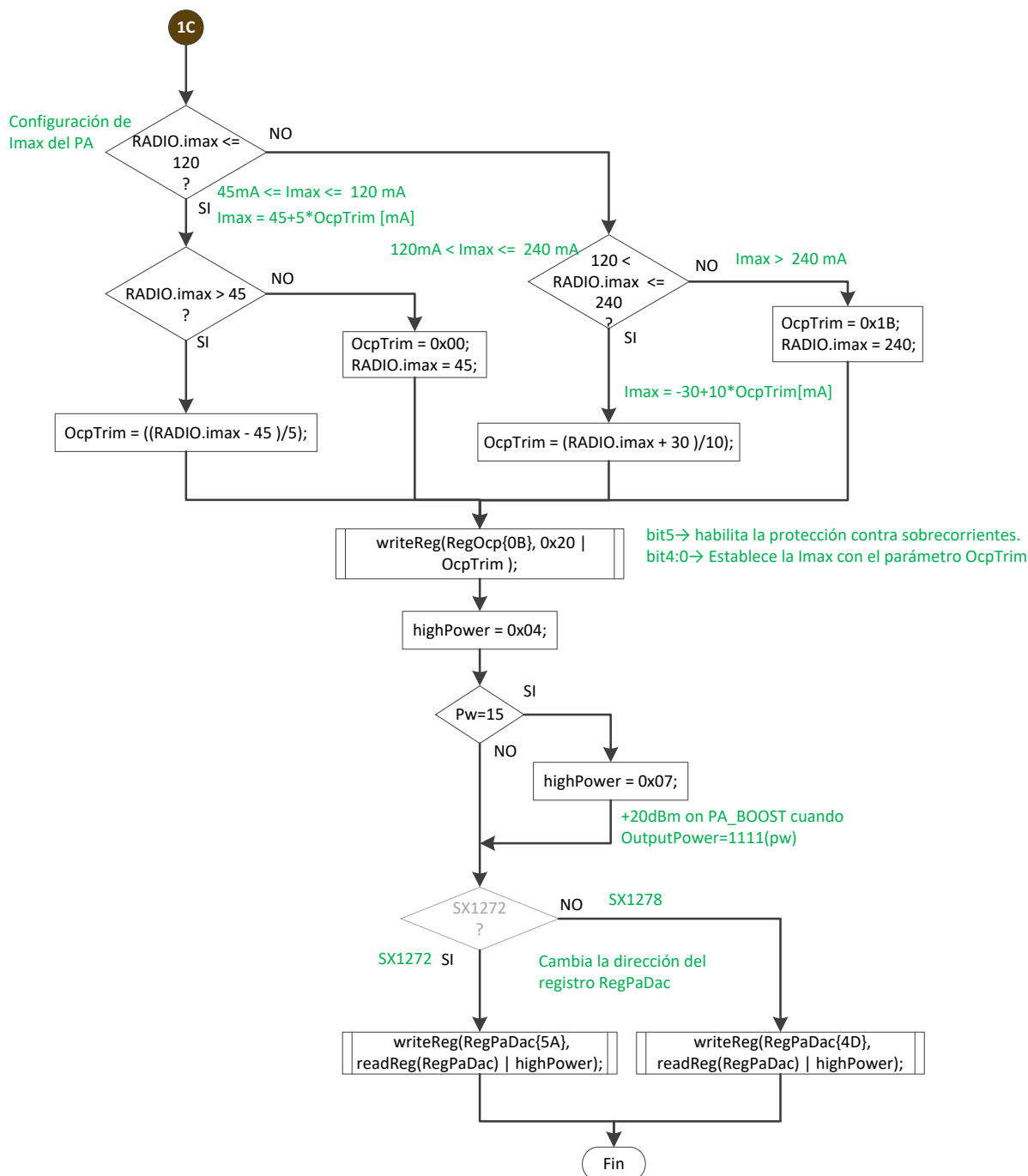


Figura 22. Esquema lógico de configuración de los registros RegLna_0x0C, RegPaConfig_0x09, RegOcp_0x0B y RegPaDac para los dispositivos LoRa (parte II). Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Registros de configuración de frecuencia del radio

Teniendo en cuenta que existen bandas de frecuencias de uso privativo (telefonía, internet, radio, entre otras), existen frecuencias de libre uso conocidas como ISM (Industrial, Scientific and Medical) que son frecuencias intencionalmente libres para uso no comercial en aplicaciones de tipo industrial, científico y médico. Se recomienda al usuario verificar la compatibilidad de la frecuencia de trabajo con la *Tabla 17* (bandas de uso ISM).

Tabla 17. Banda de frecuencia ISM compatibles con los transceivers de radio LoRa.

Fuente: Texas Instruments (2005)

Banda ISM (MHz)	Frecuencia mínima (MHz)	Frecuencia máxima (MHz)	Ancho de Banda (MHz)	Usos por continente
433	433.050	434.790	1.84	Europa, África y parte del norte de Asia.
869	868	870	2	Europa, África, Asia y Oceanía.
900	902	928	26	Continente americano

Para fijar la frecuencia de trabajo en el los transceivers LoRa, el fabricante presenta la ecuación (2):

$$f_{RF} = \frac{2^{19} \cdot \text{Frecuencia}}{F_{OSC}} \quad (2)$$

Dónde:

f_{RF} : Frecuencia utilizada en los registros SPI *RegFrLsb*, *RegFrMid* y *RegFrMsb*

F_{OSC} =Frecuencia del oscilador del LoRa (32 MHz)

Frecuencia : Frecuencia de trabajo fijada por el usuario.

La *Tabla 18* presenta la descripción de los registros de configuración de frecuencia.

Tabla 18. Descripción del registro de configuración de frecuencia en los radio LoRa.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Nombre del registro	Dirección del registro	Uso	Defecto		Descripción
			SX1272	SX1278	
RegFrLsb	0x08	r w	0x00	0x00	Bits 7:0 del valor calculado de f_{RF}
RegFrMid	0x07	r w	0xC0	0x80	Bits 15:8 del valor calculado de f_{RF}
RegFrMsb	0x06	r w	0xE4	0x6C	Bits 15:23 del valor calculado de f_{RF}

Nota r: lectura. w: escritura.

La *Figura 23* presenta el esquema lógico propuesto para fijar la frecuencia de trabajo en el chip LoRa. La variable RADIO.Freq será definida por el usuario en Hz.

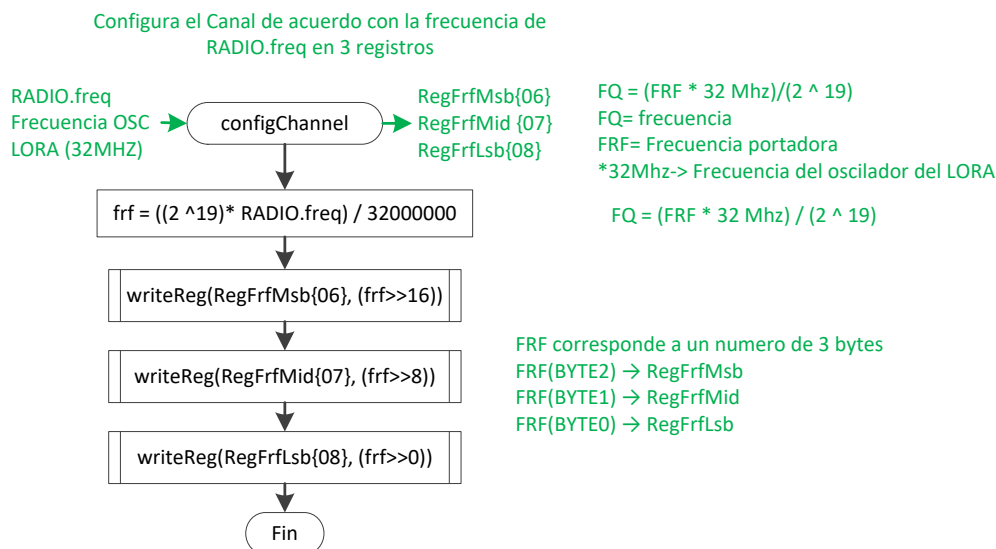


Figura 23. Esquema lógico de configuración de frecuencia para los radio LoRa.
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Configuración por software del radio lora para la transmisión datos

Para transmitir los datos, es necesario utilizar los registros relacionados con la FIFO (memoria RAM de almacenamiento de los datos que serán transmitidos o que gestiona la recepción de datos). Los transceivers LoRa cuentan con una capacidad de 256 bytes en la FIFO.

Se recomienda el uso de interrupciones las cuales resultan ser útiles para la transmisión de datos por cuanto una vez se escriben los datos en la FIFO, de acuerdo a la configuración (*BW*, *SF* y *CR*), los transceivers LoRa tardan cierto tiempo en realizar esta tarea y la interrupción *TXDONE* permite preparar al LoRa ya sea para una nueva transmisión, colocarse en modo *SLEEP* o prepararse para recibir datos.

Cada una de las interrupciones utilizadas por los dispositivos LoRa se relaciona con un bit o pin físico de control (los bits de control son los DIO y se presentan en las *Figuras 2, 3 y 4*).

La *Tabla 19* presenta la descripción del registro *RegIrqFlagsMask_0x11* que permite habilitar el uso de las interrupciones. La *Tabla 20* presenta el registro de *RegIrqFlags_0x12* que

permite determinar si se ha presentado una interrupción por software. Sin embargo, los pines DIO se encuentran relacionados con estos flags y pueden ser utilizados para detectar interrupciones por cambio de flanco ascendente (Low-High), lo cual resulta ser muy útil en cuanto a la optimización de tareas con el uso de microcontroladores. Las Tablas 21 y 22 presentan la descripción de los registros *RegDioMapping1_0x40* y *RegDioMapping2_0x41* para la configuración de pines DIO con el uso de interrupciones por hardware.

Tabla 19. Descripción del registro RegIrqFlagsMask_0x11 para habilitación de interrupciones.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7	RxTimeoutMask	r w	0x00	Mascara de interrupción para Timeout. Con "0" se habilita la interrupción.
6	RxDoneMask	r w	0x00	Mascara de interrupción para RXDONE o recepción completa de paquetes. Con "0" se habilita la interrupción.
5	PayloadCrcErrorMask	r w	0x00	Mascara de interrupción para detección de error por CRC en recepción de datos. Con "0" se habilita la interrupción.
4	ValidHeaderMask	r w	0x00	Mascara de interrupción para detección Header o encabezado en recepción de datos. Con "0" se habilita la interrupción.
3	TxDoneMask	r w	0x00	Mascara de interrupción para TXDONE o transmisión completa de datos en la FIFO. Con "0" se habilita la interrupción.
2	CadDoneMask	r w	0x00	Mascara de interrupción para CADDONE o detección de preámbulo. Con "0" se habilita la interrupción.
1	FhssChangeChannelMask	r w	0x00	Mascara de interrupción para FhssChangeChannel o cambio de canal. Con "0" se habilita la interrupción.
0	CadDetectedMask	r w	0x00	Mascara de interrupción para detección del CAD. Con "0" se habilita la interrupción.

Nota r: lectura. w: escritura.

Tabla 20. Descripción del registro RegIrqFlags_0x12 para la detección de interrupciones por software.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7	RxTimeout	r c	0x00	Flag de interrupción por Timeout. Escribiendo "1" se limpia a IRQ.
6	RxDone	r c	0x00	Flag de interrupción por RXDONE o recepción completa de paquetes. Escribiendo "1" se limpia a IRQ.
5	PayloadCrcError	r c	0x00	Flag de interrupción para detección de error por CRC en recepción de datos. Escribiendo "1" se limpia a IRQ.
4	ValidHeader	r c	0x00	Flag de interrupción para detección Header o encabezado en recepción de datos. Escribiendo "1" se limpia a IRQ.
3	TxDone	r c	0x00	Flag de interrupción para TXDONE o transmisión completa de datos en la FIFO. Escribiendo "1" se limpia a IRQ.
2	CadDone	r c	0x00	Flag de interrupción para CADDONE o detección de preámbulo. Escribiendo "1" se limpia a IRQ.
1	FhssChangeChannel	r c	0x00	Flag de interrupción para FhssChangeChannel o cambio de canal. Escribiendo "1" se limpia a IRQ.
0	CadDetected	r c	0x00	Flag de interrupción para detección del CAD. Escribiendo "1" se limpia a IRQ.

Nota r: lectura. c: limpiar.

Tabla 21. Configuración de pines de control con el registro *RegDioMapping1_0x40* para el uso con interrupciones en los pines DIO0-3.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-6	Dio0Mapping	rw	0x00	00 → RxDone. Se activa el pin cuando se ha recibido datos en la FIFO.
				01 → TxDone. Se activa el pin cuando se ha transmitido datos desde la FIFO.
				10 → CadDone
				11 → Sin uso del pin
5-4	Dio1Mapping	rw	0x00	00 → RxTimeout
				01 → FhssChangeChannel
				10 → CadDetected
				11 → Sin uso del pin
3-2	Dio2Mapping	rw	0x00	00 → FhssChangeChannel
				01 → FhssChangeChannel
				10 → FhssChangeChannel
				11 → Sin uso del pin
1-0	Dio3Mapping	rw	0x00	00 → CadDone
				01 → ValidHeader
				10 → PayloadCrcError. Se activa el pin cuando se detecta un error por verificación por redundancia cíclica (CRC)
				11 → Sin uso del pin

Nota r: lectura. w: escritura.

Tabla 22. Configuración de pines de control con el registro *RegDioMapping2_0x41* para el uso con interrupciones en los pines DIO4-5.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015)

Bit	Nombre de la variable	Uso	Defecto	Descripción
7-6	Dio4Mapping	rw	0x00	00 → CadDetected
				01 → PllLock
				10 → PllLock
				11 → Sin uso del pin
5-4	Dio5Mapping	rw	0x00	00 → ModeReady
				01 → ClkOut
				10 → ClkOut
				11 → Sin uso del pin

Para escribir datos sobre la FIFO de los transceivers LoRa, se utiliza el registro *RegFifo_0x00* para indicar la posición de escritura de los datos. Para tener acceso a la FIFO, el chip radio debe estar en *modo STAND-BY*. La *Figura 20* presenta el esquema lógico propuesto para almacenar datos sobre la FIFO antes de preparar el chip para transmitirlos. Para utilizar la propuesta de configuración se requiere que el usuario defina sobre **RADIO.frameTX** los valores que desea transmitir y en **RADIO.dataLenTX** la cantidad o longitud de datos a transmitir.

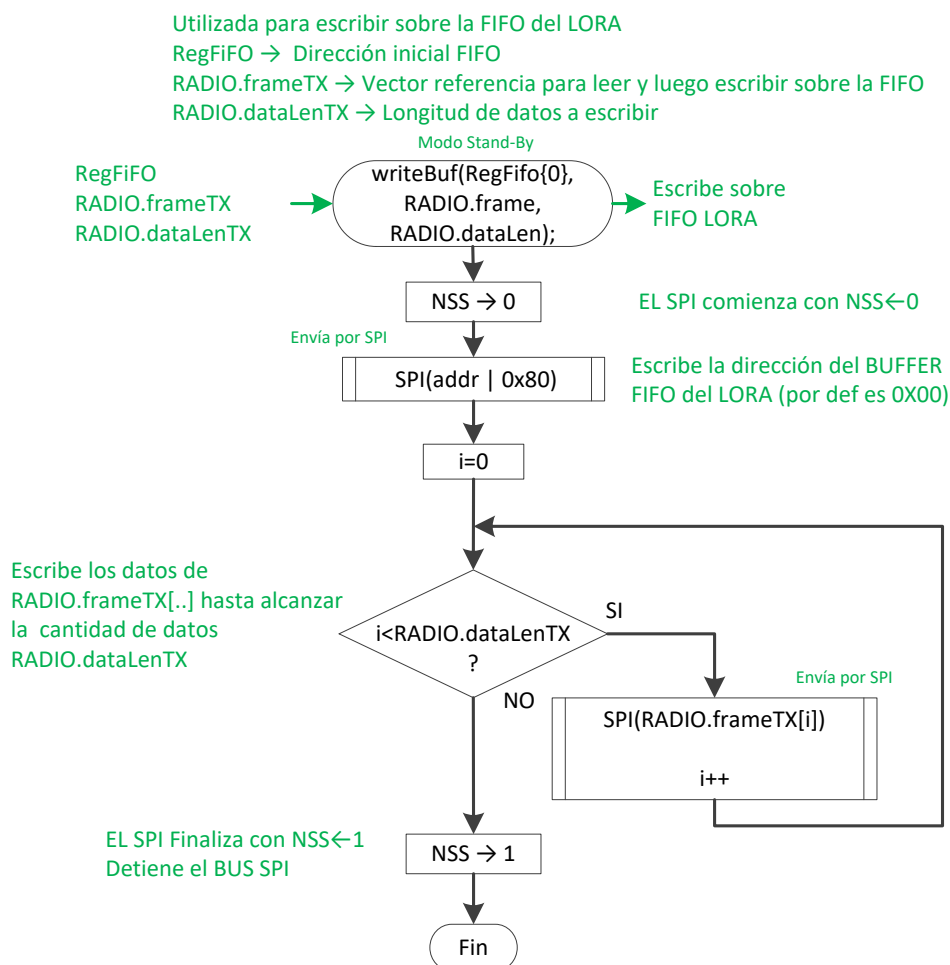


Figura 24. Esquema lógico de almacenamiento de datos sobre la FIFO del LoRa.
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

La Figura 24 presenta el esquema lógico propuesto para transmitir datos previamente almacenados en la FIFO. Para utilizar el esquema, se requiere que el usuario defina sobre **RADIO.frameTX** los valores que desea transmitir y en **RADIO.dataLenTX** la cantidad o longitud de datos. Además, antes de finalizar el flujograma se recomienda que el usuario configure una interrupción por cambio de flanco ascendente en el pin conectado al terminal del control DIO0.

Una vez se establece el modo *OPMODE_TX* en los dispositivos LoRa, comienza formalmente la transmisión de los datos escritos sobre la FIFO. Cuando finaliza la transmisión, el flag *TxDone* del registro *RegIrqFlags_0x12* se habilita al igual que el pin *DIO0*. Si no se habilita ninguno de los dos (flag *TxDone* o pin *DIO0*), el usuario deberá reenviar los datos. El esquema lógico para determinar si se deben retransmitir los datos se presenta en la Figura 25.

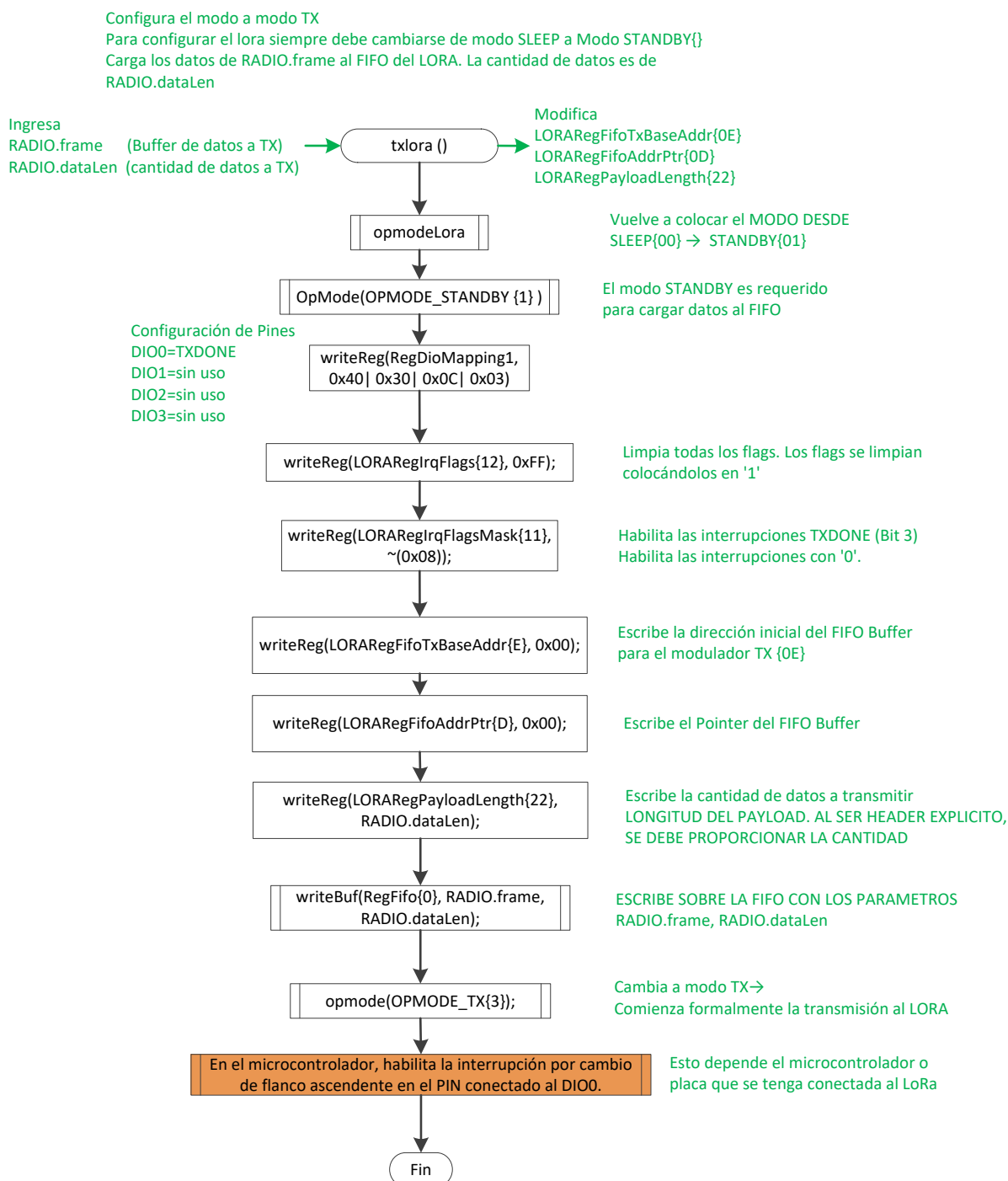


Figura 25. Esquema lógico de configuración para transmisión de datos en el LoRa.
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

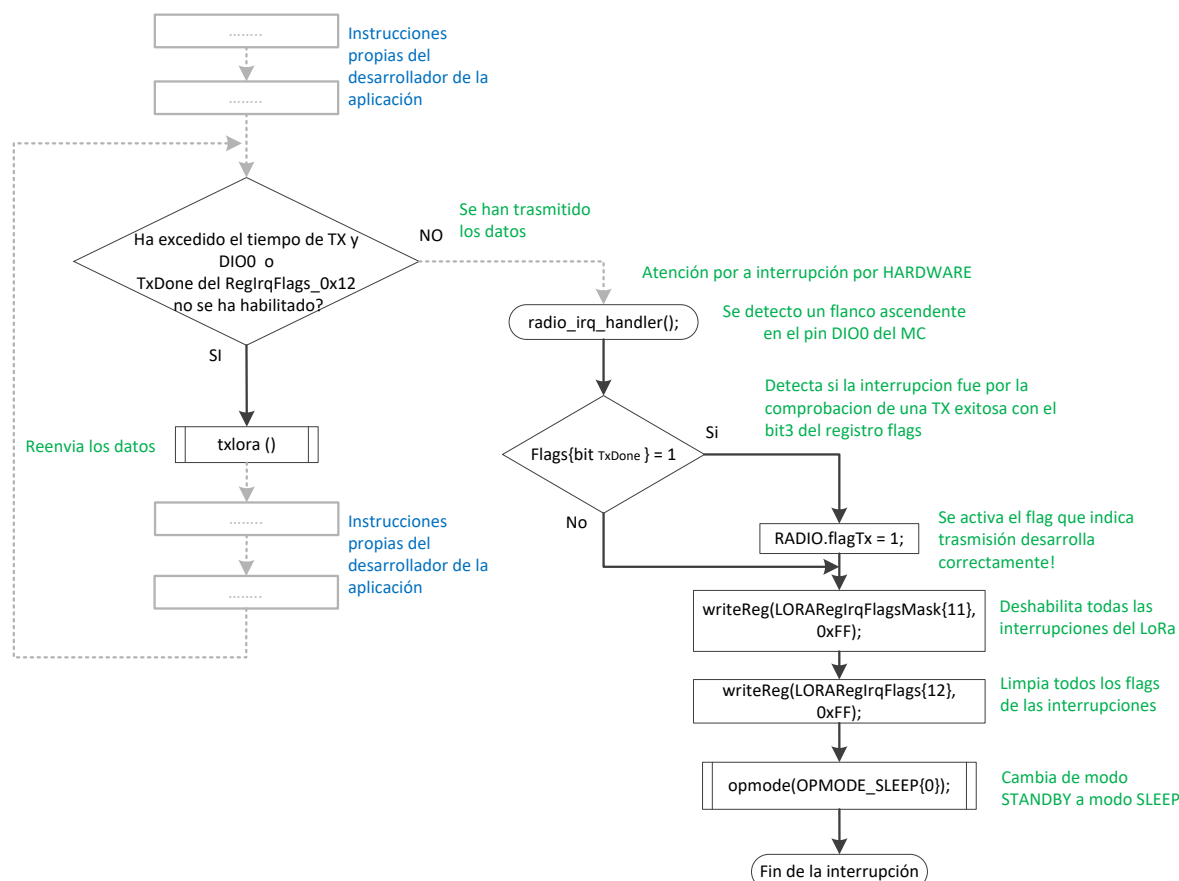


Figura 26. Esquema lógico propuesto para gestión por interrupción cuando se efectúa una transmisión de datos en el LoRa.

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Configuración por software del radio lora para la recepción de datos

El modem LoRa es half-duplex, es decir que no es posible transmitir o recibir datos en el mismo instante; esto significa que se debe configurar el modem para transmitir (*txlora*) o recibir datos (*rxlora*). El LoRa tiene la capacidad de recibir hasta 256 bytes de manera simultánea (capacidad de la FIFO).

Para recibir datos, se debe configurar el modem junto con las interrupciones de configuración para dicha tarea. La interrupción para detectar la recepción y gestión necesaria de datos sobre la FIFO se habilita utilizando el bit 6 o *RxDoneMask* del registro *RegIrqFlagsMask_0x11* (ver Tabla 18). Esta interrupción está relacionada con el pin de control DIO0 (ver Tabla 20).

Una ventaja adicional del chip LoRa es la incorporación de la verificación por redundancia cíclica (CRC), es decir que en caso de detectar un error al recibir tramas de datos sobre la FIFO, el LoRa tiene la posibilidad de emitir o presentar un error. La detección de errores en la recepción de datos CRC se habilita utilizando el bit 5- *PayloadCrcErrorMask* del registro *RegIrqFlagsMask_0x11* (ver *Tabla 18*). Esta interrupción está relacionada con el pin de control DIO3 (ver *Tabla 20*) y solo será activada cuando se reciban datos errados; por lo que se activará el bit 5 – *PayloadCrcError* del registro *RegIrqFlags_0x12* “o” el pin DIO3 del microcontrolador (el pin DIO3 se encuentra físicamente para las placas SX1272RF1 y DRF1278F, para la versión LoRa1278 de NiceRF se utiliza únicamente el bit 5 del registro *PayloadCrcError*).

La *Figura 27* presenta el esquema propuesto de configuración de registros en el LoRa para la recepción de datos utilizando la interrupción *RXDONE* y la detección de errores en la recepción de datos *PayloadCrcError*.

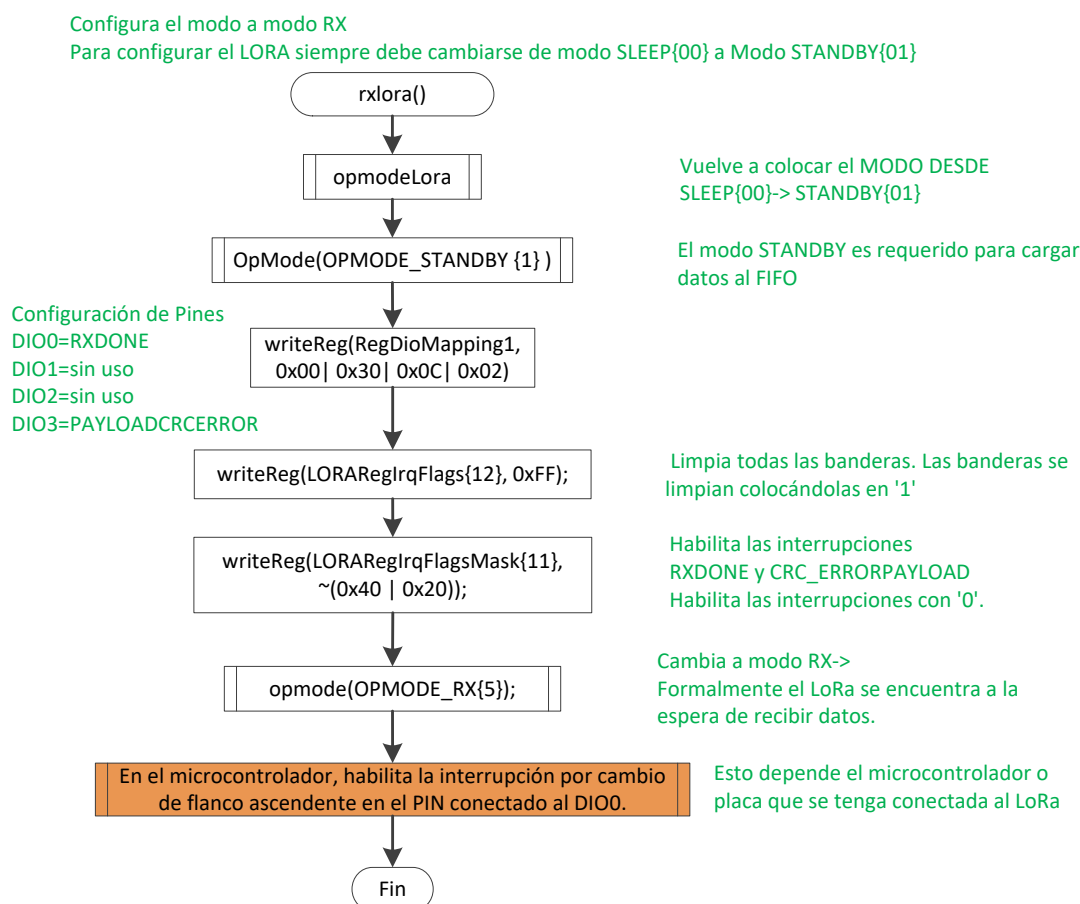


Figura 27. Esquema lógico de configuración en el LoRa para recepción de datos.
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

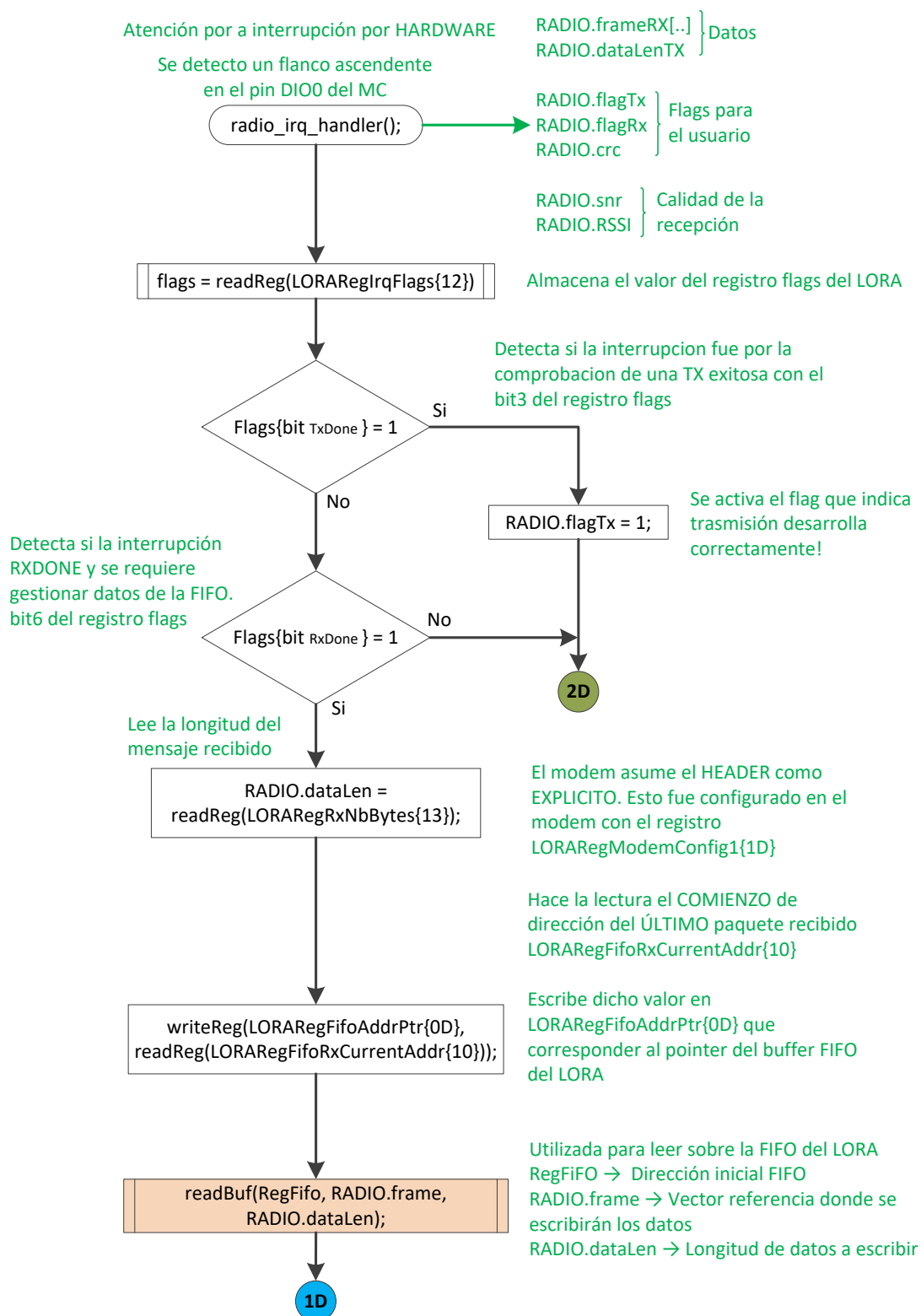


Figura 28. Esquema lógico de atención a la interrupción por recepción o transmisión de datos en el LoRa (parte I).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

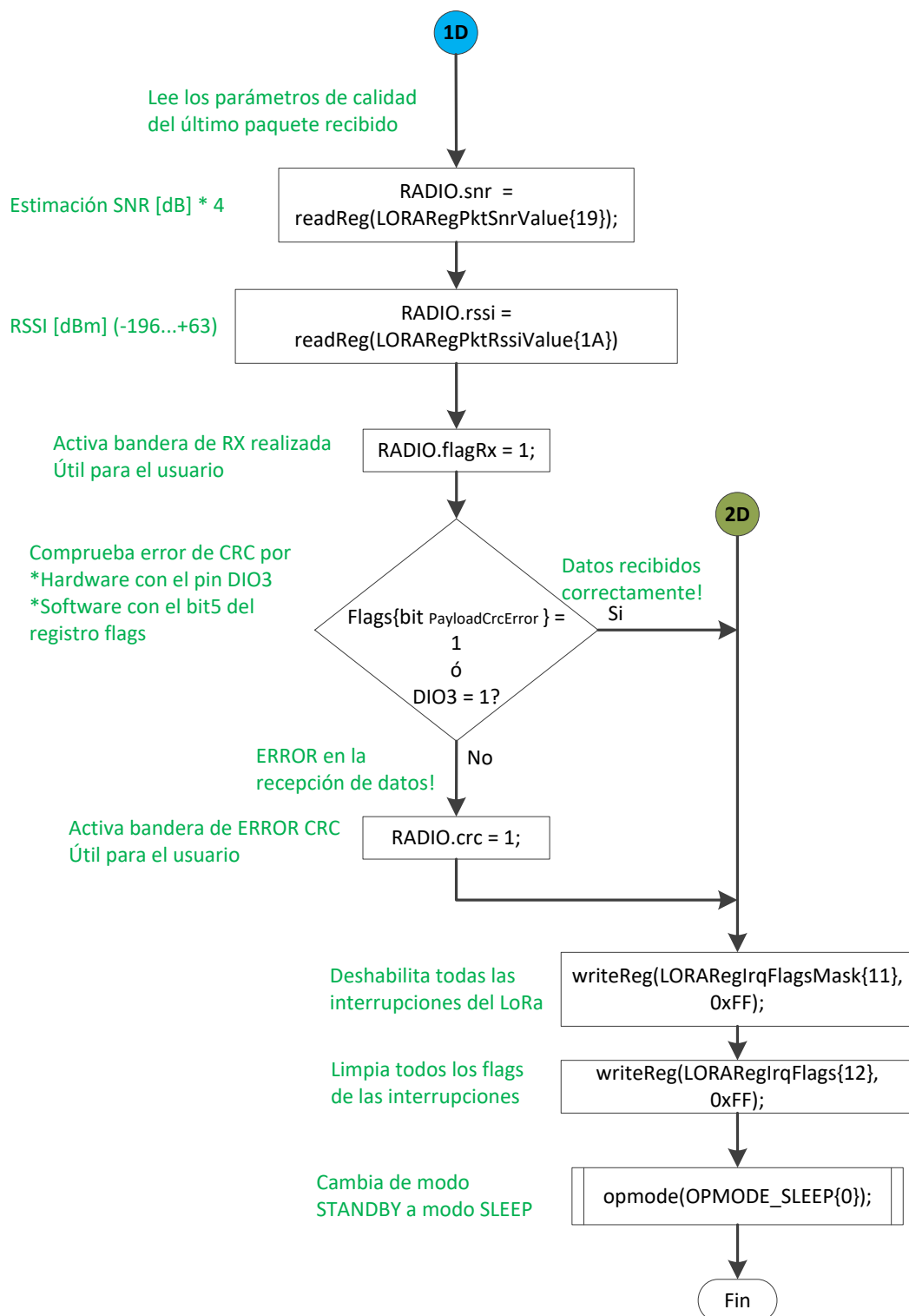


Figura 29. Esquema lógico de atención a la interrupción por recepción o transmisión de datos en el LoRa (parte II).

Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Es posible detectar la recepción de los datos comprobando el registro *RegIrqFlags_0x12* con el flag *RxDone* o por la detección de una interrupción de flanco ascendente por parte del pin DIO0 en el microcontrolador. Las Figuras 28 y 29 presentan el esquema lógico propuesto para la detección de la interrupción generada por el pin DIO0 en el microcontrolador cuando se ha efectuado una transmisión correctamente o cuando se disponen de datos en la FIFO que deben ser gestionados por el microcontrolador.

Los parámetros generados por la interrupción corresponden a las variables:

- **RADIO.frameRX[.]:** vector de datos recibidos por el LoRa
- **RADIO.dataLenTX:** cantidad de datos recibidos
- **RADIO.flagTx:** Flag que le indica al usuario si se desarrolló correctamente una transmisión.
- **RADIO.flagRx:** Flag que le indica al usuario si se desarrolló la gestión de los datos recibidos.
- **RADIO.crc:** Flag que le indica al usuario si los datos recibidos están corruptos o contienen errores que debe gestión realizando nuevamente una petición.
- **RADIO.snr:** Calidad de la señal a ruido de los datos recibidos.
- **RADIO.rssi:** Indicador de fuerza de los datos recibidos.

Para leer datos de la FIFO del LoRa, se utiliza el registro *RegFifo_0x00* para indicar la posición de lectura de los datos. Para tener acceso a la FIFO, el chip radio debe estar en *modo STANDBY*. La Figura 25 presenta el esquema lógico propuesto para extraer los datos de la FIFO luego de recibir datos. Para utilizar el esquema, se requiere que el usuario cree el vector *RADIO.frameRX* para el almacenamiento de los valores recibidos en la FIFO y cree la variable *RADIO.dataLenRX* que corresponderá a la cantidad o longitud de datos recibidos.

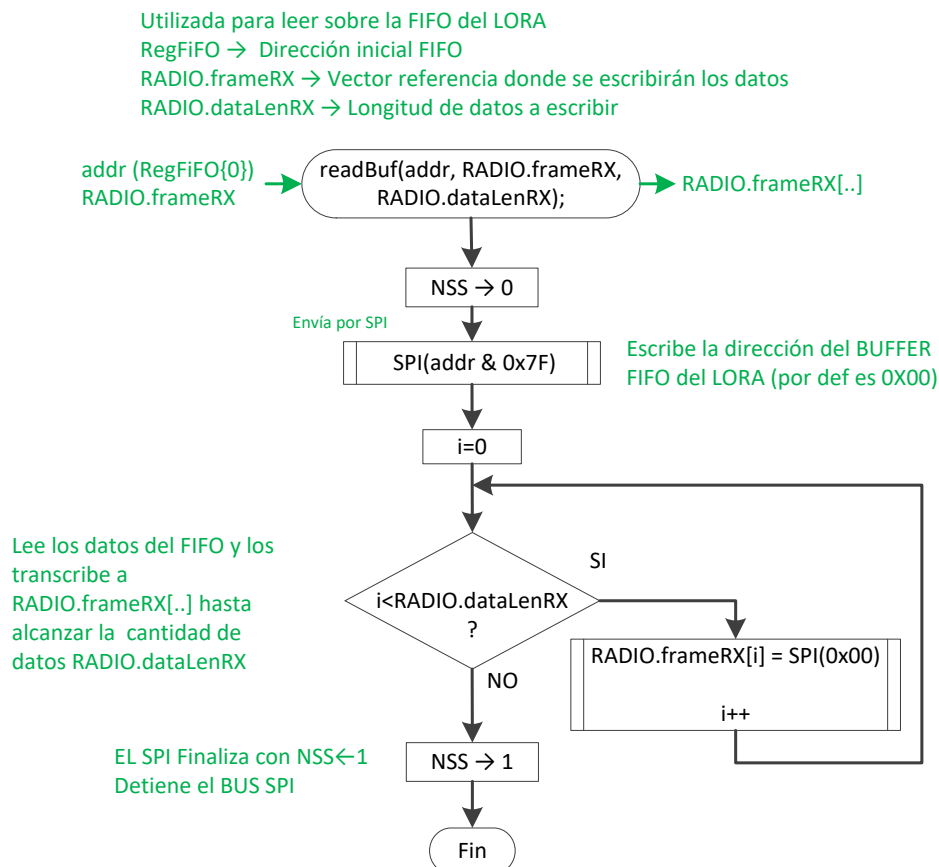


Figura 30. Esquema lógico de almacenamiento de datos sobre la FIFO del LoRa.
Fuente: Semtech SX1272 (2015) & Semtech SX1278 (2015). Desarrollado por el autor

Ejemplo de aplicación: red punto a punto (aplicación ping-pong)

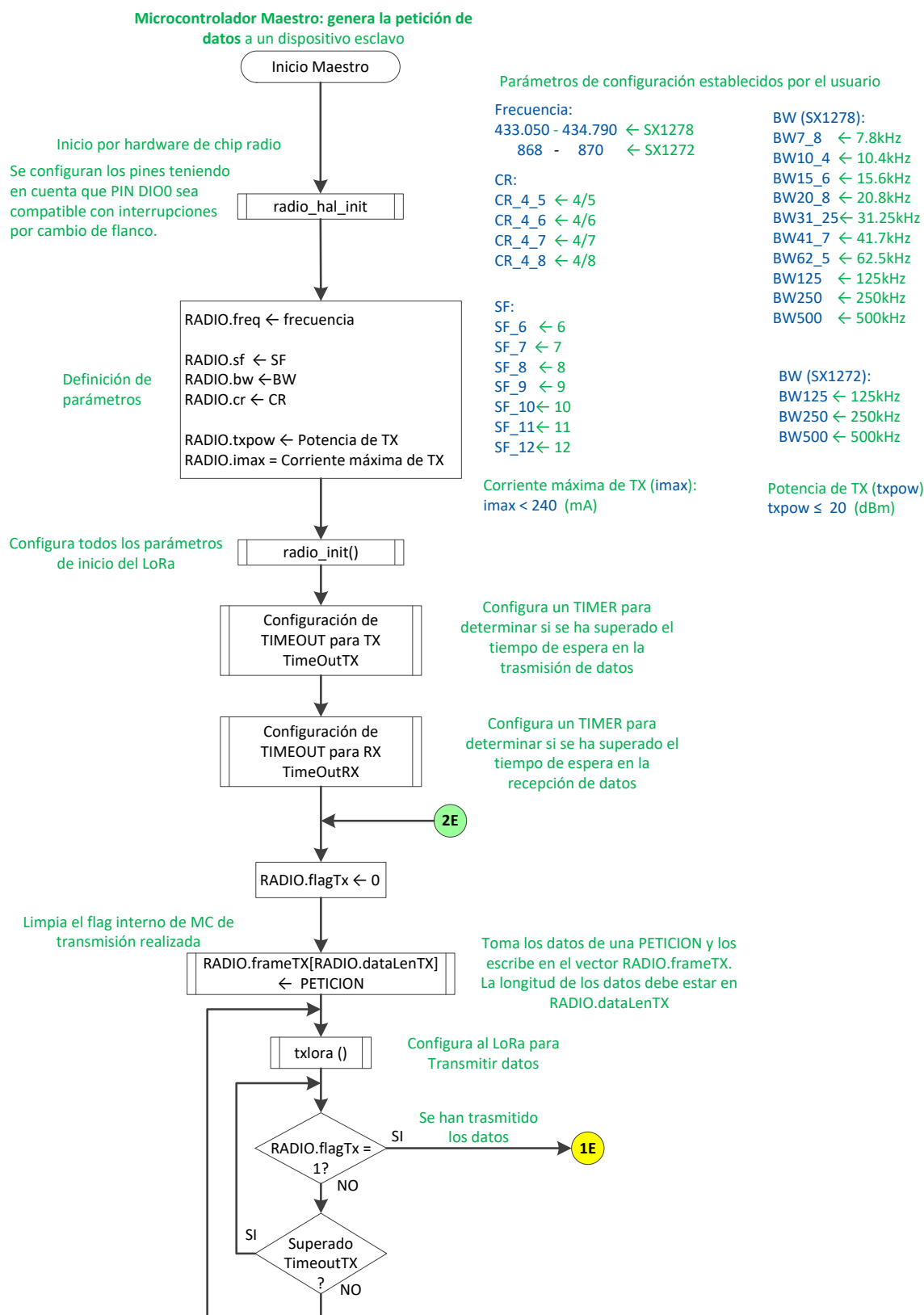


Figura 31. Esquema lógico para dispositivo maestro utilizando radio LoRa (parte I).

Fuente: Desarrollado por el autor

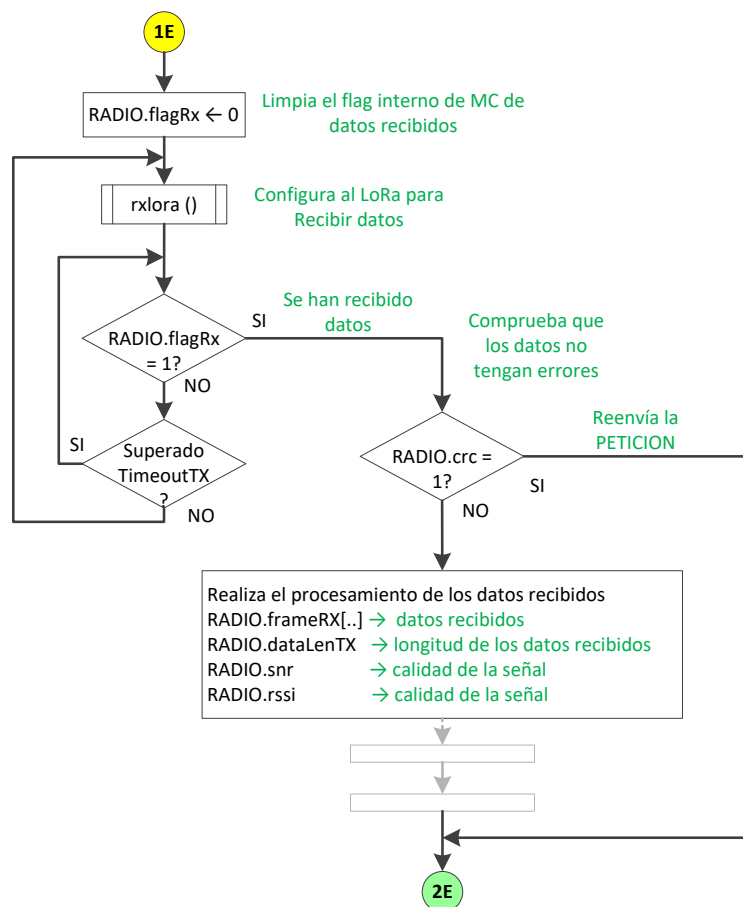


Figura 32. Esquema lógico para dispositivo maestro utilizando radio LoRa (parte II).

Fuente: Desarrollado por el autor

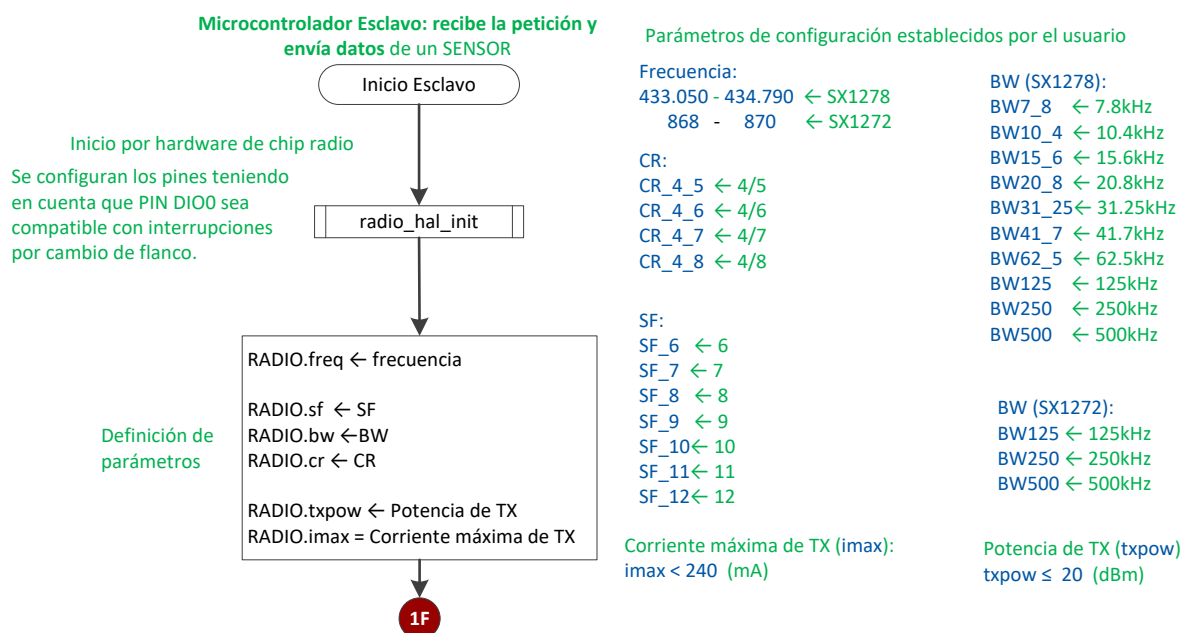


Figura 33. Esquema lógico para dispositivo esclavo utilizando radio LoRa (parte I).

Fuente: Desarrollado por el autor

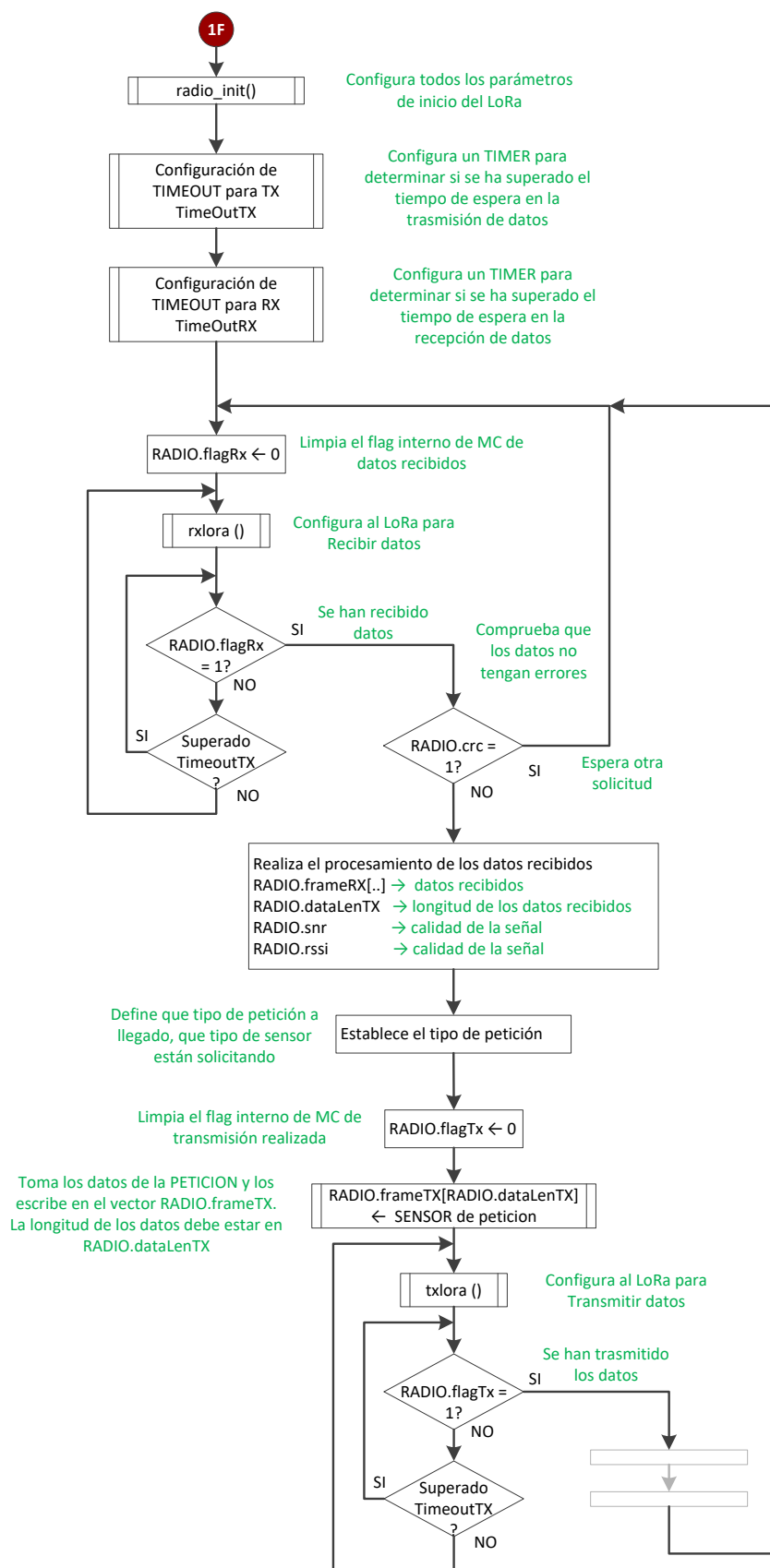


Figura 34. Esquema lógico para dispositivo esclavo utilizando radio LoRa (parte II).

Fuente: Desarrollado por el autor

Como ejemplo se plantea el uso de dos sistemas embebidos, uno utilizado como maestro y el otro utilizado como esclavo.

El dispositivo maestro se encarga de realizar la petición de datos a un dispositivo esclavo ubicado en un sitio remoto, el cual obtiene datos de sensores. El esclavo remite la información solicitada y continuamente se encuentra esperando peticiones del dispositivo esclavo. Las Figuras 31 y 32 presentan el flujograma propuesto para la configuración del dispositivo maestro y las Figuras 33 y 34 presentan el esquema propuesto de configuración para el dispositivo esclavo (sensor). Finalmente en la Figura 35 se presenta un diagrama pictórico de la aplicación propuesta: maestro-esclavo (sensor) con la utilización de dispositivo LoRa.



Ambos dispositivos cuentan con la misma configuración: frecuencia, BW, SF y CR

Figura 35. Principio de funcionamiento “ping-pong” para la realización de pruebas de alcance en dispositivos LoRa.

Fuente: Desarrollado por autor

Ejemplo de aplicación: recepción de datos de varios dispositivos remotos (red punto - multipunto)

El ejemplo plantea un esquema de dispositivos conectados por una red punto-multipunto tipo estrella con un nodo central (circuito maestro) y 3 dispositivos esclavos. Como circuitos esclavos, se utilizan diversas versiones de sistemas embebidos.

La Figura 36 presenta el esquema propuesto donde se aprecia la comunicación simultánea de 3 dispositivos hacia un nodo central. Se plantea el uso de esta aplicación con el uso del driver desarrollado para aplicaciones complejas con diversos sensores ubicados en sitios remotos. Cabe resaltar que los dispositivos LoRa deben ser de la misma referencia, estar configurados a la misma frecuencia y con los parámetros SF, BW y CR idénticos.

El dispositivo maestro se debe configurar como dispositivo “pasivo”, es decir continuamente recibir la información de los dispositivos esclavos. Una vez recibe la información de un dispositivo esclavo, remite la confirmación de recepción correcta de datos.

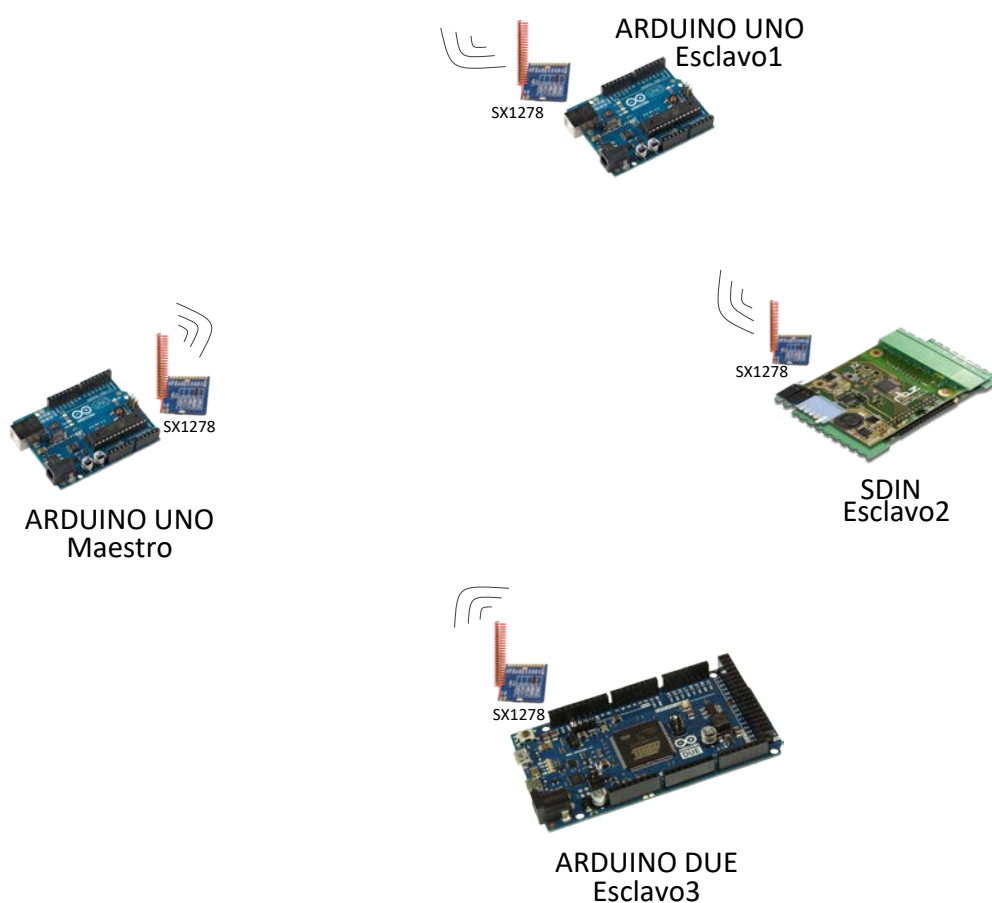


Figura 36. Tipología estrella para comunicación con diversos dispositivos.

Fuente: Esquema propuesto por el autor

El modem LoRa es *half dúplex*, es decir que los LoRa no puede transmitir o recibir datos en el mismo instante; esto significa que los transceiver LoRa deben ser configurados para transmitir o recibir datos. Cuando se incorpora más de dos dispositivos en un protocolo de comunicación *half dúplex*, se deben establecer estrategias que mitiguen los efectos adversos por colisión indeseada de datos cuando se reciben datos.

Si los dispositivos no cuentan con estrategias para evitar la transmisión de datos sobre el mismo canal de comunicación por parte de los dispositivos esclavos en un mismo instante, los datos llegarán errados al dispositivo maestro y la comunicación de datos será errada.

Este efecto se observa en las líneas de tiempo presentadas en la *Figura 37* donde los dispositivos esclavos tramiten información en un mismo instante y el dispositivo maestro no cuenta puede responder con la confirmación de comunicación efectuada, lo que ocasiona un consumo energético innecesario de energía en la transmisión de información por parte de los esclavos.

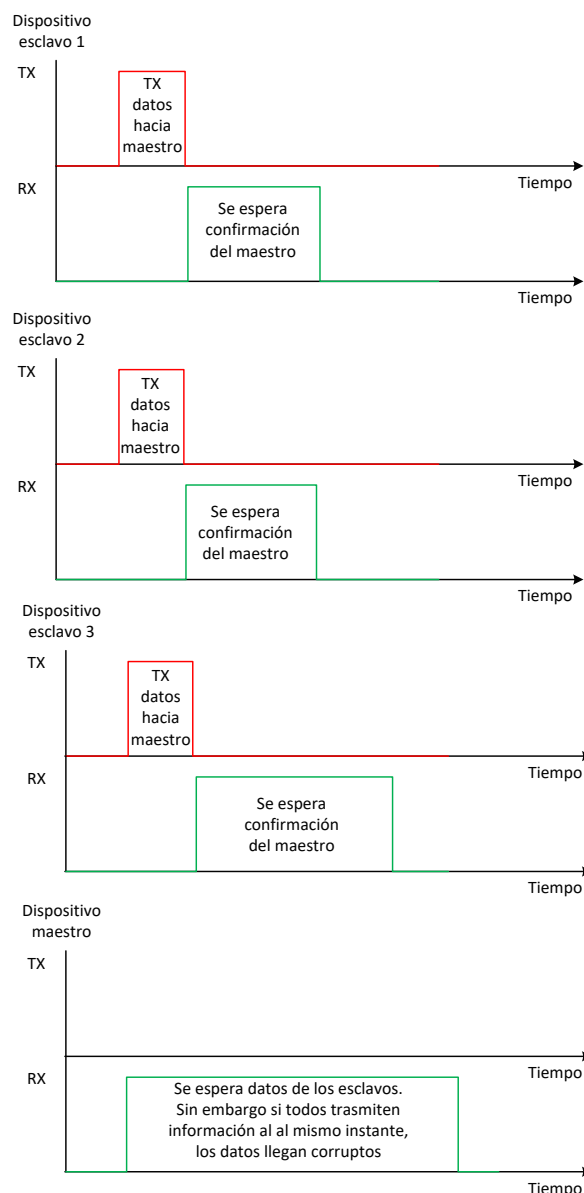


Figura 37. Líneas de tiempo para dispositivos esclavos y dispositivo maestro sin estrategias adecuadas para la transmisión de información.

Fuente: Esquema propuesto por el autor

La solución para evitar la colisión de datos, corresponde a establecer tiempos de muestreo y tiempos aleatorios de “des-sincronización” cuando se transmiten datos; es decir evitar con los tiempos adiciones de transmisión de datos la colisión de datos.

Una vez se establece el tiempo en el que no se presentan colisiones, se almacena dicho valor para ser utilizado consecutivamente en las próximas transmisiones de datos y con lo anterior el sistema *half dúplex* se comporta sincronizado como se presenta en la *Figura 38*.

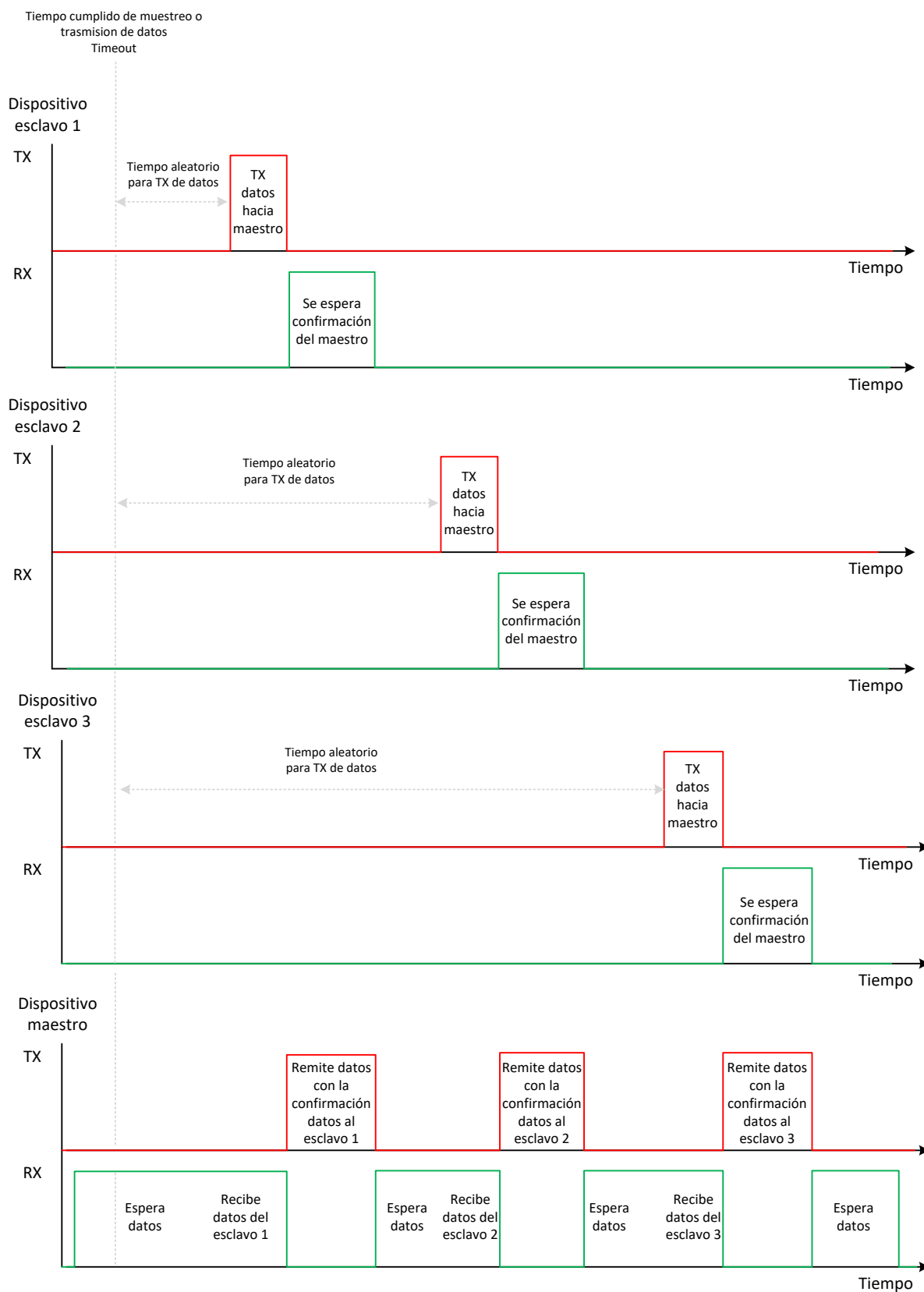


Figura 38. Líneas de tiempos para dispositivos esclavos y dispositivo maestro con tiempos aleatorios para la transmisión adecuada de datos.

Fuente: Esquema propuesto por el autor

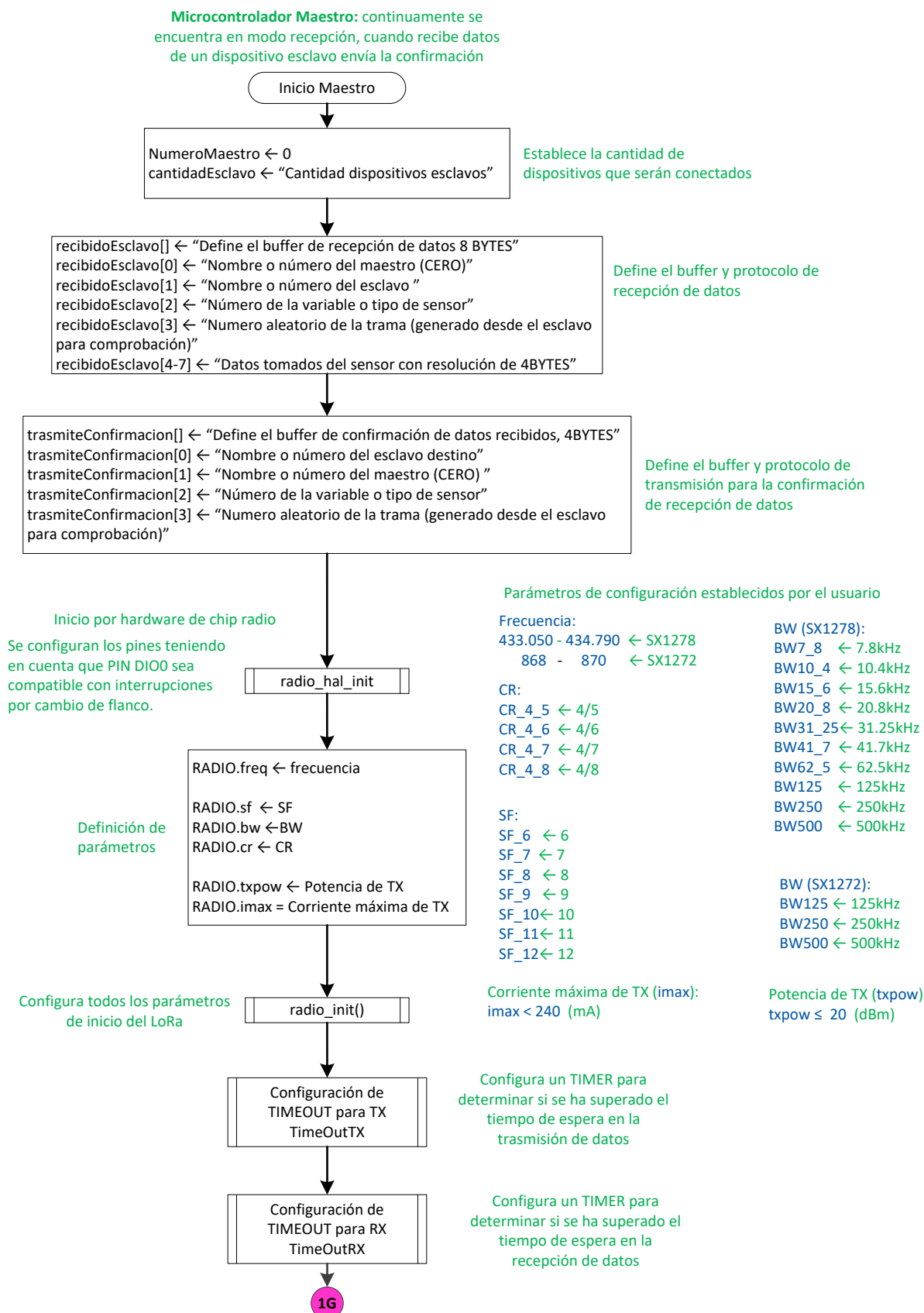


Figura 39. Esquema lógico para dispositivo maestro en aplicación punto-multipunto (parte I).

Fuente: Desarrollado por el autor

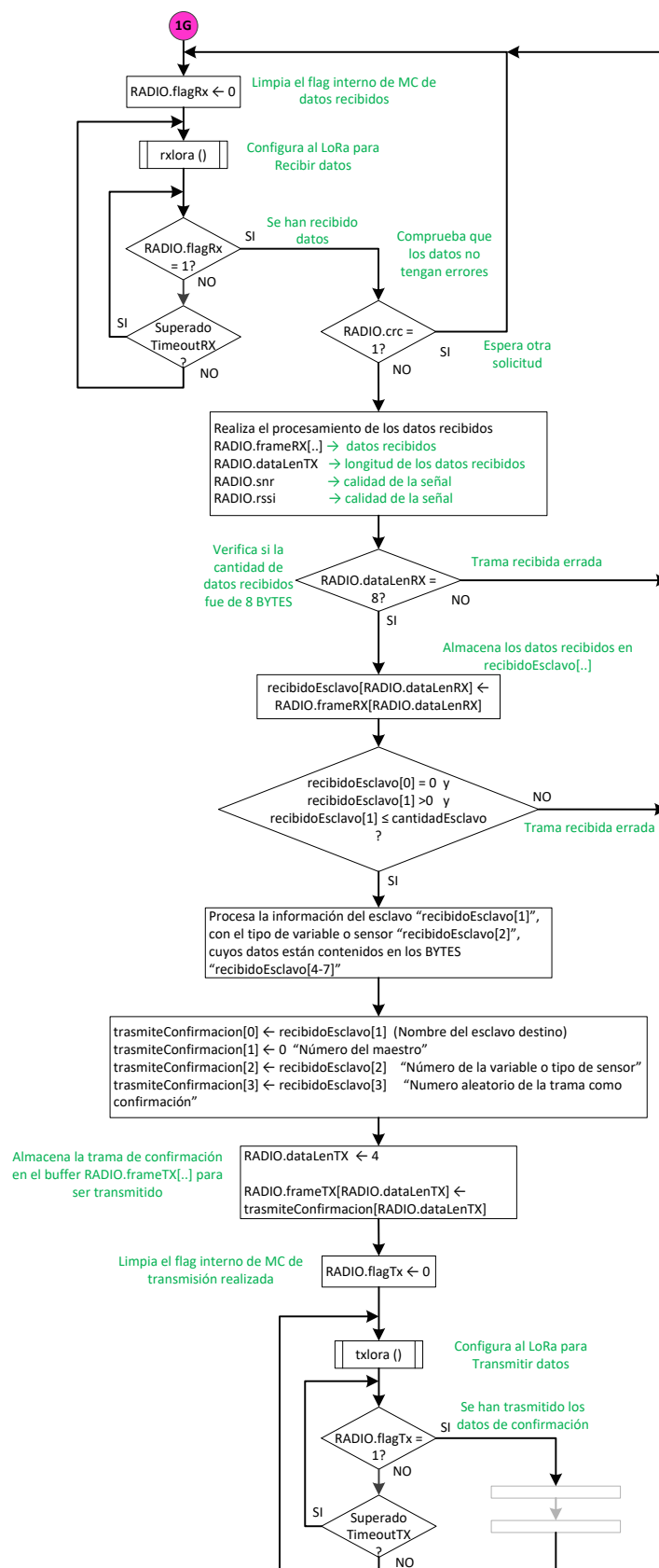


Figura 40. Esquema lógico para dispositivo maestro en aplicación punto-multipunto (parte II).

Fuente: Desarrollado por el autor

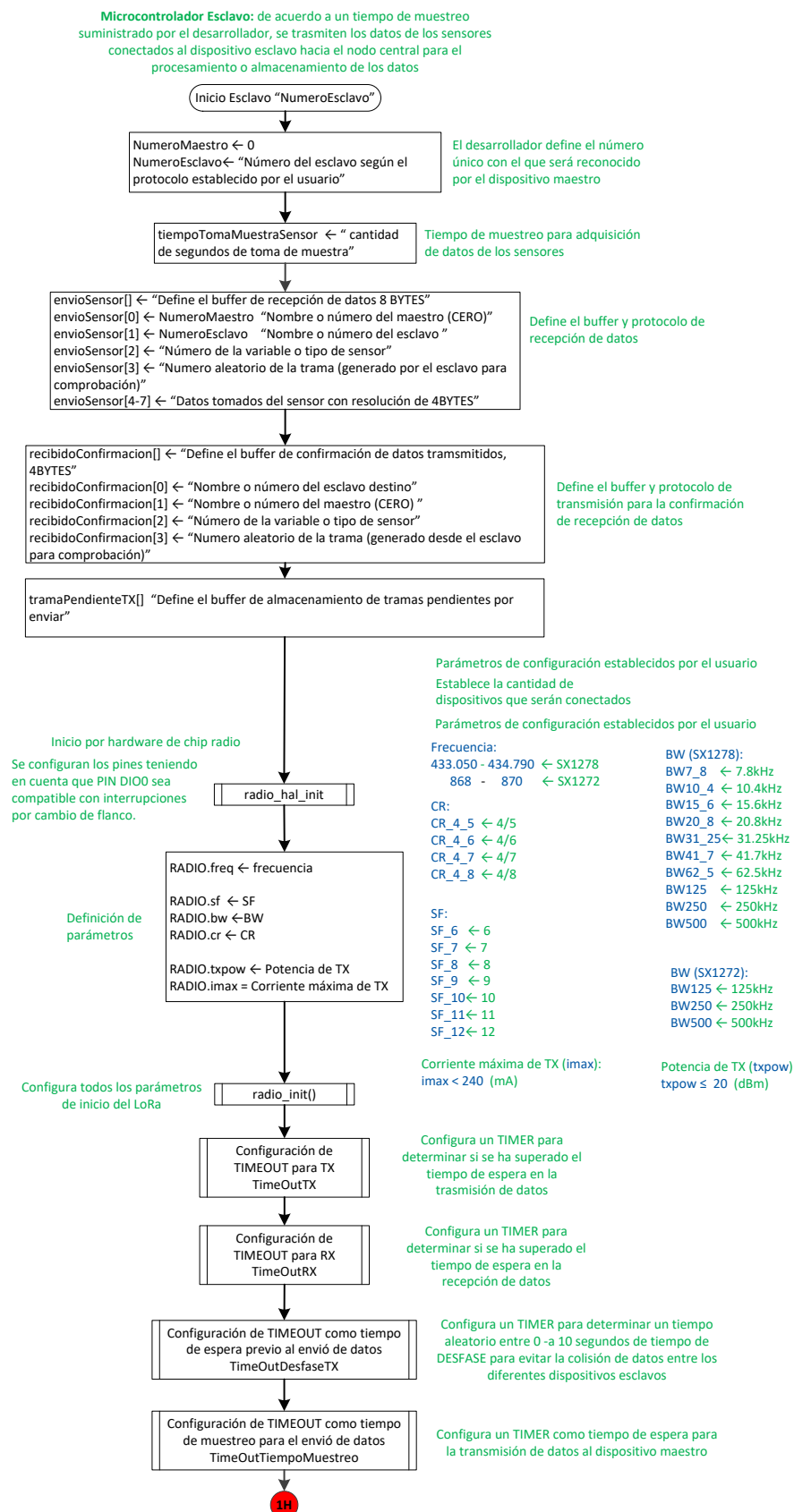


Figura 41. Esquema lógico para dispositivos esclavo en aplicación punto-multipunto (parte I).

Fuente: Desarrollado por el autor

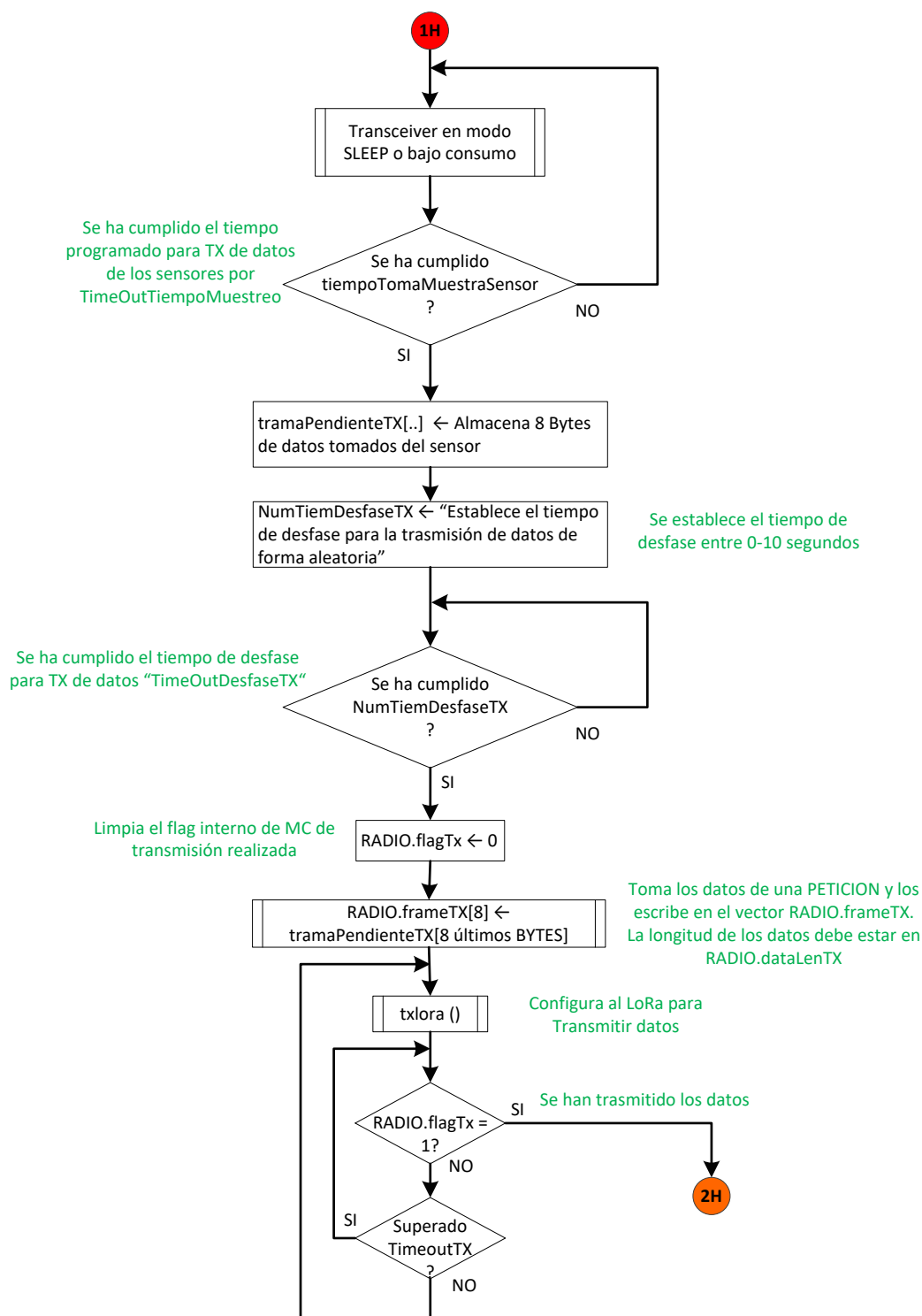


Figura 42. Esquema lógico para dispositivos esclavo en aplicación punto-multipunto (parte II).

Fuente: Desarrollado por el autor

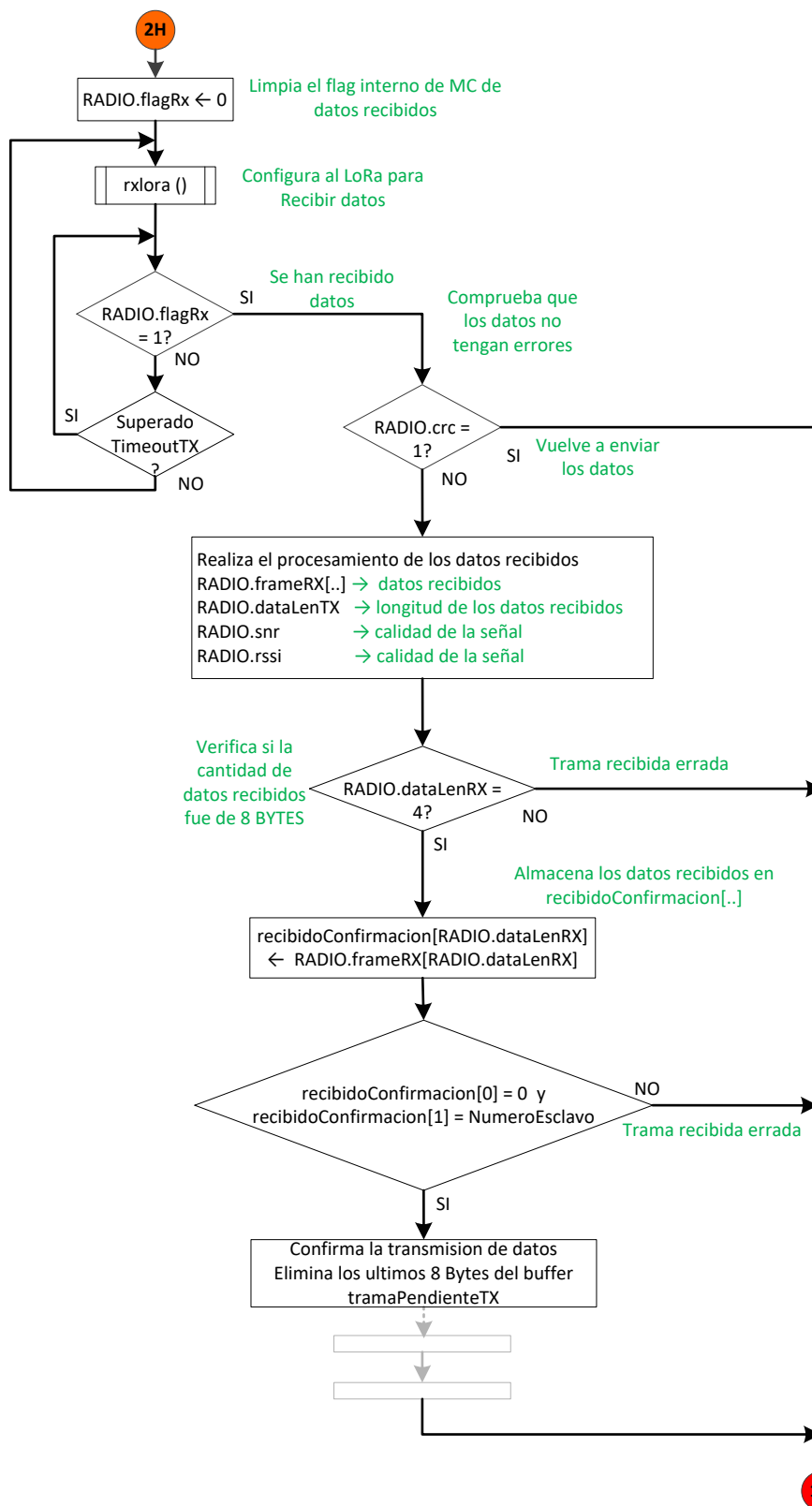


Figura 43. Esquema lógico para dispositivos esclavo en aplicación punto-multipunto (parte III).

Fuente: Desarrollado por el autor

El esquema presentado en las *Figuras 39 y 40* representan la lógica de programación planteada en el flujograma utilizado en sistema embebido maestro. Este dispositivo se encuentra continuamente en modo recepción de datos, cuando recibe la transmisión de datos de dispositivos esclavos, procesa la información y retorna la confirmación. El dispositivo esclavo se encarga de determinar los valores de los sensores remotos, una vez se cumple con el tiempo de muestreo o captura de los valores de los sensores, se transmite al dispositivo maestro. En caso que dos o más dispositivos esclavos transmitan al mismo instante, el dispositivo maestro no responderá la confirmación y en el próximo tiempo cumplido de muestreo se transmitirá los valores pendientes por transmitir. El flujograma propuesto del dispositivo esclavo se presentan en las *Figuras 41, 42 y 43*.

BIBLIOGRAFÍA

Dorji (2015). DRF1278F - 20dBm LoRa Long Range RF Front-end Module. Version 1.11. China.

NiceRF (2015). LoRa1278 100 mW 4 km larga distancia y alta sensibilidad (-139 dBm) 433 MHz módulo de transceptor inalámbrico. Recuperado de <http://es.aliexpress.com/item/2pcs-lot-LoRa1278-100mW-4km-Long-Distance-and-High-Sensitivity-139-dBm-433MHz-Wireless-Transceiver-Module/32461365864.html>, China. Consultado el 22 de junio de 2016.

Semtech (2013). SX1272 Development kit. User guide. Semtech Corporation. Estados Unidos

Semtech SX1272 (2015). SX1272/73 - 860 MHz to 1020 MHz Low Power Long Range Transceiver. Datasheet. Semtech Corporation. Estados Unidos.

Semtech SX1278 (2015). SX1276/77/78/79 - 137 MHz to 1020 MHz Low Power Long Range Transceiver. Datasheet. Semtech Corporation. Estados Unidos.

Texas Instruments (2005). SM-Band and Short Range Device Regulatory Compliance Overview. Estados Unidos.