



UNIVERSIDAD
DE GRANADA

TRABAJO FIN DE GRADO
INGENIERÍA DE TECNOLOGÍAS DE TELECOMUNICACIÓN

Diseño y fabricación de circuitos sinápticos

Circuitos sinápticos y memristores

↳ Este subtítulo es
necesario?

Autor

Alberto Medina Rull

Directores

Noel Rodríguez Santiago

Andrés Godoy Medina



ESCUELA TÉCNICA SUPERIOR DE INGENIERÍAS INFORMÁTICA Y DE
TELECOMUNICACIÓN

Granada, septiembre de 2018

Diseño y fabricación de circuitos sinápticos

Circuitos sinápticos y memristores

Autor

Alberto Medina Rull

Directores

Noel Rodríguez Santiago

Andrés Godoy Medina

Diseño y fabricación de circuitos sinápticos: Circuitos sinápticos y memristores

Alberto Medina Rull

Palabras clave: memristor_clave1, sinapsis_clave2, neurona_clave3, dinámica, memoria, aprendizaje.

Resumen

En la última década, las redes neuronales han tomado un papel protagonista en el mundo de la inteligencia artificial y de la computación. El potencial y las aplicaciones de estas redes que tratan de emular el comportamiento del cerebro son inimaginables. Pero a día de hoy todavía queda mucho trabajo por hacer para conseguir llegar a una red neuromórfica capaz de replicar las habilidades intrínsecas al ser humano como pensar, aprender o adaptarse al entorno. Este proyecto se estructura en dos partes: en primer lugar, el diseño y construcción mediante componentes discretos de un memristor, un elemento básico capaz de memorizar mediante el cambio en el valor de su resistencia y en función del flujo de corriente que lo atraviese en cada instante de tiempo. En segundo lugar, se diseñará y simulará un circuito sináptico capaz de replicar las dinámicas temporales de las corrientes postsinápticas producidas tras la sinapsis neuronal.

Design and manufacturing of synaptic circuits: Synaptic Circuits and Memristors

Alberto Medina Rull

Keywords: memristor, synapse, neuron, dynamics, memory, learning.

Abstract

In the last decade, neural networks have turned to be a main character in the artificial intelligence and computation fields. The possibilities and applications of these networks which try to emulate the brain behavior are huge. But even nowadays, there is still a lot of work to do in order to achieve a neuromorphic network able to replicate the human brain abilities such as thinking, learning or environment adaptation. This project is divided in two parts: first, the design and manufacturing of a memristor, with discrete parts; a basic element able to memorize through the change on the value of its resistance depending on the current flux going through itself at any moment. After that, the design and simulation of a synaptic circuit; able to reply the temporary dynamics of the postsynaptic currents produced as a result of the neural synapsis.

Yo, **Alberto Medina Rull**, alumno de la titulación de Ingeniería de Tecnologías de Telecomunicación de la **Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación de la Universidad de Granada**, con DNI 77145506-X, autorizo la ubicación de la siguiente copia de mi Trabajo Fin de Grado en la biblioteca del centro para que pueda ser consultada por las personas que lo deseen.

Fdo: Alberto Medina Rull

Granada a 5 de mes septiembre de 2018.

D. **Noel Rodríguez Santiago**, Profesor del Área de Electrónica del Departamento Electrónica y Tecnología de Computadores de la Universidad de Granada.

D. **Andrés Godoy Medina**, Profesor del Área de Electrónica del Departamento Electrónica y Tecnología de Computadores de la Universidad de Granada.

Informan:

Que el presente trabajo, titulado *Diseño y fabricación de circuitos sinápticos, Circuitos Sinápticos y Memristores*, ha sido realizado bajo su supervisión por **Alberto Medina Rull**, y autorizamos la defensa de dicho trabajo ante el tribunal que corresponda.

Y para que conste, expiden y firman el presente informe en Granada a 5 de mes septiembre de 2018.

Los directores:

Noel Rodríguez Santiago

Andrés Godoy Medina

Agradecimientos

Quiero dar las gracias en primer lugar a mi familia, **Cristóbal, Clotilde y Laura** y a mi novia **María Jesús**, por la constancia, credibilidad e interés mostrados al escuchar las innumerables historias acerca de transistores, filtros, radios, antenas, memristores, emuladores de sinapsis neuronales y un sin fin de términos que han formado parte no solo de este trabajo fin de grado sino de toda la carrera. Por supuesto a mis tutores Noel Rodríguez y Andrés Godoy, por el apoyo y dedicación mostradas en el desarrollo de cada una de las partes de este proyecto. A Fran García, por todo su tiempo que de forma altruista ha dedicado a este proyecto, así como por transmitirme, junto a Ignacio Sánchez, su pasión y entusiasmo por el electromagnetismo, las numerosas conversaciones acerca de '¿qué hacer después del grado?' y en especial por su ejemplo profesional y de entrega a su trabajo. A aquellos profesores que han ido más allá de enseñar los conocimientos de su asignatura para enseñarnos el lado más humano de la ingeniería, en especial a Gabriel Maciá y Luz Martínez. A todos los compañeros y amigos con los que he tenido la suerte de compartir este camino durante cuatro años y al que este trabajo pone el broche final. **Gracias.**

En Granada, a 6 de septiembre de 2018.

Índice general

1. Introducción	19
1.1. Memristores	19
1.2. Circuitos sinápticos	23
2. Objetivos	27
3. Memristor: diseño y simulación	29
3.1. Diseño y análisis teórico	29
3.1.1. Integrador	30
3.1.2. Comparador	31
3.1.3. Memristor	32
3.2. Simulación por partes	32
3.2.1. Integrador	32
3.2.2. Comparador	33
3.2.3. Memristor	34
3.3. Simulación completa	36
4. Memristor: construcción	41
4.1. Construcción	41
4.2. Resultados	42
4.2.1. Integrador	42
4.2.2. Comparador	43
4.2.3. Memristor	44
5. Circuito sináptico: diseño	51
5.1. Región subumbral (weak-inversion)	51
5.2. Circuitos translineales y en modo corriente	52
5.3. Circuito propuesto	53
5.3.1. Modelo inicial	53
5.3.2. Modelo completo	58
5.4. Simulación	59
5.4.1. Polarización y modelado	59
5.4.2. Modelo inicial	60
5.4.3. Modelo Completo	63

5.5. Modelo extendido	65
6. Conclusiones y Trabajos Futuros	69

Índice de figuras

1.1. Relaciones entre los elementos básicos de un circuito	20
1.2. Dinamica temporal de la corriente producida en la sinapsis	23
3.1. Modelo de memristor	29
3.2. Bloque integrador	30
3.3. Simulación del integrador	32
3.4. Simulación del comparador	33
3.5. Memristor con interruptor	34
3.6. Resistencia equivalente	34
3.7. Memristor con Mosfet	35
3.8. Resistencia equivalente con Mosfet	35
3.9. Esquemático del memristor completo	36
3.10. Salida de cada etapa	37
3.11. Memristor completo	38
3.12. Corriente a través del memristor	39
4.1. Esquemático del memristor completo	41
4.2. Salida de la etapa integradora para entrada sinusoidal	43
4.3. Salida de la etapa integradora para distintos tipos de entrada	44
4.4. Salida de la etapa comparadora para distintas frecuencias	45
4.5. Tensión drenador a fuente del transistor	46
4.6. Corriente a través del memristor	47
4.7. Comparación entre el resultado de la simulación y el experi- mental	48
4.8. Corriente en función de la tensión de entrada	48
5.1. Esquemático del circuito inicial	54
5.2. Esquemático del circuito completo	59
5.3. Esquemático del circuito de polarización	60
5.4. Corriente a través de $M1$ frente a V_1	61
5.5. Frecuencia de corte para distintos valores de I_T	61
5.6. Esquemático del circuito de polarización	62
5.7. Salida para una entrada de pulsos cuadrados	63

5.8. Salida del circuito completo para una entrada de pulsos cuadrados	65
5.9. Esquemático del circuito ampliado	66
5.10. Respuesta del sistema a un tren de impulsos	67

Índice de cuadros

3.1. Valores de la etapa integradora	31
3.2. Elementos del memristor	36
3.3. Configuración del memristor	36
4.1. Elementos del memristor	42
4.2. Configuración del memristor	42
4.3. Configuración del memristor	42

Capítulo 1

Introducción

dispositivo neuromórfico elemental

En este primer capítulo, se va a realizar una introducción al proyecto, así como un estudio de otros trabajos previos en el mismo campo.

El objetivo principal de este proyecto es el estudio, diseño, análisis y fabricación de circuitos sinápticos. En primer lugar, se diseñará un modelo de memristor para su análisis, estudio y fabricación, como primer ejemplo de circuito neuromórfico. A continuación, se diseñará un circuito sináptico de mayor complejidad únicamente a partir de componentes discretos.

El interés por este tipo de topologías surge por la necesidad de encontrar un nuevo tipo de arquitecturas circuitales capaces de comportarse tal y como lo hace nuestro cerebro, y como consecuencia, la creación de un nuevo tipo de computación basada en este tipo de circuitos, de forma que se consiga abandonar definitivamente la computación Von Neumann. De la misma forma que se trabaja en campos como la inteligencia artificial, en esta ocasión el objetivo es un poco más ambicioso: se trata de crear un modelo circuital que consiga por sí mismo comportarse como una neurona. Esto traería una gran cantidad de beneficios a la computación, ya que cada una de estas neuronas tendría su propia memoria, por lo que la información se encontraría al mismo tiempo en toda la red, y no localizada en un único punto, como ocurre en los dispositivos actuales. Además, se conseguiría reducir el consumo de potencia, ya que sendos circuitos que se van a proponer logran trabajar con un consumo de potencia muy bajo.

Sin embargo, aunque se consiguiera llegar a este tipo de circuitos, aún quedarían muchas incógnitas por resolver, como por ejemplo, qué arquitectura se asociaría a cada tarea específica o cuál sería el alcance real de estas neuronas.

1.1. Memristores

La primera persona que propuso la existencia del memristor fue Leon O. Chua [2] en el año 1971. En su artículo propone la existencia de un cuarto

elemento circuital básico denominado memristor, cuya curva característica completaría las relaciones entre los cuatro parámetros básicos de todo circuito: v tensión, i intensidad eléctrica, q carga y φ flujo, de la forma $\varphi - q$, y se comportaría como una resistencia no lineal con memoria. Esta memoria se traduciría en que el valor de la resistencia del memristor dependería del flujo φ que lo atravesara en un instante anterior, de forma que si el circuito que lo contiene interrumpiera su funcionamiento, este quedaría con el último valor que recordase. Las relaciones mencionadas antes, así como la necesidad de la existencia de un nuevo elemento se pueden observar en la figura 1.1 tomada de [6].

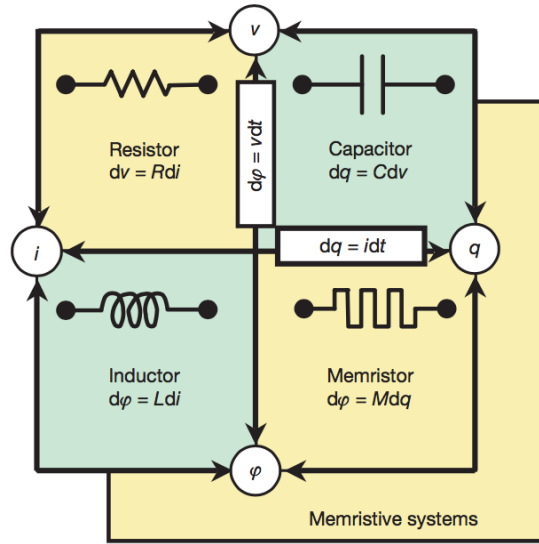


Figura 1.1: Relaciones entre los elementos básicos de un circuito

En el año 1976, el mismo autor publicaría un nuevo artículo junto con Sung Mo Kang [4], en el que ampliarían el concepto de memristor para incluir los llamados sistemas memristivos, con una variedad de propiedades dinámicas, tales como la ya mencionada capacidad de memorizar, efectos inductivos y capacitivos para pequeña señal, y la más importante, la figura de Lissajous¹, debido al paso por el origen como consecuencia de la histéresis que se produciría en este tipo de sistemas mediante la variación de la frecuencia de trabajo. Para frecuencias bajas, estos sistemas memristivos serían idénticos a una resistencia no lineal, mientras que a medida que la frecuencia aumentara, se asemejarían más a una resistencia lineal. Además proponían una serie de condiciones para identificar este tipo de sistemas, al mismo tiempo que reconocían dispositivos como los termistores dentro de este grupo.

¹La curva o figura de Lissajous es la gráfica de la superposición de dos movimientos armónicos simples en direcciones perpendiculares.

Más adelante, en el año 2009, sería de nuevo Leon O. Chua, junto con Massimiliano Di Ventra y Yuriy V. Pershin en [3], quienes propondrían la existencia del memcapacitor y meminductor, al mismo tiempo que asentarían las bases previamente expuestas acerca del memristor. En este documento se expone el enorme potencial de estos dispositivos. Su capacidad única para almacenar información sin consumo de energía, los harían inmejorables para la computación analógica, que vendría a romper todos los límites alcanzados por la computación digital actual. Por otra parte, permitirían el acercamiento a los mecanismos constitutivos del cerebro humano, tales como la adaptación o el aprendizaje.

En este mismo artículo, se describen algunas de las propiedades de los sistemas memristivos. En primer lugar, se describen los sistemas memristivos como sistemas de escala nanométrica cuya resistencia depende de su estado. Son dispositivos pasivos. No sufren descarga de energía, que se deduce fácilmente del hecho de que una resistencia no es capaz de almacenar energía, como sí que ocurre en los condensadores y en las bobinas. Presentan un ciclo de histéresis, de forma que en la curva $I - V$ de un memristor, se observa que cuando la tensión aumenta, la corriente aumenta con una pendiente, y cuando la tensión disminuye, la corriente disminuye con una pendiente diferente a la primera, de donde se deduce que toma valores de resistencia diferentes. Por otra parte, se comportan como dispositivos no lineales a frecuencia cero, y como dispositivos lineales a frecuencia infinita. Esto se debe a que a frecuencias bajas, el periodo es muy grande por lo que el dispositivo tiene el tiempo suficiente para ajustar el valor de su resistencia en base a un parámetro de control. Sin embargo, a alta frecuencia, el periodo es muy pequeño por lo que el memristor o sistema memristivo, no tiene tiempo de cambiar de valor. Finalmente, se espera observar un ligero comportamiento capacitivo debido a la formación de dipolos en la resistencia, que trae como consecuencia que la figura de histéresis no pasa por cero a ciertas frecuencias.

Para concluir esta introducción, se van a presentar distintos proyectos que se están desarrollando o se han desarrollado acerca del memristor. Uno de los más interesantes, es sin duda el llevado a cabo por Yuriy V. Pershin, Steven La Fontaine y Massimiliano Di Ventra [5]. En este, se estudia el comportamiento de una ameba en respuesta a una serie de variaciones de las condiciones ambientales, concretamente humedad y temperatura. Se observa que la ameba responde disminuyendo su velocidad de movimiento ante varios impulsos de frío y baja humedad. Una vez que los impulsos paran, la ameba sigue disminuyendo su velocidad en los instantes en los que los impulsos habrían seguido llegando, prediciendo por tanto la frecuencia del patrón de impulsos que se le estaba aplicando. Pese a que este comportamiento desaparece con el tiempo, si se vuelve a aplicar un único impulso, la ameba responde con varios impulsos reduciendo su velocidad, por lo que se puede concluir que ésta ha aprendido que tras un impulso siguen otros

más. Además, se observa que cuando la ameba se mueve como consecuencia de estos impulsos, el flujo de la solución viscosa presente en su endoplasma, cambia de forma no lineal, de la misma forma que en un memristor la resistencia cambia de forma no lineal cuando lo hace la tensión entre sus terminales.

Dimitri B. Strukov, Gregory S. Snider, Duncan R. Stewart y R. Stanley Williams proponen en [6] una implementación del memristor. Consiste en una fina lámina de óxido entre dos contactos metálicos, de forma que esta lámina tiene una región con una alta concentración de dopantes, y por tanto una baja resistencia, y el resto de la misma una baja concentración, y por tanto una resistencia alta. La aplicación de una tensión entre sus terminales hace que el límite entre ambas regiones se desplace, causando el desplazamiento de dopantes y por tanto el cambio en el valor de la resistencia. Además, se vuelve a hacer hincapié en el hecho de que los memristores tienen sentido cuando se habla a escala nanométrica, ya que los términos relacionados con la memristancia empiezan a ser considerables.

Mo Chen, Jingjing Yu, Qing Yu, Changdi Li and Bocheng Bao proponen un nuevo circuito basado en la propuesta inicial de Chua, para emular el comportamiento de un memristor debido a la falta de un modelo físico de memristor que se comporte de la forma deseada en [7]. Este consiste en un puente de diodos completo, en paralelo con un condensador y una resistencia. A través de la carga y descarga del condensador, se consigue el efecto de un cambio en la resistencia observada a la salida del circuito.

En [8] se propone la creación de un nuevo tipo de memoria denominada MCAM: Memristor based Content Addressable Memory. La estructura propuesta en este caso, se basa en un transistor nMOS en cuyo drenador se encuentra un memristor, que varía entre estados de baja y de alta impedancia, constituyendo así ambos estados lógicos, 0 y 1. Así, cada celda básica está formada por dos de estas estructuras. Además, el autor crea mediante la unión de dos o más de estas celdas básicas, puertas lógicas tales como NOR o NAND. Estas celdas permiten tanto modo de lectura como de escritura. Los resultados de las simulaciones muestran un 45 por ciento menos de área de silicio respecto a las memorias SRAM convencionales, así como una velocidad de entre 5 y 12 nanosegundos (comparable a la de estos) y un impresionante 96 por ciento de reducción en la disipación de potencia.

de escritura / lectura?

Más recientemente, en [9], se ha propuesto un modelo de heteroestructura formado por MoO_x/MoS_2 y WO_x/WS_2 entre dos electrodos, que consigue tener una resistencia programable en un rango muy alto de valores, para una alimentación menor de un voltio. El control del valor de la resistencia del material se realiza mediante una delgada capa de óxido, de forma que se experimenta una alta no linealidad que permite observar el comportamiento sináptico al aplicar pulsos eléctricos consecutivos. Sobre esto se hablará más adelante en el apartado de circuitos sinápticos.

Finalmente, es reseñable el trabajo realizado en [10] por Kuk-Hwan Kim,

en el que se propone un memristor híbrido entre la lógica CMOS tradicional y celdas de memristores, de nuevo para el almacenamiento de información y para aplicaciones neuromórficas.

1.2. Circuitos sinápticos

La sinapsis es el proceso mediante el cual una neurona transmite a otra un impulso nervioso, es decir, una señal. Cuando un impulso nervioso o potencial de acción llega al terminal presináptico de la neurona, se suceden una serie de procesos que conducen a la liberación de los llamados neurotransmisores que dan paso al flujo de corrientes iónicas hacia dentro o hacia fuera de la membrana postsináptica. Estas corrientes se caracterizan por tener dinámicas temporales que pueden llegar a durar hasta cientos de milisegundos.

El modelado de estas dinámicas temporales de las corrientes postsinápticas es fundamental para la comprensión de los códigos neuronales así como para la codificación de los trenes de impulsos neuronales, de los que se hablará más adelante. En la figura 1.2 tomada de (?) se observa la corriente postsináptica producida por un modelo de sinapsis neuronal, en la que se aprecia su dinámica temporal. Esta característica temporal es la que se seguirá en el diseño del circuito sináptico de este proyecto.

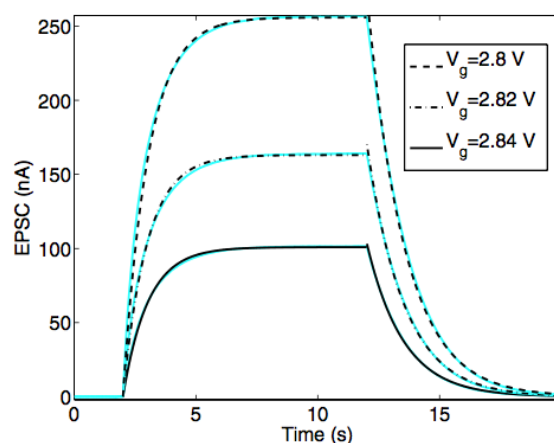


Figura 1.2: Dinámica temporal de la corriente producida en la sinapsis

Sin embargo este modelado ha sido dejado de lado en muchas redes neuronales computacionales debido a la gran carga de cálculo que conlleva, sustituyendo típicamente la sinapsis por un operador multiplicador (?). También en modelos VLSI, estas sinapsis han sido sustituidas por circuitos multiplicadores (?).

Se busca llegar a un compromiso entre modelos altamente detallados y en consecuencia con una alta carga computacional de las corrientes sinápticas

y modelos excesivamente sencillos, que no reflejen las dinámicas temporales de las corrientes.

Uno de los modelos de referencia utilizados en el desarrollo del circuito propuesto en este trabajo, es el realizado por Destexhe, Mainen y Sejnowski en [?], donde se muestra un modelo basado en exponenciales que reproduce a gran escala las principales propiedades de la transmisión sináptica.

Un circuito sináptico es capaz de transformar pulsos de tensión pre-sinápticos en corrientes postsinápticas inyectadas en la membrana de la neurona objetivo, con una ganancia conocida como *peso sináptico*. Estos comportamientos son modelables mediante transistores operando en la región subumbral, como se explicará mas adelante.

En [?], Mead propone uno de los primeros modelos de circuitos sinápticos haciendo uso de la región de operación subumbral de los transistores, en el año 1989. El circuito consiste en una fuente de corriente controlada por tensión que se activa cuando se recibe un pulso a la entrada. La salida del circuito es una corriente que dura lo mismo que el pulso de entrada. El circuito es muy compacto pero no consigue integrar los pulsos de entrada en una corriente continua a la salida. Además, los trenes de pulsos a la entrada con la misma media temporal en la llegada de los pulsos pero diferencias en el espaciado temporal entre un pulso y el siguiente no pueden diferenciarse correctamente, por lo que pueden confundirse distintos tipos de trenes de pulsos a la entrada.

A principios de los años 90, Lazzaro propone en [?] un modelo de circuito en el que la duración de la corriente de salida se puede alargar mediante una caída exponencial cuyo valor es ajustable mediante alguno de los parámetros del mismo. Esta solución produce una corriente a la salida que dura más que el modelo anterior pero ésta solo depende del último impulso recibido, por lo que no cumple el requisito de linealidad deseado en este tipo de arquitecturas.

En el año 1997, Boahen propone en [?] un integrador en forma de espejo de corriente, de nuevo trabajando en región subumbral. Éste produce una corriente de salida que aumenta a medida que aumenta el número de pulsos recibidos a la entrada y presenta una condición de saturación que depende de su peso sináptico. Durante la fase de carga, la corriente de salida crece de forma exponencial mientras que durante la fase de descarga cae con una pendiente de tipo $1/t$. Esta descarga es mucho más rápida que la mostrada en otros circuitos del mismo tipo. A pesar de esto, sigue sin poder usarse para la suma de corrientes postsinápticas de forma lineal.

Para concluir, en el año 2004, de nuevo Boahen junto a Merolla en [?] proponen una revisión de su modelo anterior. En esta ocasión el circuito modelado es realmente un integrador lineal. La ventaja de este modelo es que tiene propiedades de filtrado, por lo que puede ser utilizado para sumar de forma lineal las entradas recibidas de diferentes fuentes. Sin embargo presenta dos problemas: el primero, el área que ocupa es mayor que la de

otros modelos similares. El segundo, la longitud de los pulsos utilizados es demasiado corta para introducir suficiente carga en la membrana de la neurona postsináptica, y por tanto se hace difícil observar algún efecto a la salida.

Capítulo 2

Objetivos

El objetivo de este *proyecto fin de grado* es realizar un estudio de los llamados circuitos neuromórficos, considerados como una de las líneas de investigación actuales con más peso en el campo de las redes neuronales, y que permitirían modelar el comportamiento real de partes del sistema nervioso de un ser vivo, tales como las neuronas o procedimientos como las sinapsis, bases del aprendizaje. Además, debido a su capacidad de memorizar información, son uno de los puntos clave en el avance de la computación, y se ven como una de las alternativas con mayor aplomo a los dispositivos de arquitectura Von Neumann actuales, tal y como los conocemos: permitirían que la información se encontrara al mismo tiempo en todos los puntos de un ordenador, de forma que el procedimiento de acceso a memoria se convertiría en innecesario. A todo esto hay que añadir su bajo consumo de potencia, que permitiría aumentar la eficiencia de los dispositivos en gran medida, otro de los grandes escollos en la escalabilidad de los sistemas actuales. Por todo esto, se ha escogido esta temática para desarrollar este trabajo, con el objetivo de poder ahondar un poco más en este tipo de circuitos, aprender de las líneas de investigación más recientes en el campo, así como proponer nuevos modelos circuitales que solucionen los paradigmas actuales de estos dispositivos al mismo tiempo que la búsqueda de nuevas aplicaciones reales para los modelos obtenidos.

Específicamente, se propondrá en primer lugar un modelo de memristor basado en componentes discretos. A continuación, se diseñará un modelo de circuito sináptico, basado en el uso de los llamados circuitos translineales y haciendo uso de transistores MOSFET en región de operación subumbral, para así lograr el objetivo de obtener un consumo en potencia muy reducido. Una vez diseñados y simulados sendos circuitos, se procederá a la construcción del primero de ellos. Finalmente se analizarán y evaluarán todos los resultados obtenidos.

Capítulo 3

Memristor: diseño y simulación

En este capítulo, se va a desarrollar el diseño del modelo de memristor propuesto. Como ya se ha explicado en la introducción, un memristor es un resistor con memoria, capaz de tomar dos valores de resistencia diferentes en función de la corriente que lo atraviesa en cada momento, además de recordar el estado anterior al que se encuentre en un momento determinado. El capítulo se va a estructurar en tres partes. La primera, de diseño y fundamento teórico, en la que se expondrá el diseño del memristor así como el análisis teórico del mismo. La segunda, de simulación, y finalmente la interpretación de los resultados obtenidos.

3.1. Diseño y análisis teórico

El modelo de memristor propuesto se puede observar en la figura 3.1.

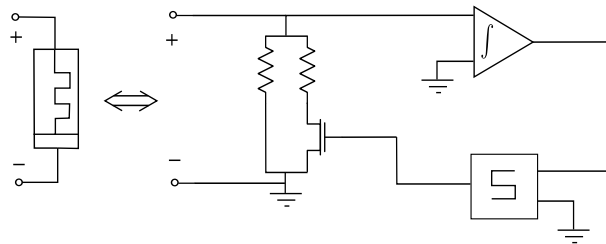


Figura 3.1: Modelo de memristor

Los terminales del memristor son los indicados con signo positivo y negativo. Como se puede observar, el valor de la resistencia vista desde los terminales, variará según el estado del transistor que controla la rama de la derecha del memristor, de forma que cuando el transistor esté en ON, el valor de resistencia vista desde los terminales será el paralelo del valor de ambas

(*) Para nuestro memristor buscamos que el flujo controle el valor de resistencia.

resistencias, mientras que cuando el transistor esté en OFF, por la rama de la derecha no circulará corriente quedando ésta en circuito abierto. En este caso, la resistencia vista desde los terminales será solamente el valor de la primera resistencia. Esto se debe a que delante del integrador se colocará un amplificador operacional en configuración de seguidor de tensión, por lo que por el bloque integrador no entrará corriente de la entrada del memristor. El control del estado del MOSFET se efectúa mediante un integrador seguido de un comparador de la siguiente forma. Para un memristor se busca relacionar el flujo con la carga. Por tanto, si integramos la tensión a lo largo del tiempo, tenemos el flujo que circula a través de la resistencia a lo largo del tiempo, de forma que ya tenemos la variable de control del memristor. Basta con añadir un bloque comparador que se encargue de llevar la señal que recibe del integrador a valores extremos ON-OFF, de forma que sea la entrada idónea para la puerta del MOSFET que irá alternando entre estados ON y OFF, y por tanto variando el valor de la resistencia vista desde los terminales del memristor.

De esta forma se ha conseguido llegar a un modelo de memristor que cumple con las condiciones necesarias para serlo: relaciona el flujo con la carga, presenta una característica no lineal y tiene memoria: alterna entre dos valores de resistencia en función de la entrada que recibe. El resumen es que para un flujo de corriente que atraviese en un momento concreto al memristor, este presentará un valor de resistencia concreto, pero este podrá cambiar si así lo hace la corriente a través del memristor.

A continuación se procede a hacer un desarrollo en detalle de cada uno de los bloques que componen el memristor.

3.1.1. Integrador

En la figura 3.2 se muestra el esquema del bloque integrador diseñado.

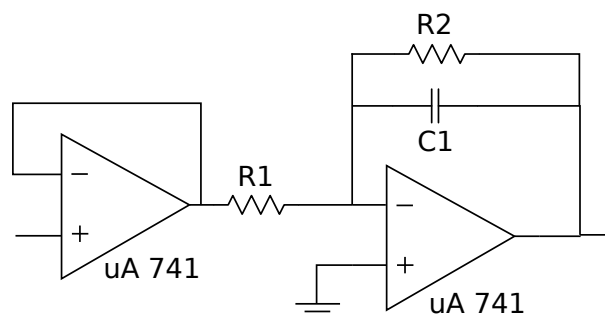


Figura 3.2: Bloque integrador

Para el diseño de esta etapa, se ha hecho uso de un amplificador operacional con realimentación negativa. De esta forma, del análisis del circuito propuesto, se puede llegar a las siguientes ecuaciones:

Por realimentación negativa:

$$V^+ = V^- = 0$$

Del análisis de corrientes en el nodo de V^- :

$$\frac{V_{in}}{R_1} = \frac{-V_o}{R_2} - \frac{V_o}{Z_c}$$

Desarrollando, llegamos a:

$$V_o = -V_{in} \frac{1}{\frac{R_1}{R_2} + sR_1C_1}$$

donde se observa la relación entre la entrada y la salida de la etapa en el dominio de Laplace. Como se desea obtener un bloque que integre, sería conveniente llegar a una ecuación de la forma $V_o = V_{in}\dot{k}/s$, ya que $TL^{-1}\{1/s\} = \int dt$. Para ello, basta con hacer que:

$$R_2 \gg R_1$$

de forma que quedaría:

$$V_o = -V_{in} \frac{1}{s} k$$

con $k = 1/R_1C_1$. De esta forma, en el dominio del tiempo nos queda:

$$V_o(t) = -k \int V_{in}(t) dt$$

En el cuadro 3.1 se muestran los valores empleados para el diseño de este bloque. Se puede comprobar que se cumple la condición de que $R_2 \gg R_1$.

$R_1(k\Omega)$	$R_2(k\Omega)$	$C_1(nF)$
1	100	100

Cuadro 3.1: Valores de la etapa integradora

Además se ha añadido un amplificador operacional en configuración seguidor de tensión a la entrada del mismo para que no haya corriente que entre por esta rama, de forma que la equivalencia del memristor mostrada en la figura 3.1 se cumpla.

3.1.2. Comparador

El bloque comparador funciona de la siguiente forma. Cuando el valor que recibe por el terminal de entrada de la señal (terminal inversor) es mayor que el valor de comparación (nivel de tensión en el terminal no inversor), la

salida será un valor de tensión alto, concretamente el valor de la alimentación positiva con que se esté alimentando. En caso contrario, la salida será el valor de la alimentación negativa o, en su caso, el cero. En este caso se ha configurado la etapa para que realice la comparación con el cero, por lo que la señal entra por el terminal inversor, y el terminal no inversor se ha conectado a masa.

3.1.3. Memristor

Finalmente, las dos resistencias en paralelo junto con el MOSFET nMOS en una de las ramas, que son las que hacen que el memristor oscile entre dos valores de resistencia, se ha configurado de forma que una de las resistencias valga $R_{1m} = 10k\Omega$ y la otra $R_{2m} = 1M\Omega$. El MOSFET recibirá la salida del comparador como una señal cuadrada de valores de tensión entre 5 y 0. Cuando $V_{GS} > V_{th}$, el transistor entrará en conducción, y cuando $V_{GS} < V_{th}$ dejará de conducir.

3.2. Simluación por partes

A continuación se va a mostrar los resultados obtenidos tras la simulación de cada una de las etapas, y finalmente de todo el conjunto. Para ello se hará uso del software de diseño y simulación de circuitos PSpice.

3.2.1. Integrador

En la figura 3.3, se puede observar el resultado de la simulación del bloque integrador.

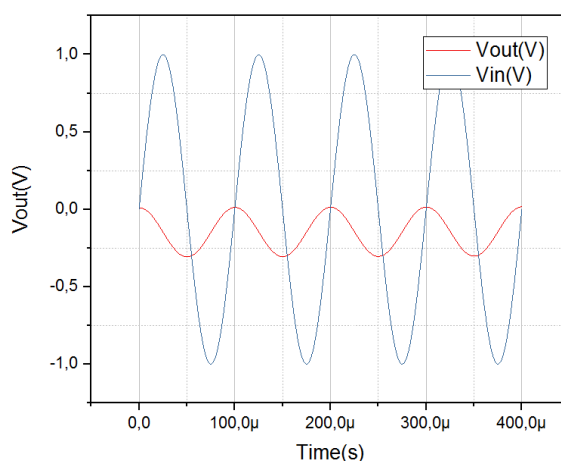


Figura 3.3: Simulación del integrador

La entrada del circuito en este caso, ha sido una señal sinusoidal de la forma

$$V_{in}(t) = A \sin(\omega t)$$

con $A = 1V$ y $f = 10kHz$. Por tanto, el resultado que se espera a la salida del integrador, es la integral de la señal de entrada, es decir, una señal de tipo cosenoidal con la misma frecuencia pero distinta amplitud. Como se puede ver en la figura 3.3, la salida del circuito se muestra en la traza de color roja, y efectivamente, se trata de una señal de tipo cosenoidal, con distinta amplitud y ligeramente desplazada hacia abajo. Se puede concluir por tanto, que el resultado es satisfactorio, y que el bloque integrador funciona correctamente.

→ debido a la carga inicial del condensador?

3.2.2. Comparador

En la figura 3.4 se puede observar el resultado de la simulación del bloque comparador.

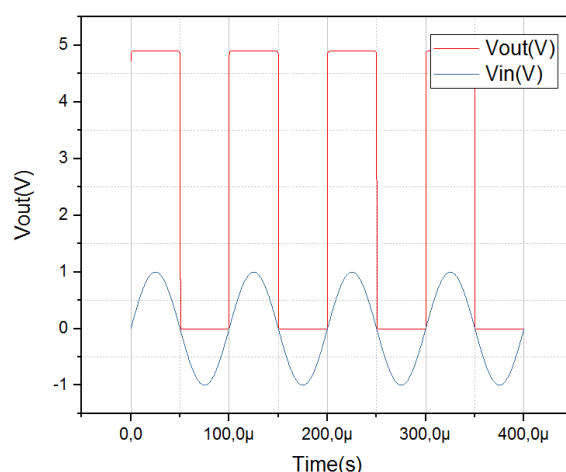


Figura 3.4: Simulación del comparador

De nuevo se ha usado una entrada sinusoidal con $f = 10kHz$ y amplitud uno. Según la configuración descrita en el apartado 3.1.2 de esta memoria, se espera que cuando la señal tome valores de tensión mayores que cero, la salida sea de cinco voltios, mientras que cuando la señal sea menor que cero, la salida se cero. En la figura 3.4 se observa que para los valores en que el seno es positivo, es decir en $t \in [0, T/2]$, la salida es un valor alto de valor $V_{out} = 5V$, mientras que cuando el seno toma valores negativos, en $t \in [T/2, T]$, la salida es $V_{out} = 0V$. Se puede concluir que el resultado del bloque comparador obtenido tras la simulación es el deseado, ya que se consigue obtener una señal cuadrada que oscila entre valores alto y bajo, y que servirá de entrada para la siguiente etapa.

3.2.3. Memristor

En este apartado se va a simular la parte de las dos resistencias conectadas en paralelo. Para llevar a cabo esta simulación, en primer lugar se va a sustituir el Mosfet por un interruptor, para comprobar el correcto funcionamiento del circuito.

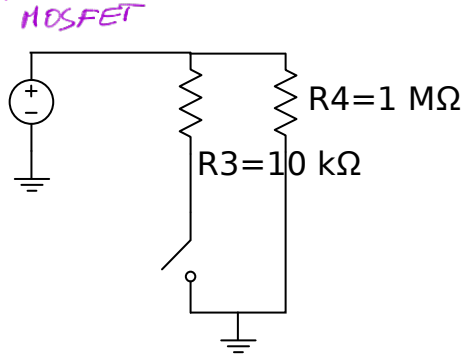


Figura 3.5: Memristor con interruptor

En la figura 3.5, se observa el circuito simulado. El interruptor se controla mediante una fuente de pulsos cuadrada, de forma que cuando los pulsos superen un nivel de tensión previamente fijado, el interruptor se cierra, quedando el circuito completamente cerrado y siendo en este caso el paralelo de ambas resistencias el valor de la resistencia vista desde los terminales del memristor. En caso contrario, el interruptor se abre quedando la rama de la izquierda en circuito abierto, por lo que la resistencia por la que circula corriente sería solo la de la rama de la derecha. Para observar estos cambios, basta con evaluar la resistencia equivalente vista desde los terminales de interés.

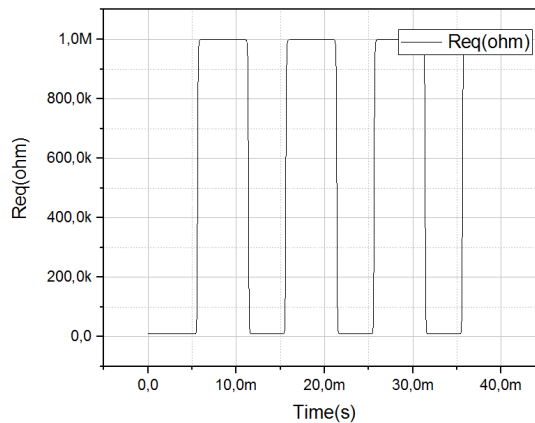


Figura 3.6: Resistencia equivalente

En la figura 3.6, se puede observar el resultado de la simulación del circuito de la figura 3.5. Se observa que va oscilando entre valores de resistencia $R_{eq} \approx 10k\Omega$ y $R_{eq} \approx 1M\Omega$. Es por tanto el resultado esperado.

El siguiente paso es sustituir el interruptor por un Mosfet.

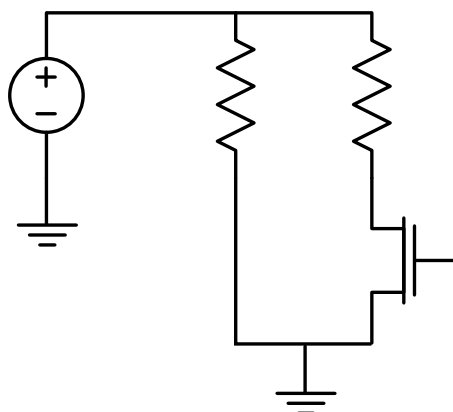


Figura 3.7: Memristor con Mosfet

En la figura 3.7, se observa el circuito simulado. En este caso, la fuente de pulsos cuadrados se conectará a la puerta del Mosfet, de forma que cuando la tensión de la fuente supere la tensión umbral del transistor, este entrará en conducción. Cuando la tensión de la fuente de pulsos sea menor que la umbral, la rama de la derecha quedará en circuito abierto.

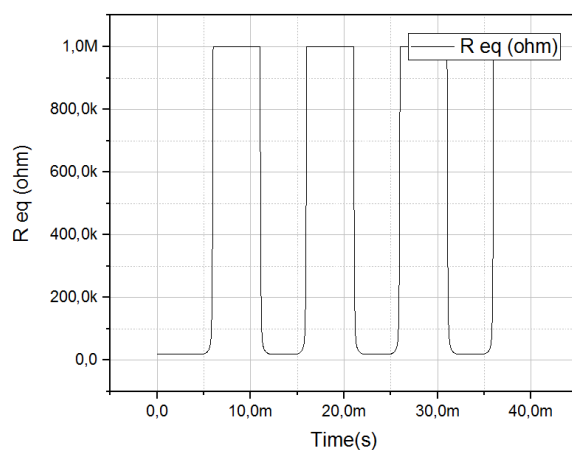


Figura 3.8: Resistencia equivalente con Mosfet

De nuevo, se puede observar en la figura 3.8 que la resistencia equivalente oscila entre dos valores, en este caso entre $R_{eq} \approx [20k-1M]\Omega$. El primer valor no es exactamente el paralelo entre $10k\Omega$ y $1M\Omega$, ya que el transistor cuando conduce, tiene una resistencia que queda en serie con la primera, de forma

que la resistencia total de la rama de la izquierda sería $R_{izq} = R_1 + R_{nMOS}$. En cualquier caso, se ha conseguido que el circuito oscile entre dos valores de resistencia diferentes, que era el objetivo principal.

3.3. Simulación completa

Finalmente, se han unido todas las etapas para observar el resultado final. En la figura 4.1 se puede observar el esquemático del circuito completo.

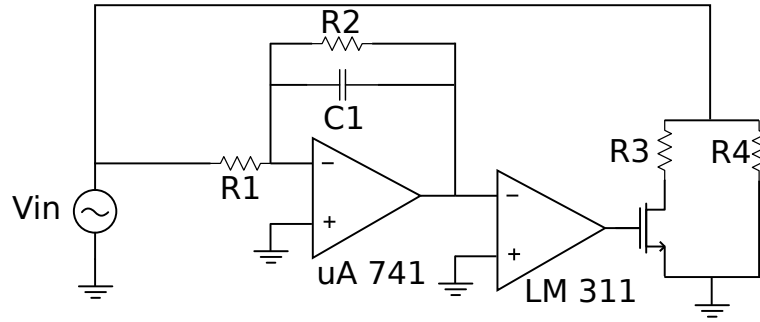


Figura 3.9: Esquemático del memristor completo

emulador de

Además, en el cuadro 4.1 se muestran los valores de cada uno de los componentes utilizados, y en el cuadro 4.2 la configuración del resto de parámetros del circuito.

$R_1(k\Omega)$	$R_2(k\Omega)$	$C_1(nF)$	$R_3(k\Omega)$	$R_4(k\Omega)$
1	100	100	10	1000

Cuadro 3.2: Elementos del memristor

$V_{cc}(V)$	$V_{ss}(V)$	$V_{in}(V)$
5	-5	$\sin(t2\pi10kHz)$

Cuadro 3.3: Configuración del memristor

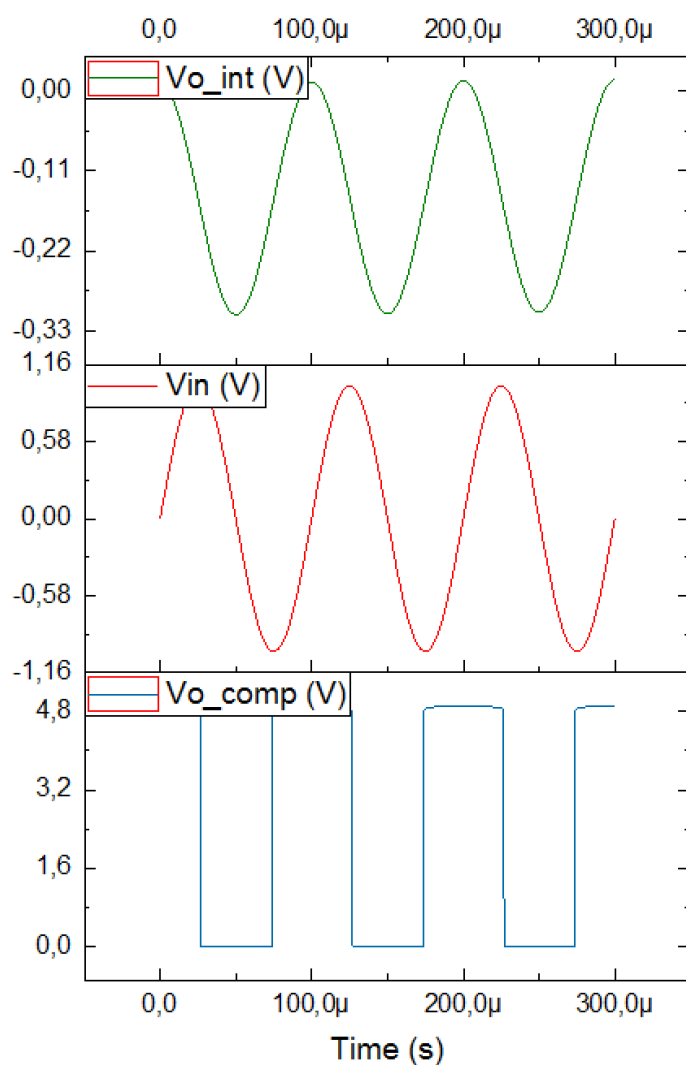


Figura 3.10: Salida de cada etapa

En la figura 3.10 se pueden observar la entrada y salida de cada una de las etapas una vez que están todas conectadas. Se comprueba que el resultado sigue siendo satisfactorio: para la señal de entrada de tipo sinusoidal V_{in} , la salida de la etapa integradora (V_{o_int} en la figura) es un coseno, y la salida de la etapa comparadora (V_{o_comp}) es una señal cuadrada que oscila entre dos valores que servirán para poner el transistor del memristor en ON y OFF sucesivamente.

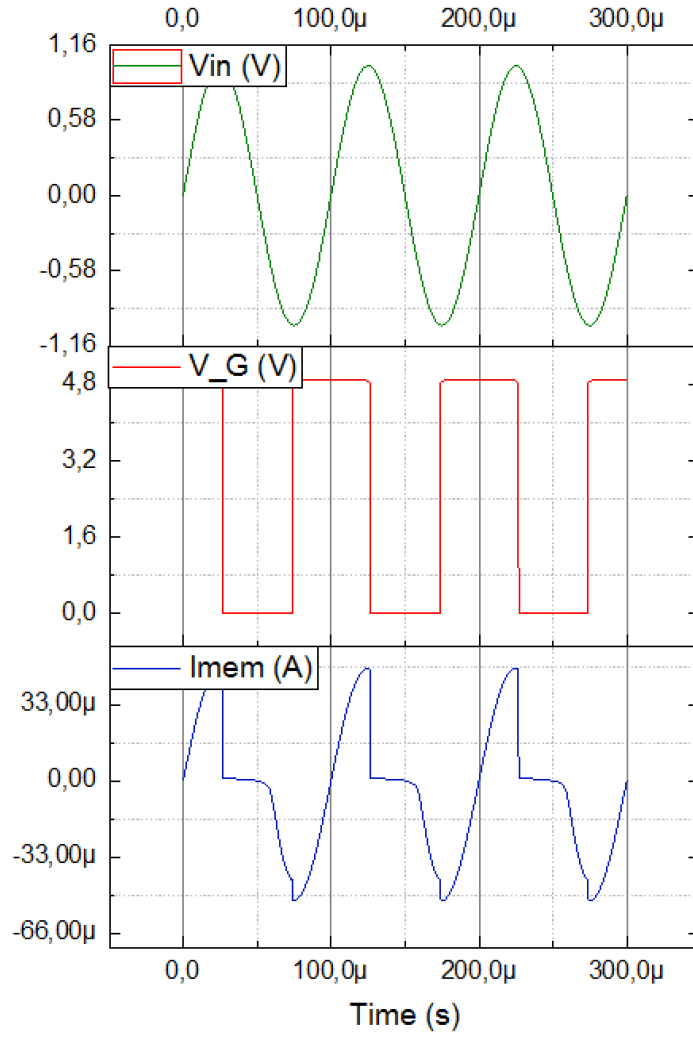


Figura 3.11: Memristor completo

En la figura 3.11, se muestran los resultados de la simulación del memristor completo. V_{in} es la señal de entrada, V_G es la tensión en la puerta del transistor y I_{mem} es la corriente a través de la rama que une a R_3 y a R_4 . Tal y como se esperaba, cuando el transistor está en ON, la corriente a través del memristor queda descrita por la ley de Ohm de la forma:

$$I_{mem_1} = \frac{V_{in}}{R_3 || R_4} \quad (3.1)$$

Mientras que cuando el transistor pasa a estar en OFF, esta corriente pasa a describirse por:

$$I_{mem_2} = \frac{V_{in}}{R_4} \quad (3.2)$$

O lo que es lo mismo, en cada caso la corriente viene descrita como el producto de la señal de entrada V_{in} por un factor $k_1 = 1/(R_3||R_4)$ ó $k_2 = 1/R_4$, de forma que la corriente I_{mem} mantendrá la forma de onda de la tensión de entrada pero cambiará su amplitud. Esto es lo que se observa en las figuras 3.11 y 3.12, cuando el transistor está en ON, la corriente mantiene la forma de onda de la tensión de entrada con una amplitud concreta, mientras que cuando pasa a estar en OFF, se observa como la amplitud de la señal cae, para volver a aumentar cuando el transistor vuelve a estar en ON. Estos cambios en la amplitud de la corriente son las evidencias de que hay un cambio en el valor de la resistencia del memristor.

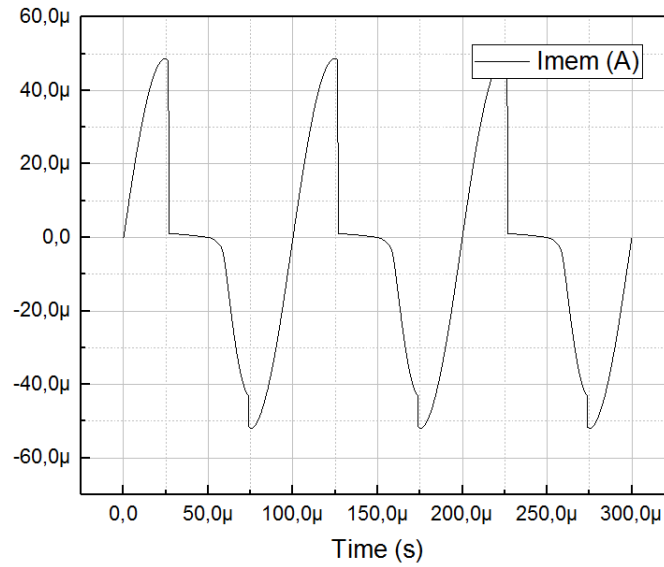


Figura 3.12: Corriente a través del memristor

En la figura 3.12 se puede observar en detalle la forma de la corriente que circula a través del memristor.

Se ha obtenido, por tanto, el resultado esperado tras la simulación. El memristor oscila entre dos valores de resistencia en función del valor de la entrada, de forma que el control del valor de la resistencia se realiza mediante la comparación de la integral de la señal de entrada, esto es, el flujo de corriente a través del propio memristor.

Capítulo 4

Memristor: construcción

implementación

En este capítulo se va a abordar la construcción del memristor diseñado en el capítulo anterior. El objetivo es llevar a cabo la implementación física del circuito propuesto, para tratar de replicar los resultados de la simulación. El capítulo se va a estructurar en dos secciones: construcción y resultados. En la primera se va a hablar de cómo se ha llevado a cabo la implementación, qué componentes y materiales se han utilizado, así como las configuraciones de todo el material empleado. En la segunda sección se mostrarán los resultados obtenidos, tratando de realizar una comparación con los obtenidos tras la simulación.

fabricación

4.1. Construcción

La construcción del circuito se ha realizado siguiendo el esquema de la figura 4.1.

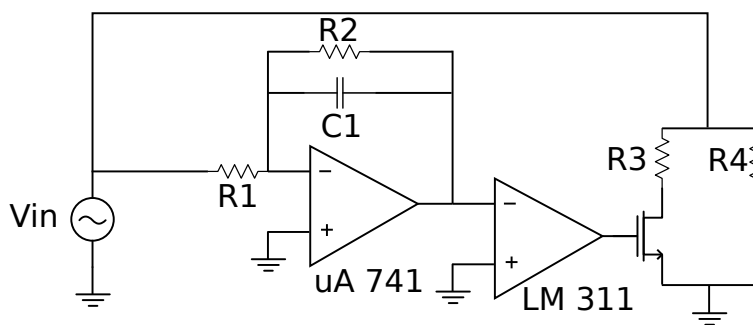


Figura 4.1: Esquemático del memristor completo

Los valores de los componentes utilizados se muestran en el cuadro 4.1. La configuración del resto de elementos utilizados se muestra en los cuadros 4.2 y 4.3. Los integrados mostrados en el cuadro 4.3 son de la marca TI¹.

¹TI: Texas Instruments

$R_1(k\Omega)$	$R_2(k\Omega)$	$C_1(nF)$	$R_3(k\Omega)$	$R_4(k\Omega)$
1	100	100	100	1200

Cuadro 4.1: Elementos del memristor

$V_{cc}(V)$	$V_{ss}(V)$	$V_{in}(V)$
5	-5	$\sin(t2\pi100Hz)$

Cuadro 4.2: Configuración del memristor

<i>Integrdaor</i>	<i>Comparador</i>	Mosfet nMOS
uA 741	LM 311	CD 4007

Cuadro 4.3: Configuración del memristor

Además, se ha usado una fuente de alimentación y un osciloscopio con generador de funciones integrado, ambos de la marca Agilent Technologies².

4.2. Resultados

En primer lugar, se va a mostrar el resultado obtenido en cada una de las etapas, al igual que se hizo en el capítulo de simulación, para comprobar etapa por etapa los cambios experimentados por la señal de entrada.

4.2.1. Integrador

En la figura 4.2 se muestra la salida del bloque integrador para una entrada sinusoidal, que será la que se utilizará en el resto del procedimiento. Además, para comprobar el correcto funcionamiento de la etapa, en la figura 4.3 se muestra la salida para distintos tipos de entrada: triangular y cuadrada.

²Este material ha sido prestado por la Universidad de Granada para la realización de este trabajo de grado

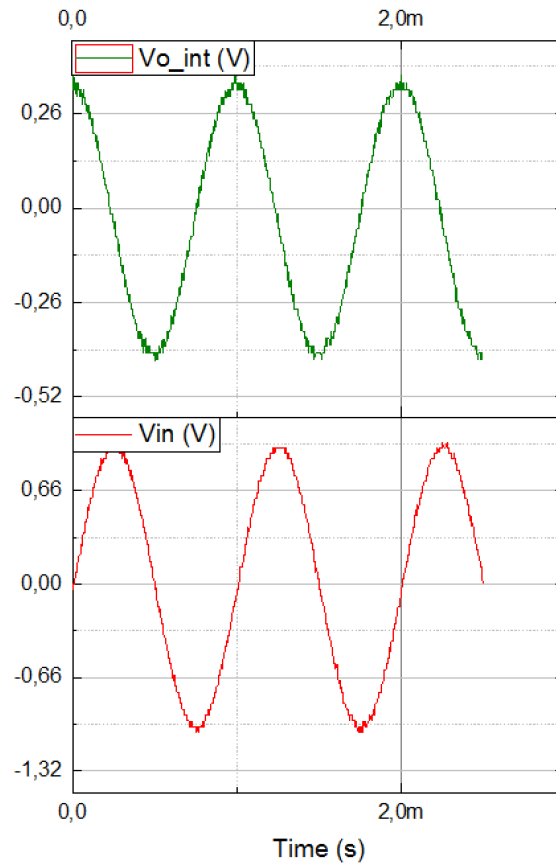


Figura 4.2: Salida de la etapa integradora para entrada sinusoidal

Se observa que para la entrada de tipo sinusoidal, se obtiene una salida de tipo cosenoidal. Para la entrada cuadrada, salida triangular, y para la entrada triangular, salida parabólica. Se comprueba así el buen funcionamiento de la etapa, ya que para cada entrada, la salida obtenida es la integral de ese tipo de entrada.

En cualquier caso, el tipo de entrada que usaremos para el resto del procedimiento será la de tipo sinusoidal.

4.2.2. Comparador

En la figura 4.4 se muestra la salida de la etapa comparadora para dos frecuencias distintas. En primer lugar, para la frecuencia a la que se estaba trabajando, $f = 1kHz$, y en segundo lugar, para $f = 100Hz$. Esto se debe a que en el primer caso, se observa que en la transición del comparador del estado alto al bajo no le da suficiente tiempo a la señal a establecerse en el nivel bajo. Aumentando el periodo, esto es, disminuyendo la frecuencia, se observa que la señal alcanza sin problema el nivel bajo en un tiempo

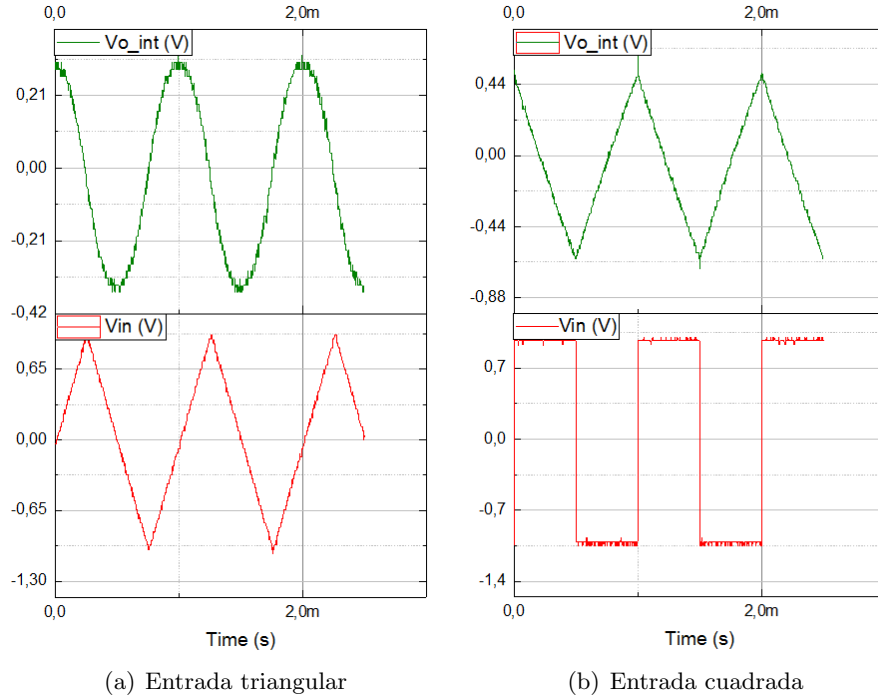


Figura 4.3: Salida de la etapa integradora para distintos tipos de entrada

despreciable respecto al periodo de la señal. La decisión tomada será la de bajar la frecuencia de trabajo a $f = 100Hz$, ya que permitirá de cara a la siguiente etapa, tener una señal de entrada que permanezca el mismo tiempo en estado alto que en bajo. Aunque esto no es imprescindible, ya que lo que se busca es que el transistor de la siguiente etapa oscile entre valores de tensión por encima y por debajo de la tensión umbral, y eso ya se conseguía para $f = 1kHz$, tampoco es un problema bajar la frecuencia de trabajo para asegurarnos el correcto funcionamiento del transistor, y por tanto, del memristor.

Es importante recalcar, que la tensión $V_{o_{comp}}$ es en realidad la tensión de puerta del transistor V_G . Será por tanto, la que controle el estado del mismo.

4.2.3. Memristor

El principal problema que se presenta en esta etapa, es medir la corriente a través del memristor, es decir, de la rama del circuito de la figura 4.1 que contiene a R_3 y R_4 , en primer lugar se propuso usar una resistencia en serie a la entrada de esta rama, para a partir de la diferencia de tensión entre sus terminales, obtener el valor de la corriente que la atravesara, y por

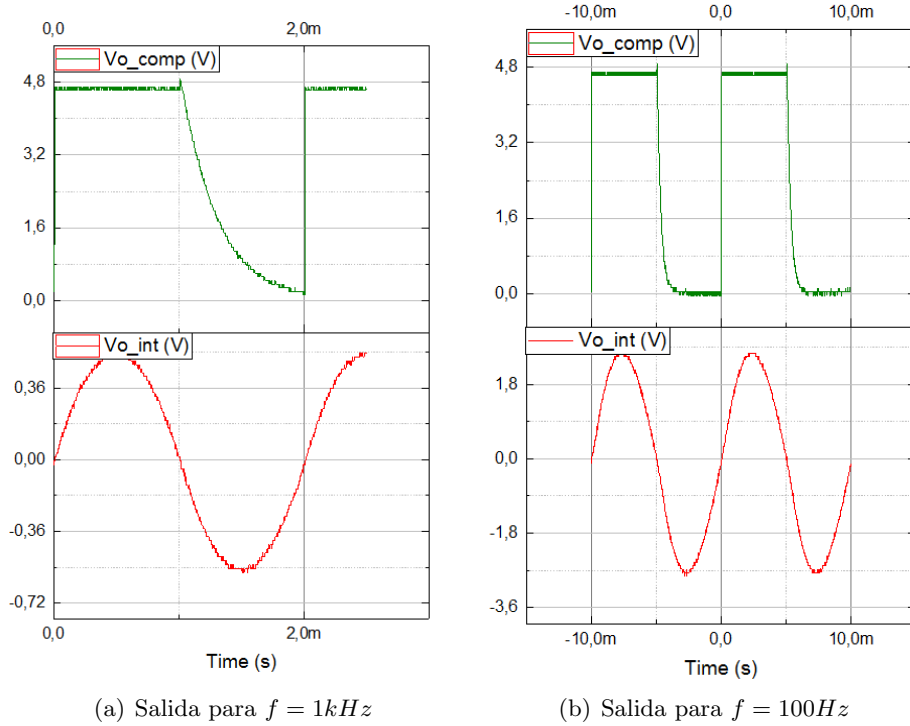


Figura 4.4: Salida de la etapa comparadora para distintas frecuencias

tanto, también al memristor. Sin embargo, tras probar esta configuración, se observó que el resultado obtenido no era satisfactorio, ya que la diferencia entre las señales medidas en cada uno de los terminales de la resistencia era tan pequeña que la precisión de los aparatos de medida utilizados no era suficiente para medir de forma exacta estas pequeñas variaciones.

Finalmente, se ha propuesto medir la tensión $V_{DS} = V_D$ del transistor, de forma que cuando la tensión en su puerta sea menor que la tensión umbral, y por tanto esté en OFF, $V_{DS} = V_{in}$, y la corriente a través del memristor será:

$$I_{mem_1} = \frac{V_{DS}}{R_4} \quad (4.1)$$

Cuando la tensión en la puerta del transistor sea mayor que la umbral, el este pasará a estar en ON, y en este caso la corriente será de la forma:

$$I_{mem_2} = \frac{V_{in}}{R_4} + \frac{V_{in} - V_{DS}}{R_3} \quad (4.2)$$

Por tanto, basta con conocer la tensión V_{DS} para obtener el valor de la corriente I_{mem} para ambos estados de trabajo del Mosfet.

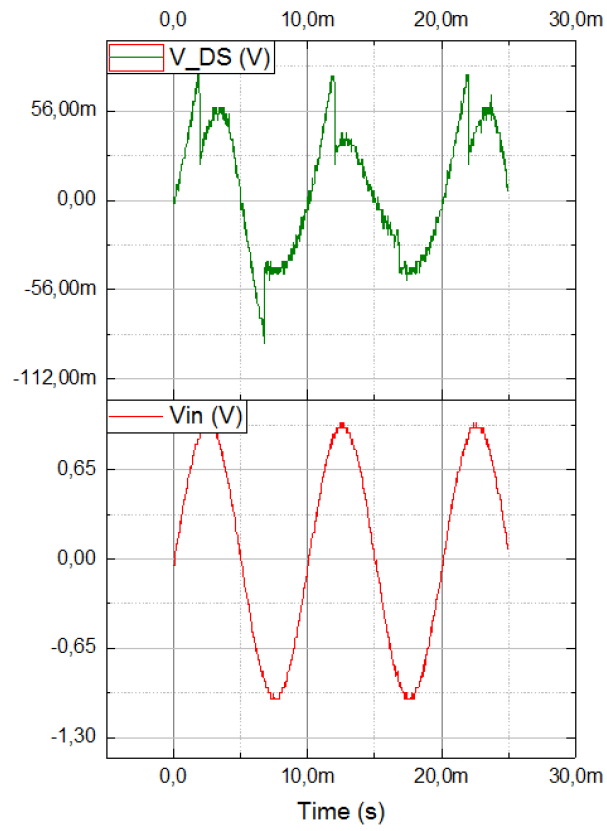
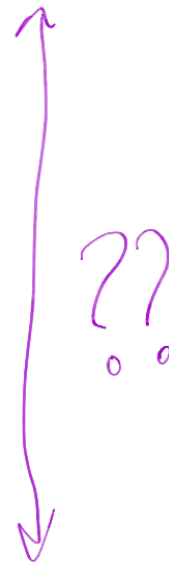


Figura 4.5: Tensión drenador a fuente del transistor



En la figura 4.5 se muestra la tensión V_{DS} del transistor y la tensión de entrada V_{in} .

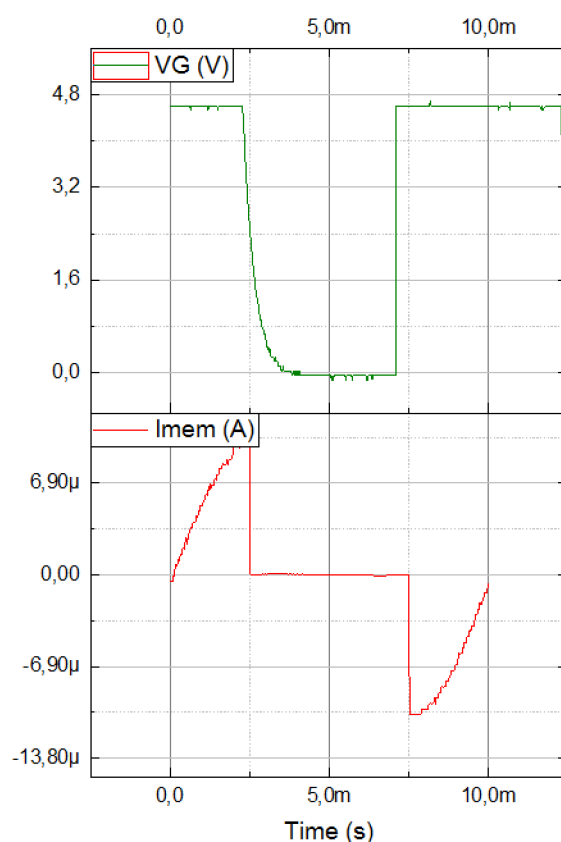


Figura 4.6: Corriente a través del memristor

En la figura 4.6 se muestra la corriente I_{mem} que circula a través del memristor, y la tensión en la puerta del Mosfet, V_G . Se observa que se cumplen las ecuaciones 4.1 y 4.2, ya que cuando el transistor está en OFF, la corriente a través del memristor es únicamente la de la rama de $R4$, que al tener un valor tan grande, hace que la corriente sea muy pequeña. Esto se puede ver en la parte central del periodo, cuando la señal cuadrada tiene un valor bajo. En la parte inicial y final del periodo, cuando la señal cuadrada tiene un valor alto, se puede ver que el valor de la corriente es mucho mayor, ya que ahora la resistencia vista por la fuente es en realidad el paralelo entre $R3$ y $R4$, esto es, un valor próximo y menor que $R3$, por tanto, la corriente ahora es mucho mayor. El cambio en el valor de la corriente, se observa de forma clara en el punto de transición entre el estado alto y bajo de la señal cuadrada: cuando ésta pasa de un estado alto a un estado bajo, la corriente disminuye repentinamente a un valor mucho menor.

Es importante añadir que aunque en la figura no se pueda apreciar debido a la diferencia de magnitud entre la corriente según el estado del transistor, la corriente sigue la forma de onda de la tensión de entrada en todo momento, como era de esperar. El único cambio entre ambos estados, es el valor de

la resistencia vista por la fuente, y por tanto, de la corriente que circula a través del memristor.

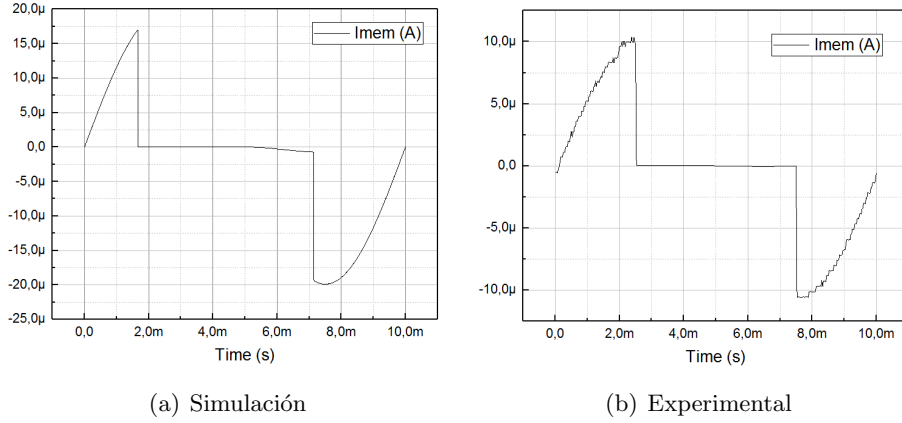


Figura 4.7: Comparación entre el resultado de la simulación y el experimental

En la figura 4.7 se muestra la corriente en la simulación y la experimental. El resultado obtenido experimentalmente es por tanto satisfactorio, ya que como se observa ambas gráficas son prácticamente idénticas, a diferencia del valor de la amplitud de la corriente, que en la simulación es de $A_{sim} \approx -17\mu A$ y la experimental $A_{exp} \approx -10\mu A$. Además, en la obtenida mediante simulación, se observa un ligero aumento en la intensidad de esta corriente a partir de $t = 5ms$, mientras que en la experimental no se observa.

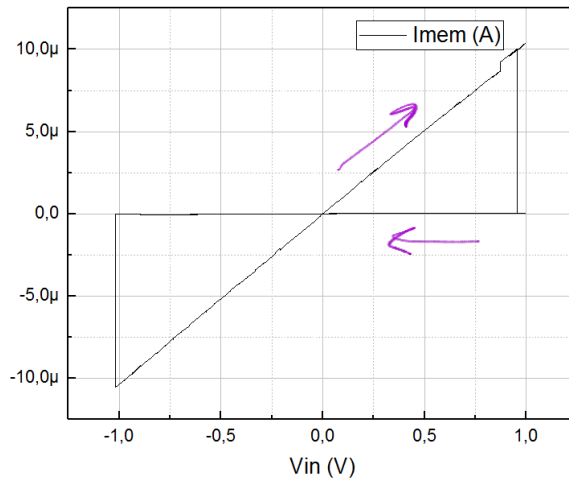


Figura 4.8: Corriente en función de la tensión de entrada

Sería interesante poder observar la corriente en función de la tensión de entrada, que son las magnitudes que en un principio se buscaba relacionar.

Esto se muestra en la figura 4.8. El resultado es una gráfica con histéresis, esto es, cuando la tensión de entrada aumenta, la corriente aumenta con una pendiente y la tensión disminuye, disminuye con otra. En realidad, esta pendiente es el valor de la resistencia del memristor en cada caso, ya que:

$$V_{in}(I) = RI_{mem} \quad (4.3)$$

que es la ecuación de una recta con pendiente R , que además pasa por el origen de coordenadas.

Se ha llegado por tanto, a un modelo de memristor que oscila entre dos valores de resistencia distintos, cuya oscilación está totalmente determinada por la tensión de entrada: estamos ante una resistencia con memoria.

Capítulo 5

Circuito sináptico: diseño

En este capítulo se va a tratar el diseño de un circuito neuromórfico. El objetivo principal es el diseño de un circuito capaz de replicar el comportamiento de una sinapsis neuronal, es decir, la transmisión de un impulso nervioso de una neurona a otra. La función de un circuito sináptico es la de trasladar los pulsos de tensión presinápticos de la neurona transmisora, en corrientes postsinápticas inyectadas en la membrana plasmática de la neurona receptora.

Para ello, el uso de circuitos que operen en la región subumbral se hace imprescindible, dado a su bajo consumo de potencia, así como de su característica exponencial, que los hace únicos para este tipo de funciones.

5.1. Región subumbral (weak-inversion)

A los modos de operación de un transistor MOSFET hasta ahora conocidos, hay que añadir uno más: el modo subthreshold, weak-inversion o subumbral. Este modo de operación se produce cuando:

$$0 < V_{GS} < V_{th} \quad (5.1)$$

Se caracteriza por el hecho de que la mayoría de los portadores han sido expulsados de la superficie. La densidad de portadores minoritarios aumenta respecto a la distancia al substrato. Son estos portadores minoritarios las únicas cargas disponibles sobre la superficie del transistor, y por tanto, al aplicar una tensión por pequeña que sea entre el drenador y la fuente, estos se mueven por difusión, dando lugar a una corriente a través del transistor, tal y como se describe en [?].

Además, se puede describir esta corriente mediante la ecuación:

$$I_D = I_{D0} e^{\frac{V_G}{nV_T}} \left(e^{\frac{-V_S}{V_T}} - e^{\frac{-V_D}{V_T}} \right) \quad (5.2)$$

en la que todas las tensiones están referidas a la tensión del sustrato. De esta forma, para el caso en el que el sustrato esté conectado con la fuente, queda:

$$I_D = I_{D0} e^{\frac{V_{GS}}{nV_T}} (1 - e^{-\frac{V_{DS}}{V_T}}) \quad (5.3)$$

Además, en cuanto que $V_{DS} \gg 2V$, el término $e^{-\frac{V_{DS}}{V_T}} \approx 0$, y por tanto, el término $1 - e^{-\frac{V_{DS}}{V_T}} \approx 1$. Si además definimos $\kappa = 1/n$, como el separador del canal¹, queda:

$$I_D = I_{D0} e^{\frac{\kappa V_{GS}}{V_T}} \quad (5.4)$$

Se ha llegado en la ecuación 5.4, a una expresión compacta y simplificada para la corriente que circula por el transistor en la región de operación subumbral.

5.2. Circuitos translineales y en modo corriente

La palabra translineal como característica propia de un circuito electrónico fue por primera vez acuñada por Barrie Gilbert en [?]. Este término hacía referencia al hecho de que la transconductancia de un transistor bipolar es linealmente proporcional a su corriente de colector. En este tipo de circuitos se observaban distintos comportamientos distintos a los circuitos convencionales que se llevaban fabricando hasta la época, entre estos destaca el hecho de que estos circuitos estaban formados por celdas cerradas que contenían al menos dos uniones base-emisor, pero en otros casos cuatro, seis o incluso más. Las variables que controlaban el circuito eran corrientes, y es por esto que se decía que estos circuitos operaban en modo corriente. Las tensiones entre las diferentes partes del circuito dejaron de ser importantes, pasaron a un segundo plano. Además, debido a la baja tensión de alimentación, aumentó el ancho de banda de estos circuitos ya que el impacto de las uniones colector-base y colector-sustrato en las frecuencias de corte desaparecieron. A diferencia del resto de circuitos conocidos hasta entonces, estos presentaban una altamente predecible relación entre sus variables de entrada y salida, a pesar de operar a alta frecuencia. Finalmente, uno de sus mayores funcionalidades era la capacidad para realizar operaciones algebraicas de todo tipo, cuadrados, raíces, operaciones vectoriales, etc, en cuestión de unos pocos nanosegundos.

El principio de translinealidad dice que: *En un bucle cerrado que contenga un número par de uniones, de forma que haya el mismo número de uniones en el sentido de las agujas del reloj como de uniones en sentido*

¹ $\kappa = \frac{C_{OX}}{C_{OX} + C_D}$, siendo C_{OX} la capacidad de la capa de óxido, y C_D la capacidad de la capa de agotamiento

contrario al de las agujas del reloj, y siempre y cuando no haya ningún generador de tensión dentro de este bucle, el producto de las densidades de corriente en uno de los sentidos es igual al producto de las densidades en el otro de los sentidos. De forma matemática lo podemos expresar como:

$$\prod_{CW} J = \prod_{CCW} J$$

Es fácil darse cuenta de que gracias a esta igualdad podemos diseñar circuitos capaces de multiplicar, dividir, hacer raíces cuadradas y multitud de operaciones algebraicas en nanosegundos, por lo que la capacidad de estas celdas es comparable a la de un microprocesador. Solo hay que tener en cuenta que el resultado de la operación para el que diseñemos la celda en concreto será obtenido en forma de corriente a la salida del circuito.

Este comportamiento se puede extender también a los transistores MOS, siempre y cuando estos se encuentren en la región subumbral de funcionamiento, descrita anteriormente. Es por esto que para el diseño de circuitos sinápticos que se ha ido realizando desde las dos últimas décadas del siglo pasado hasta hoy, se ha hecho uso de estos circuitos translineales. Las ventajas de utilizar corrientes de valores tan pequeños en el caso de los transistores MOS debido a su especial polarización tiene una ventaja única: un consumo de potencia mínimo.

5.3. Circuito propuesto

A continuación se va a describir el diseño y análisis del circuito propuesto. Primero se mostrará un modelo simplificado del circuito para ir paso a paso añadiendo complejidad al análisis, hasta llegar al circuito final.

5.3.1. Modelo inicial

En la figura 5.1 se muestra el esquemático del circuito simplificado inicial. En este se usan fuentes de corriente ideales, que posteriormente serán sustituidas por sus modelos correspondientes. Este primer modelo servirá por tanto, para analizar el circuito de una forma más sencilla, así como para conocer qué papel juega cada uno de los parámetros que en él aparecen en la salida que se obtenga.

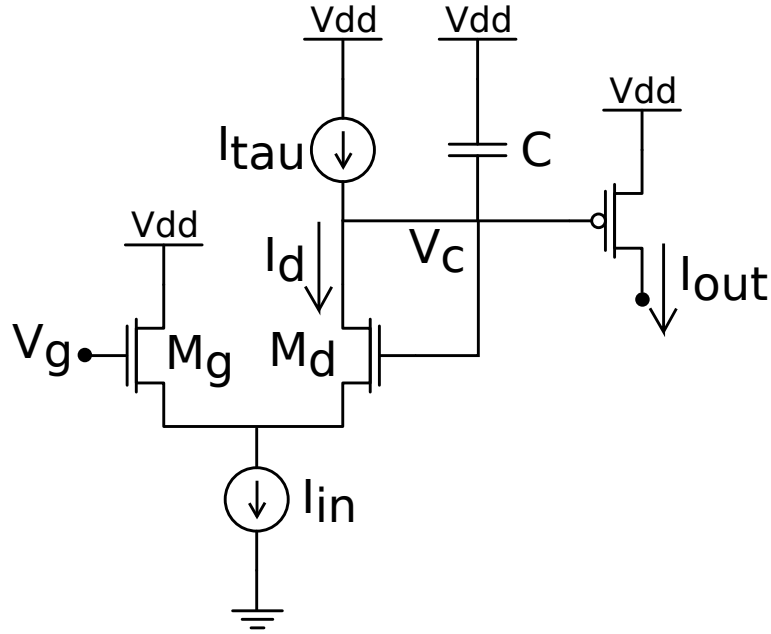


Figura 5.1: Esquemático del circuito inicial

El objetivo ahora es obtener el valor de I_{out} . Para ello se aplicará el método de las corrientes en los nodos. El primer nodo que se analizará es el que une los dos Mosfet de canal N con la fuente de corriente I_{in} .

Nodo S_1

En este nodo, debe cumplirse que:

$$I_{in} = I_g + I_d \quad (5.5)$$

Ahora veamos cuál es la ecuación que describe a cada uno de los elementos que conforman esta ecuación. Es importante recalcar que la expresión que se usará para obtener el valor de estas corrientes es la deducida en el apartado anterior de esta memoria en la ecuación 5.4.

$$I_g = I_0 e^{\frac{\kappa}{V_T}(V_g - V_{S1})} = I_0 \frac{e^{\frac{\kappa V_g}{V_T}}}{e^{\frac{\kappa V_{S1}}{V_T}}}$$

$$I_d = I_0 e^{\frac{\kappa}{V_T}(V_c - V_{S1})} = I_0 \frac{e^{\frac{\kappa V_c}{V_T}}}{e^{\frac{\kappa V_{S1}}{V_T}}}$$

Ahora, se puede obtener la relación I_g/I_{in} haciendo uso de la ecuación 5.5:

$$\frac{I_g}{I_{in}} = \frac{I_g}{I_g + I_d} = \frac{e^{\frac{\kappa V_g}{V_T}}}{e^{\frac{\kappa V_C}{V_T}} + e^{\frac{\kappa V_g}{V_T}}}$$

De la ecuación 5.5, obtenemos también la relación:

$$\frac{I_d}{I_{in}} = 1 - \frac{I_g}{I_{in}}$$

A partir de los resultados obtenidos, se llega a la siguiente ecuación:

$$\frac{I_d}{I_{in}} = \frac{e^{\frac{\kappa V_C}{V_T}}}{e^{\frac{\kappa V_C}{V_T}} + e^{\frac{\kappa V_g}{V_T}}} \quad (5.6)$$

Si ahora se multiplica numerador y denominador por el término $e^{\frac{-\kappa V_{dd}}{V_T}}$, se llega a:

$$I_d = I_{in} \frac{e^{\frac{\kappa}{V_T}(V_C - V_{dd})}}{e^{\frac{\kappa}{V_T}(V_C - V_{dd})} + e^{\frac{\kappa}{V_T}(V_g - V_{dd})}}$$

Si además se divide arriba y abajo por el término $e^{\frac{\kappa}{V_T}(V_C - V_{dd})}$, queda:

$$I_d = I_{in} \frac{1}{1 + \frac{e^{\frac{\kappa}{V_T}(V_g - V_{dd})}}{e^{\frac{\kappa}{V_T}(V_C - V_{dd})}}} \quad (5.7)$$

Obsérvese que para un Mosfet operando en la región subumbral de canal P, la ecuación que describe la corriente que lo atraviesa es de la forma $I_D = I_{D0} e^{\frac{\kappa V_{SG}}{V_T}}$, o idénticamente $I_D = I_{D0} e^{\frac{-\kappa V_{GS}}{V_T}}$. Desarrollando la ecuación 5.7, se llega a:

$$I_d = I_{in} \frac{1}{1 + \frac{I_0 e^{\frac{-\kappa}{V_T}(V_C - V_{dd})}}{I_0 e^{\frac{-\kappa}{V_T}(V_g - V_{dd})}}} \quad (5.8)$$

En esta ecuación se identifican los siguientes términos:

$$I_{out} = I_0 e^{\frac{-\kappa}{V_T}(V_C - V_{dd})}$$

$$I_g^P = I_0 e^{\frac{-\kappa}{V_T}(V_g - V_{dd})}$$

Finalmente, se obtiene la relación de I_d de forma compacta:

$$I_d = I_{in} \frac{1}{1 + \left(\frac{I_{out}}{I_g^P}\right)} \quad (5.9)$$

En la ecuación 5.9 aparece el término I_g^P , que representa una corriente producida por un Mosfet de canal P situado donde M_g .

Nodo V_C

En este nodo, debe de cumplirse:

$$I_d = I_C + I_\tau \quad (5.10)$$

Se puede describir la ecuación de la corriente del condensador, de la forma:

$$I_C = C \frac{d(V_{dd} - V_C)}{dt} = -C \frac{dV_C}{dt}$$

Sustituyendo en la ecuación 5.10, queda:

$$C \frac{dV_C}{dt} = -(I_d - I_\tau) \quad (5.11)$$

Despejando dV_C :

$$dV_C = -(I_d - I_\tau) \frac{1}{C} dt$$

Si ahora se deriva la ecuación de I_{out} respecto de V_C :

$$I_{out} = I_0 e^{\frac{-\kappa}{V_T}(V_C - V_{dd})}$$

$$\frac{dI_{out}}{dV_C} = I_0 \frac{de^{\frac{-\kappa}{V_T}(V_C - V_{dd})}}{dV_C}$$

Derivando queda:

$$\frac{dI_{out}}{dV_C} = I_0 e^{\frac{-\kappa}{V_T}(V_C - V_{dd})} \left(\frac{-\kappa}{V_T} \right)$$

donde se puede indentificar I_{out} multiplicando al término $-\kappa/V_T$. Si ahora se sustituye dV_C , se llega a:

$$\frac{dI_{out}}{dt} \tau = -I_{out} \left(1 - \frac{I_d}{I_\tau} \right) \quad (5.12)$$

con $\tau = \frac{CV_T}{\kappa I_\tau}$. Si se sustituye en la ecuación 5.12 el valor de I_d de la ecuación 5.9, se llega a:

$$\tau \frac{dI_{out}}{dt} = -I_{out} \left(1 - \frac{I_{in}}{I_\tau [1 + (\frac{I_{out}}{I_g^P})]} \right)$$

Y desarrollando, se llega a la ecuación diferencial no lineal de la forma:

$$\tau \frac{dI_{out}}{dt} + I_{out} = I_{in} \frac{\frac{I_{out}}{I_\tau}}{1 + \frac{I_{out}}{I_g^P}} \quad (5.13)$$

La solución en estado estacionario es de la forma:

$$I_{out} = \frac{I_g}{I_\tau}(I_{in} - I_\tau)$$

Suponiendo que $I_{in} \gg I_\tau$:

$$\frac{I_{out}}{I_g} = \frac{I_{in}}{I_\tau}$$

Si $I_{in} \gg I_\tau$, entonces $I_{out} \gg I_g$, por tanto $\frac{1}{I_{out}} \approx 0$, y queda:

$$\tau \frac{dI_{out}}{dt} + I_{out} = I_{in} \frac{I_g^P}{I_\tau} \quad (5.14)$$

La ecuación 5.14 es una EDO (ecuación diferencial ordinaria) de primer orden. A continuación se va a pasar al dominio de Laplace para observar la función de transferencia de la forma $H(s) = \frac{I_{out}(s)}{I_{in}(s)}$. Para ello se aplica a ambos lados de la ecuación 5.14 la transformada de Laplace:

$$\mathcal{L}\left\{\frac{dI_{out}}{dt} + I_{out}\right\} = \mathcal{L}\left\{I_{in} \frac{I_g^P}{I_\tau}\right\}$$

$$I_{out}(\tau s + 1) = I_{in} \frac{I_g^P}{I_\tau}$$

De esta forma, se llega a la función de transferencia:

$$H(s) = \frac{I_{out}(s)}{I_{in}(s)} = \frac{I_g^P}{I_\tau} \frac{1}{1 + \tau s} \quad (5.15)$$

Ahora se va a calcular la respuesta del sistema a una entrada de tipo escalón de amplitud I_{in0} y centrado en $t_0 + \frac{t_1 - t_0}{2}$, de la forma:

$$I_{in}(t) = [u(t - t_0) + u(-t + t_1)]I_{in0}$$

Para la fase de carga:

$$I_{inC}^+(t) = [u(t - t_0)]I_{in0}$$

$$\mathcal{L}\{I_{inC}^+(t)\} = \mathcal{L}\{(t - t_0)I_{in0}\} = I_{in0} \frac{1}{s} e^{-t_0 s}$$

Estamos ante un sistema lineal, por lo que debe cumplirse:

$$Y(s) = H(s) * X(s)$$

Por tanto,

$$Y(s) = \frac{I_g^P I_{in0}}{I_\tau} \frac{1}{s(1 + \tau s)} e^{-t_0 s}$$

Ya solo queda hacer la transformada inversa de Laplace para volver al dominio del tiempo:

$$\mathcal{L}^{-1}\{Y(s)\} = \frac{I_g^P I_{in0}}{I_\tau} u(t - t_0) [u(t - t_0) - e^{\frac{-(t-t_0)}{\tau}}] \quad (5.16)$$

Particularizando para el caso de $t \in [t_0, t_1]$,

$$I_{outC}^+(t) = \frac{I_g^P I_{in0}}{I_\tau} (1 - e^{\frac{-(t-t_0)}{\tau}}) \quad (5.17)$$

Finalmente, hay que añadir las condiciones iniciales en t_0 y en t_1 :

$$I_{out}(t) = \begin{cases} \frac{I_g^P I_{in0}}{I_\tau} (1 - e^{\frac{-(t-t_0)}{\tau}}) + I_{out}(t_0) e^{\frac{-(t-t_0)}{\tau}} & , \text{ fase de carga} \\ I_{out}(t_1) e^{\frac{-(t-t_1)}{\tau}} & , \text{ fase de descarga} \end{cases}$$

Y de esta forma se llega a un sistema de ecuaciones que describe la salida del sistema para un pulso de entrada de tipo escalón.

En la ecuación 5.15 se muestra la función de transferencia del circuito. Se trata de un filtro paso baja con ganancia I_g^P / I_τ .

5.3.2. Modelo completo

En la figura 5.2 se muestra el modelo completo de circuito, en el que las fuentes de corriente han sido sustituidas por un transistor PMOS y dos transistores NMOS.

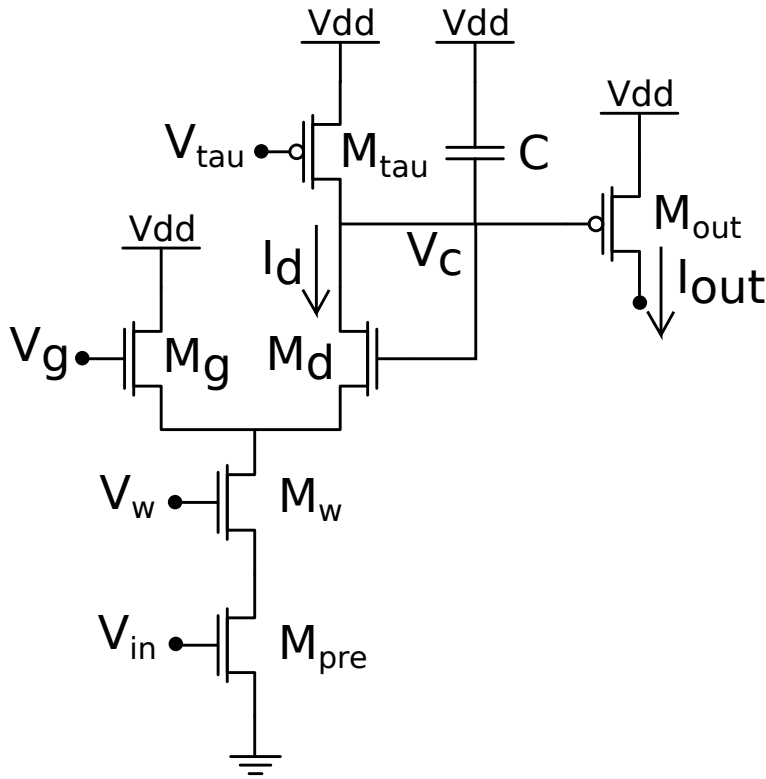


Figura 5.2: Esquemático del circuito completo

En realidad, el análisis teórico realizado para el modelo inicial es igualmente válido para este, en tanto que para obtener la corriente de las ramas analizadas en las que se modelaban mediante fuentes de corriente ideales, ahora hay transistores que se diseñarán para que la corriente que proporcionen sea la diseñada según el caso.

5.4. Simulación

A continuación se van a simular los circuitos propuestos.

5.4.1. Polarización y modelado

Para ello, el primer problema que se presenta es encontrar un modelo de transistor que simule correctamente su comportamiento en la región subumbral. Los modelos más básicos no contemplan esta región, de forma que para $V_{GS} < V_T$, se utiliza $I_D = 0$. Sin embargo, se busca un modelo que para la tensión puerta fuente menor que la tensión umbral se obtenga una corriente de drenador como la descrita en la ecuación 5.4:

$$I_D = I_{D0} e^{\frac{\kappa V_{GS}}{V_T}}$$

El modelo propuesto se puede encontrar en el apéndice de este trabajo. Para comprobar que se cumple la condición expuesta, se ha hecho uso de un circuito básico de polarización, mostrado en la figura 5.3, donde $V_{dd} = 5V$ y $R_1 = 1k\Omega$, para forzar la condición de saturación del transistor.

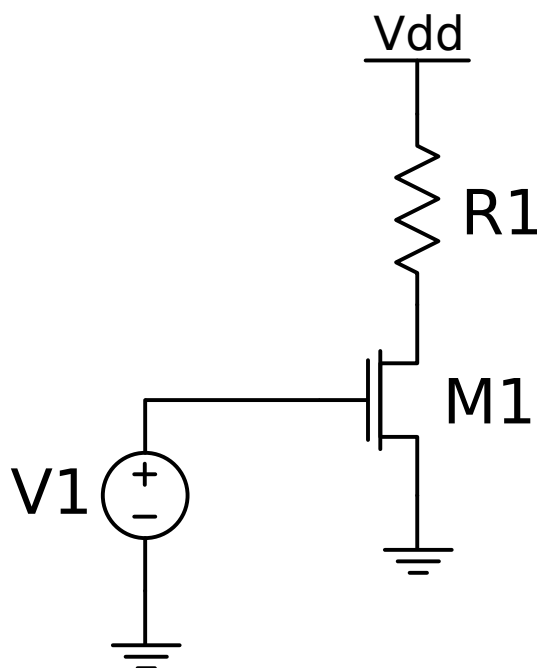


Figura 5.3: Esquemático del circuito de polarización

Se ha realizado una simulación paramétrica en la que se ha variado el valor de la fuente V_1 en el rango de $-1V$ a $1.5V$ y se ha observado el logaritmo de la corriente que circula por el circuito, de forma que en caso de que esté cumpliendo la ecuación 5.4 para la corriente, el resultado debería ser una recta hasta que $V_{GS} > V_T$.

En la figura 5.4 se muestra el resultado obtenido. Hasta que $V_{GS} > V_T$, el resultado para el modelo básico Level 1 es una constante, mientras que para el modelo más completo Level 3 es una recta, que es el resultado de aplicar el logaritmo a la ecuación de la corriente 5.4. Por tanto se tomará el modelo Level 3 para representar correctamente lo que ocurre en la región subumbral. Este modelo será el que se use para el resto de simulaciones.

5.4.2. Modelo inicial

Análisis en frecuencia

A continuación se va a simular el modelo de circuito inicial de la figura 5.1. En primer lugar se hará un análisis en el dominio de la frecuencia. Para observar la variación que produce la corriente I_r en la frecuencia de corte

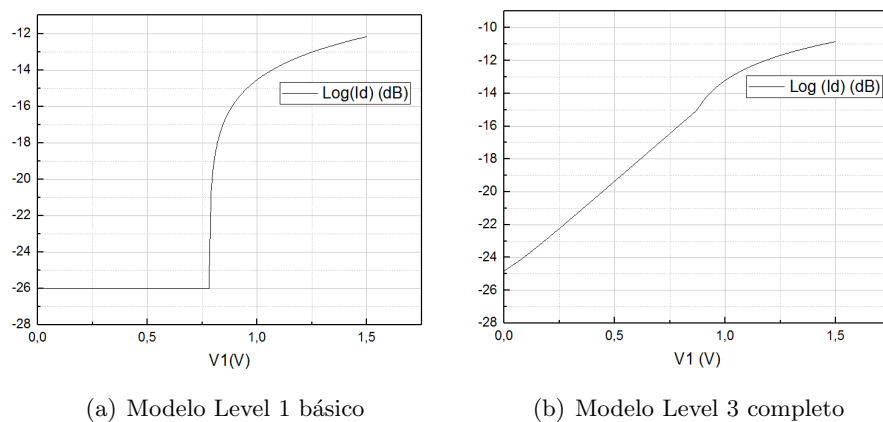


Figura 5.4: Corriente a través de $M1$ frente a V_1

del circuito, se ha hecho una simulación paramétrica en la que se ha variado iterativamente el valor de esta corriente. El resultado se muestra en la figura 5.5.

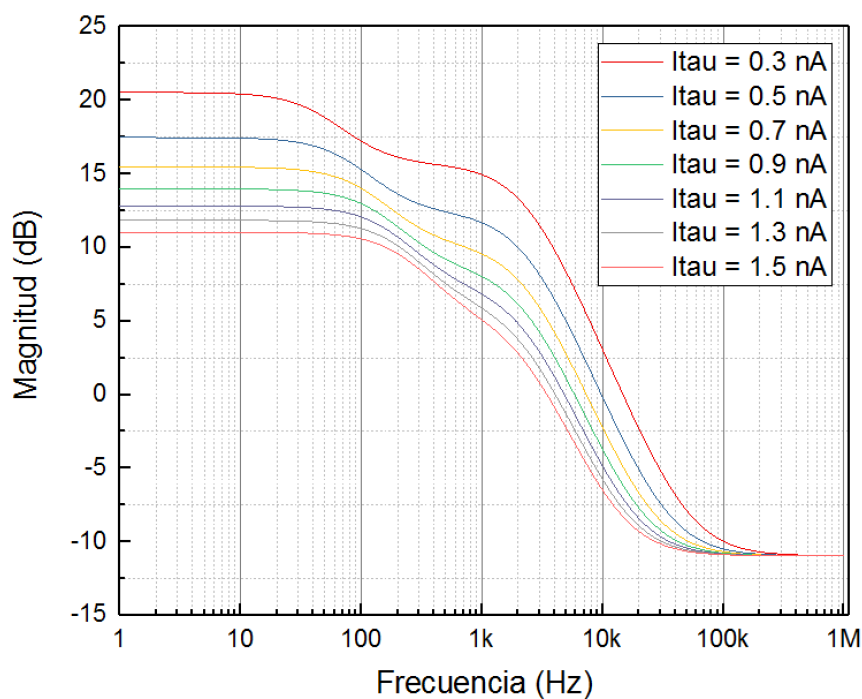


Figura 5.5: Frecuencia de corte para distintos valores de I_τ

Se observa que conforme aumenta el valor de la corriente I_τ aumenta la frecuencia de corte al mismo tiempo que disminuye la ganancia. Esto se

debe a que en la función de transferencia del circuito, la ganancia es el factor $\frac{I_g^P}{I_\tau}$, por tanto conforme I_τ aumenta, la ganancia disminuye. El aumento de la frecuencia de corte es una consecuencia directa de que τ disminuye.

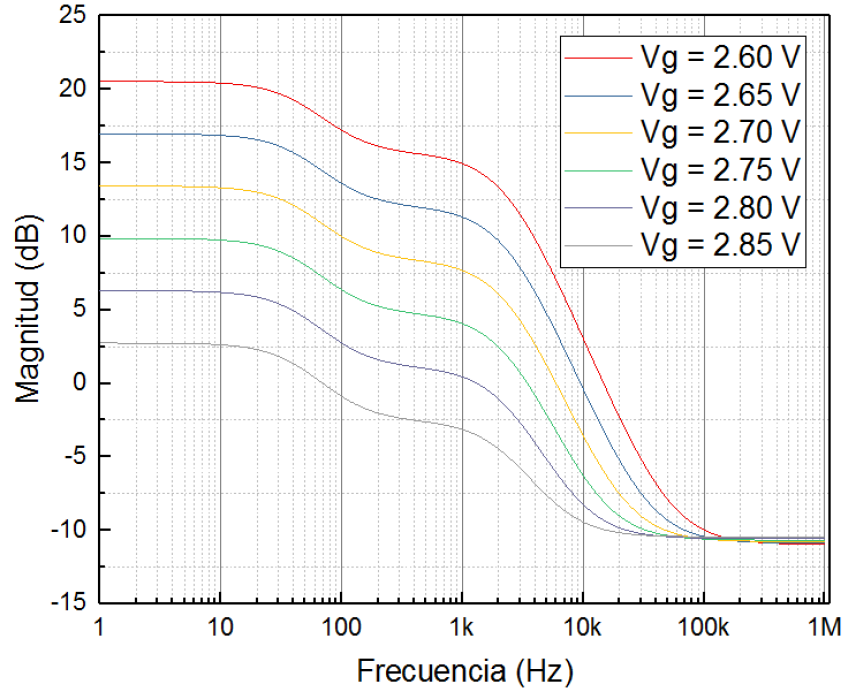


Figura 5.6: Esquemático del circuito de polarización

En la figura 5.6 se ha mantenido constante el valor de I_{tau} y se ha variado el valor de V_g . Se observa que en este caso el único parámetro que se ve alterado es la ganancia del circuito, mientras que la frecuencia de corte es la misma para los distintos valores de V_g . Obsérvese que conforme aumenta el valor de V_g , disminuye la ganancia del circuito. Recuerdese que:

$$I_g^P = I_0 e^{\frac{\kappa}{V_T}(V_{dd} - V_g)}$$

y que en la función de transferencia del circuito, la ganancia es el factor $\frac{I_g^P}{I_\tau}$. De forma que cuando V_g aumenta, la exponencial se hace más pequeña, disminuyendo así el valor de I_g^P y por tanto la ganancia del circuito.

Análisis en el tiempo

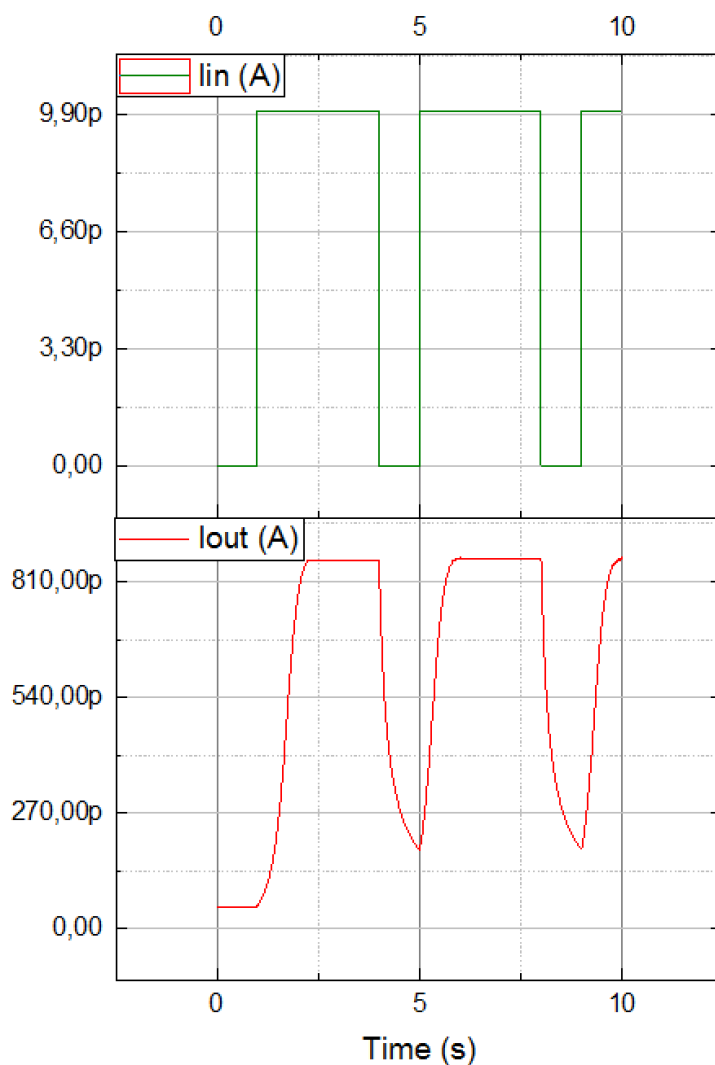


Figura 5.7: Salida para una entrada de pulsos cuadrados

En la figura 5.7 se muestra la salida I_{out} para una entrada de pulsos cuadrados. Cuando la señal cuadrada pasa de un nivel bajo a un nivel alto, se observa a la salida la fase de carga que se esperaba tras el análisis teórico mostrado. Cuando pasa de un nivel alto a uno bajo, se produce la fase de descarga.

5.4.3. Modelo Completo

A continuación se muestran las simulaciones realizadas para el circuito completo, cuyo esquemático se muestra en la figura 5.2.

Análisis en frecuencia



Los resultados obtenidos en la simulación en frecuencia del circuito completo son idénticos a los obtenidos con el modelo más simple. Las únicas diferencias han sido que en este caso el valor de la corriente I_τ que antes se controlaba mediante una fuente de corriente ideal, ahora se ha controlado mediante la tensión de puerta V_τ del transistor que sustituye a esta fuente de corriente. En cualquier caso la conclusión es la misma: variando la corriente I_τ varía tanto la ganancia de forma lineal, como la frecuencia de corte; variando V_g varía la ganancia exponencialmente.



Análisis en el tiempo



En cuanto al análisis temporal, se han obtenido de nuevo los mismos resultados que en el caso del modelo con las fuentes de corriente simplificadas. Se ha probado a variar el valor de la capacidad del circuito para ver cómo afectaba a la constante de tiempo del circuito.

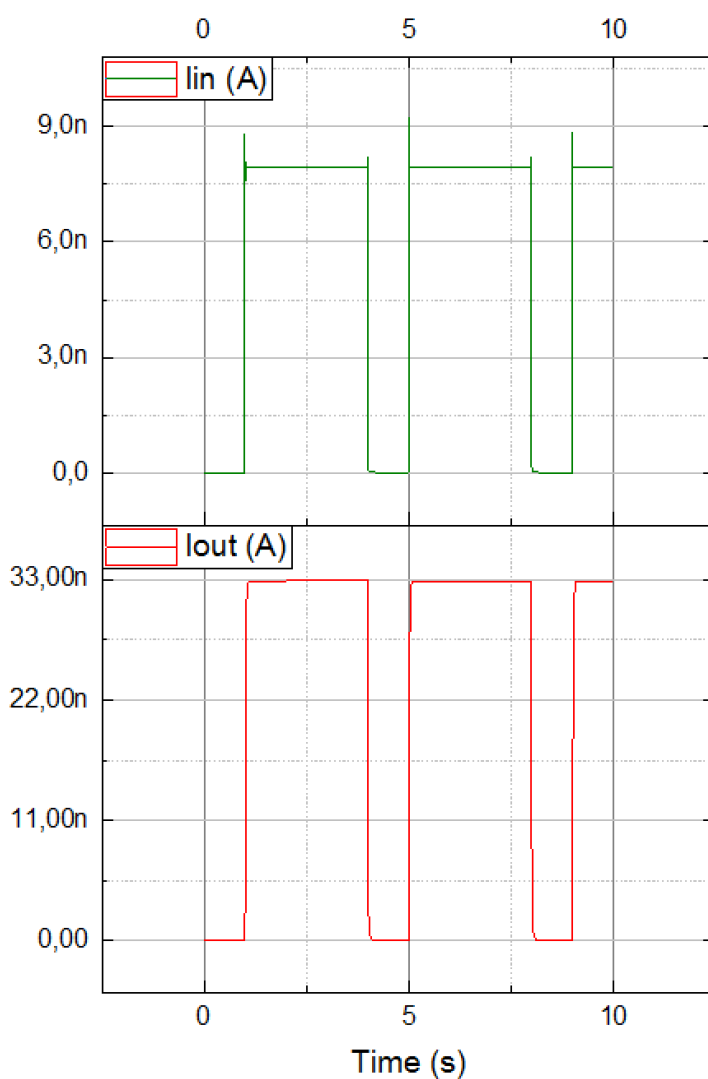


Figura 5.8: Salida del circuito completo para una entrada de pulsos cuadrados

En la figura 5.8 se observa que al haber variado el valor del condensador, el paso de un valor bajo a uno alto de la señal de salida es muy rápido. Por tanto el valor de la capacidad es otro de los parámetros a tener en cuenta.

5.5. Modelo extendido

En el modelo propuesto hasta ahora se puede observar en **bsae** a los resultados obtenidos de la simulación como la respuesta del circuito modela la corriente sináptica generada por una excitación sináptica. Sin embargo, se pueden añadir otros circuitos al mostrado para añadir nuevas características

propias de las sinapsis biológicas. Esto se muestra en la figura 5.9. La parte de color verde añade el comportamiento de los receptores sinápticos NMDA. Estos hacen que la corriente iónica fluya solo si la membrana está polarizada a una tensión superior a una de corte, en presencia de los neurotransmisores. Este comportamiento es replicable haciendo uso de nuevo del par diferencial, de forma que cuando la tensión en el nodo V_{mem} es menor que la tensión V_{nmda} , la corriente de salida circula solo por la rama de la izquierda y por tanto no tiene ningún efecto en la corriente final de salida del circuito. En caso contrario, la corriente circula por ambas ramas de forma que se consigue la implementación de la sinapsis NMDA.

Por otra parte, la parte de color rojo corresponde a la parte que se encarga de añadir plasticidad al circuito. Con el modelo inicial se ha conseguido llegar a reproducir dinámicas de corrientes sinápticas reales. Sin embargo una de las funciones principales de las redes neuronales es la plasticidad, esto es, la capacidad de aprender y adaptarse al entorno. Para conseguir esto se ha hecho uso del circuito propuesto por Rasche y Hahnloser en 2001 [?]. Este circuito se puede describir como un mecanismo no lineal que juega un papel fundamental para implementar selectividad en estímulos transitorios y adaptación. En la figura 5.8 se muestra la corriente de salida al aplicar un pulso a la entrada. Se observa como los picos de salida van disminuyendo poco a poco a partir del tercero de ellos. Esto demuestra que el circuito se acostumbra al impulso recibido.

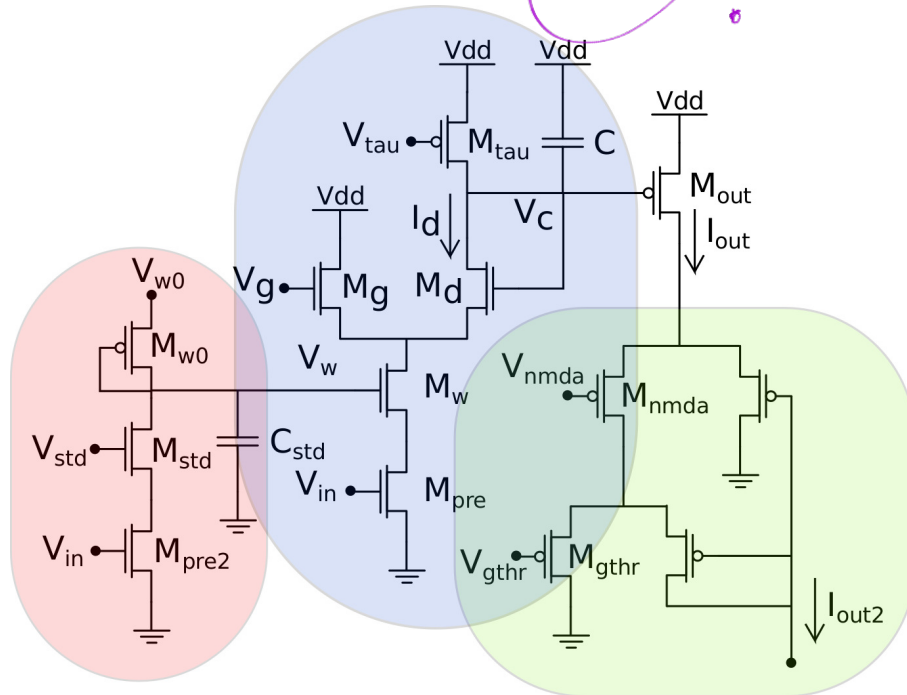


Figura 5.9: Esquemático del circuito ampliado

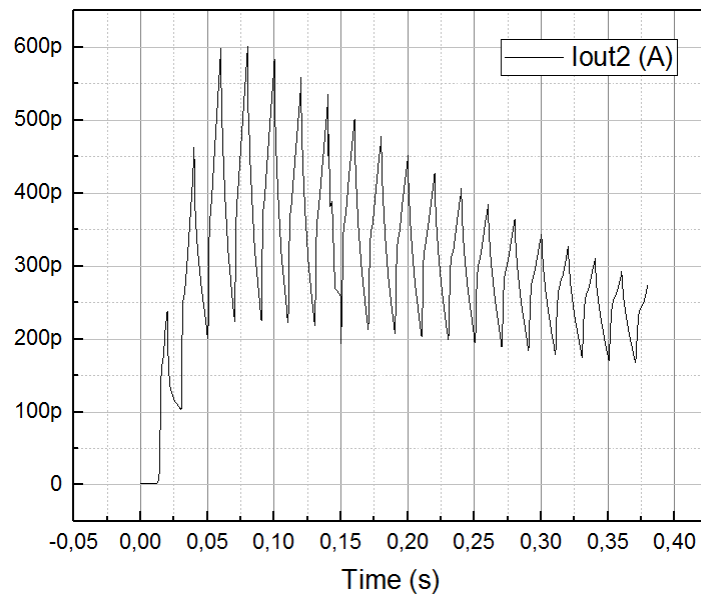


Figura 5.10: Respuesta del sistema a un tren de impulsos

No se comenta esta Figura ??

Capítulo 6

Conclusiones y Trabajos Futuros

En los capítulos 3 y 4 de esta memoria se presentaban los procesos de diseño, simulación y construcción de un memristor. En el capítulo cinco se exponía el proceso de diseño y simulación de un circuito sináptico. En este capítulo es el momento de dar luz a las conclusiones del proyecto.

En primer lugar, se redactarán las conclusiones relacionadas con el memristor y a continuación las del circuito sináptico.

En el caso del memristor, tanto la simulación como el proceso experimental han sido satisfactorios. Recuérdese que un memristor es una resistencia con memoria, esto es, cuyo valor depende del flujo de corriente que la atraviesa en cada instante de tiempo. Para construir esto con componentes discretos se dividió el problema en una serie de bloques conectados en cascada: un bloque integrador que recibe por su terminal inversor la entrada del memristor, un bloque comparador que recibe la salida del integrador y un par de resistencias de distintos valores colocadas en paralelo de forma que en la rama de una de ellas se coloca un MOSFET a cuya puerta se conecta la salida del bloque comparador. De esta forma se conseguía que la señal de entrada que llegara al memristor fuera integrada, a continuación comparada para llevarla a valores de tensión altos o bajos y finalmente esta señal de forma cuadrada a la puerta del transistor MOSFET, funcionando este como un interruptor, de forma que el valor de resistencia observado desde los terminales del memristor completo varía entre sendos valores de resistencias utilizados en su diseño, y siendo este dependiente de la señal de entrada recibida. El diseño se ha realizado bloque a bloque, teniendo en cuenta la adaptación de cada una de las señales de salida en función del bloque siguiente de entrada. Finalmente se puede concluir que los resultados obtenidos son satisfactorios ya que se ha conseguido diseñar y modelar un sistema resistivo con memoria, tal y como se proponía al principio del proyecto.

la emulación de

Respecto al circuito sináptico, partiendo de modelos de implementación de sinapsis previos, se ha dado con un circuito que es a la vez compacto y que es capaz de producir a la salida una corriente fruto de la sinapsis, tal y como se ha desarrollado en el capítulo 5. Se ha conseguido que este circuito sea útil para implementar corrientes postsinápticas en redes neuromórficas con dinámicas temporales reales. Esto es, cuando llega un pulso a la entrada del circuito, se produce una corriente sináptica a la salida con una caída exponencial, siguiendo las ecuaciones para la corriente a la salida propuestas tras el análisis del circuito diseñado. Por otra parte funciona como un integrador lineal, y por tanto como un filtro paso baja con un consumo de potencia muy bajo y con ganancia y frecuencia de corte ajustables. Además, se ha añadido complejidad al circuito inicial añadiendo dos bloques: uno de ellos para añadir plasticidad al circuito, es decir, la capacidad para aprender y adaptarse a los cambios que es el propuesto por Rasche y Hahnloser en 2001 (?), el otro para añadir el comportamiento de otras sinapsis biológicas como la NMDA haciendo uso de un par diferencial que fuerza a la corriente de salida a pasar o no por una de las ramas, haciendo que sea necesaria una tensión umbral en la membrana de la neurona para que se libere la corriente sináptica a la salida. De nuevo los resultados de las simulaciones son satisfactorios.

En cuanto a proyectos futuros a partir de este proyecto el abanico de posibilidades es muy grande. En primer lugar y como es evidente la construcción del circuito sináptico propuesto. Además este podría integrarse junto a modelos neuronales existentes para la construcción de redes neuromórficas. Por otra parte el memristor podría utilizarse como modelo para otros componentes con memoria tal y como condensadores o bobinas: memcapacitor, meminductor...

Bibliografía

- [1] Austin Richard Wyer. The synthesis of memristive neuromorphic circuits. mathesis, The University of Tennessee, Knoxville, December 2017.
- [2] Leon O. Chua. Memristor-the missing circuit element. *Transactions on Circuit Theory*, CT-18(5):507–519, September 1971.
- [3] Yuriy V. Pershin y Leon O. Chua Massimiliano Di Ventra. Circuit elements with memory: memristors, memcapacitors and meminductors. *IEEE*, January 2009.
- [4] Sung Mo Kang Lion O. Chua. Memristive devices and systems. *IEEE*, 64(2):209–223, February 1976.
- [5] Steven La Fontaine y Massimiliano Di Ventra Yuriy V. Pershin. Memristive model of amoeba’s learning. *arXiv:0810.4179*, October 2008.
- [6] Duncan R. Stewart y R. Stanley Williams Dmitri B. Strukov, Gregory S. Snider. The missing memristor found. *Nature*, 453:80–83, May 2008.
- [7] Qing Yu Changdi Li y Bocheng Bao Mo Chen, Jingjing Yu. A memristive diode bridge-based canonical chua’s circuit. *Entropy*, 16:6464–6476, December 2014.
- [8] Omid Kavehei Soon-Ku Kang Derek Abbott y Sung-Mo Steve Kang Kamran Eshraghian, Kyoung-Rok Cho. Memristor mos content addressable memory(mcam): Hybrid architecture for future highperformance search engines. *IEEE Trans VLSI Syst*, 10(10), May 2010.
- [9] Alexander A Bessonov, Marina N Kirikova, Dmitrii I Petukhov, Mark Allen, Tapani Ryhänen, and Marc JA Bailey. Layered memristive and memcapacitive switches for printable electronics. *Nature materials*, 14(2):199, 2015.
- [10] Kuk-Hwan Kim, Siddharth Gaba, Dana Wheeler, Jose M Cruz-Albrecht, Tahir Hussain, Narayan Srinivasa, and Wei Lu. A functional hybrid memristor crossbar-array/cmos system for data storage and neuromorphic applications. *Nano letters*, 12(1):389–395, 2011.

