



ugr

Universidad
de Granada

TRABAJO FIN DE GRADO

GRADO EN INGENIERÍA DE TECNOLOGÍAS DE TELECOMUNICACIÓN

Título de mi proyecto

Subtitulo del Proyecto

Autor

Juan Ordóñez Cerezo

Directores

Encarnación Castillo Morales

Jose María Cañas Plaza



MI FACULTAD

Granada, Junio de 2017

Título de mi proyecto: Subtítulo del proyecto

Juan Ordóñez Cerezo

Palabras clave: wearables, ECG, monitorización médica, instrumentación médica

Resumen

En esta memoria se expone el desarrollo de un sistema portable de adquisición de señales ECG. Para la consecución del mismo se ha desarrollado el dispositivo a través de electrónica reconfigurable. Finalmente, se ha implementado el dispositivo en una PCB y se ha creado una aplicación de Android para la visualización de las señales. Con esta documentación se pretende mostrar una amplia visión de los avances en la tecnología portable para contextualizar el presente TFG y una visión completa y detallada del proceso de desarrollo del sistema.

Project Title: Project Subtitle

Víctor, Toral López

Keywords: wearables, ECG, medical monitoring, medical instrumental

Abstract

In this documentation, the development of a portable system to acquire ECG signals. To success in this objective, reconfigurable electronics have been used. Finally, a PCB and an Android app have been made in order to made a fully functional system. Along this documentation a global vision about the state of the art and the development process are exposed in order to bring a better comprehension of the project.

Yo, **Juan Ordóñez Cerezo**, alumno de la titulación Grado en Ingeniería de Tecnologías de Telecomunicación de la **Mi facultad**, con DNI 77143207B, autorizo la ubicación de la siguiente copia de mi Trabajo Fin de Grado en la biblioteca del centro para que pueda ser consultada por las personas que lo deseen.

Fdo: Juan Ordóñez Cerezo

Granada a 26 de Junio de 2017.

D. **Encarnación Castillo Morales**, Profesor del Departamento de Electrónica y Tecnología de Computadores de la Universidad de Granada.

D. **Jose María Cañas Plaza** , Profesora del Departamento Electrónica y Tecnología de Computadores de la Universidad de Granada.

Informan:

Que el presente trabajo, titulado ***Título de mi proyecto, Subtítulo del proyecto***, ha sido realizado bajo su supervisión por **Juan Ordóñez Cerezo**, y autorizamos la defensa de dicho trabajo ante el tribunal que corresponda.

Y para que conste, expiden y firman el presente informe en Granada a 26 de Junio de 2017.

Los directores:

Encarnación Castillo Morales Jose María Cañas Plaza

Agradecimientos

Poner aquí agradecimientos...

Índice general

1. Introducción	1
1.1. Introducción	1
1.1.1. Motivación y objetivos	1
1.1.2. Planificación	1
1.1.3. Metodología de trabajo	1
1.1.4. Estructura de la memoria	1
2. Estado del arte	3
2.1. Concepto FPGAs	3
2.1.1. Evolución y escenario	4
2.1.2. Arquitectura FPGA	5
2.1.3. Lenguajes de descripción hardware	6
2.1.4. Verilog	7
2.2. FPGAs libres	9
2.2.1. Evolución	9
2.2.2. Escenario	9
2.2.3. IceZum Alhambra	9
2.2.4. IceStudio	10
2.3. Cohexistencia Microcontrolador-FPGA	13
2.3.1. Diferencia microcontrolador-FPGA	13
2.3.2. Necesidad	14
2.4. Robótica educativa, motivaciones y necesidad.	16
2.5. Sensores, actuadores y sistema de control	17
3. Balancing Robot	21
3.1. Diseño del sistema	21
3.1.1. Descripción del problema	21
3.1.2. Descripción de la solución. (Diagrama de bloques alto nivel)	22
3.1.3. Física de un Balancing Robot	22
3.1.4. Integración IceZum Alhambra-Arduino Nano	22
3.1.5. Controlador PWM	23
3.1.6. Unidad de medida inercial	23
3.1.7. Motores	24
3.1.8. Control PID clásico.	24
3.1.9. Diseño estructura mecánica	24
3.1.10. Diseño PCB	24
3.1.11. Batería	25
3.2. Implementación del sistema	25
3.2.1. Integración IceZum Alhambra-Arduino Nano	25
3.2.2. Unidad de medida inercial MPU6050 en Arduino Nano	33
3.2.3. Control P	33

3.2.4. Control D	33
3.2.5. Controlador PWM	33
3.2.6. Controlador driver motor	33
3.2.7. Fabricación estructura mecánica	33
3.2.8. Fabricación PCB	33
3.2.9. Elección de materiales y coste del prototipo	40
3.3. Experimentos	40
3.3.1. VGA Module	40
3.3.2. Protocolo I2C	40
3.3.3. Controlador motor burshless	40
4. Cuadricoptero con vision artificial	41
5. Conclusiones y trabajo futuro	43
Bibliografía	47

Índice de figuras

2.1. PLD vs FPGA	3
2.2. Ley de Moore	4
2.3. PLD vs FPGA	5
2.4. Paralelización de Procesos	8
2.5. IceZum Alhambra Board	10
2.6. Ventana principal IceStudio.	11
2.7. Escritura I2C IceStudio.	12
2.8. Escritura I2C IceStudio bajo nivel.	12
2.9. Funcionalidad FPGA y Micro-controlador.	13
2.10. Puertas lógicas despues de una implementación hardware.	14
2.11. Sistema bipedo coexistencia Micro-FPGA.	16
3.1. Separación de procesos micro-FPGA.	22
3.2. Pines hardware de coexistencia micro-FPGA.	23
3.3. Conector GND y VCC.	24
3.4. Diagrama interno Arduino Nano.	26
3.5. Envío de ángulo usando el puerto serie.	26
3.6. Apariencia del módulo interfaz de Arduino Nano en IceStudio.	28
3.7. Diagrama de flujo de la interfaz para ArduinO.	29
3.8. Ordenación de la parte entera y decimal de un ángulo.	31
3.9. Diagrama de flujo modulo ordenación de bytes.	32
3.10.	34
3.11.	37
3.12.	38
3.13.	38
3.14.	39
3.15.	39

Índice de cuadros

2.1. Modo de operación de sensores.	18
3.1. Composición de capas en PCB.	36

Capítulo 1

Introducción

1.1. Introducción

1.1.1. Motivación y objetivos

1.1.2. Planificación

1.1.3. Metodología de trabajo

1.1.4. Estructura de la memoria

Capítulo 2

Estado del arte

2.1. Concepto FPGAs

Una FPGA o (Field programmable Gate Arrays) es un dispositivo reconfigurable que puede ser eléctricamente programado para implementar una alta variedad de circuitos lógicos. Consiste en un array uniforme de estructuras lógicas programables que son interconectadas por una configurable red de enrutamiento. Un ejemplo de una red de enrutamiento puede verse en la figura 2.1

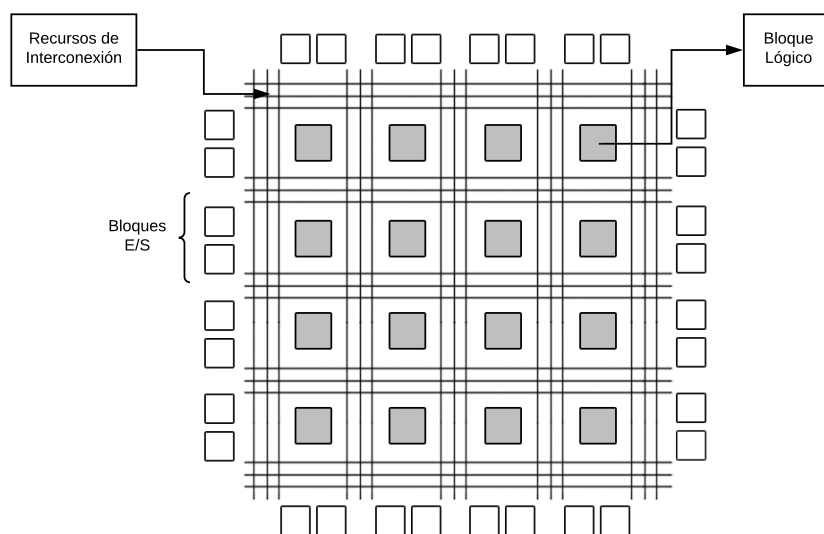


Figura 2.1: PLD vs FPGA

Lo lógica y las estructuras de interconexión pueden ser configuradas gracias a potentes herramientas CAD, las cuáles permiten que el usuario final pueda definir esta interconexión física de bloques lógicos mediante lenguajes de descripción hardware (HDL). Algunos de los más conocidos son VHDL, Verilog o ABEL.

Si bien no es el más usado actualmente, a lo largo de esta memoria se realizará una breve introducción a Verilog, comentando y analizando sus principales características.

2.1.1. Evolución y escenario

Las FPGAs fueron inventadas en el año 1984 por Ross Freeman y Bernard Vonderschmitt, co-fundadores de Xilinx. Originalmente fueron diseñadas para servir como prototipos o demostraciones de la funcionalidad de circuitos digitales.

Las FPGAs conforman actualmente la máxima evolución de los PLDs (Programmable Logic Device), definidos estos como circuitos integrados en los que se pueden programar ecuaciones lógicas booleanas.

El revolucionario éxito de estos dispositivos programables puede ser atribuido a la flexibilidad en la implementación del diseño. Así, la capacidad de re-programar al instante la FPGA con varios circuitos sin costo adicional, promueve la re-utilización del dispositivo, permite una rápida verificación del diseño y por ello, reduce el gasto en la etapa de desarrollo.

Si bien actualmente no representan todo el sistema de un producto final, sus ventajas en las propiedades del diseño hacen que estén empezando a formar parte de una pieza importante en el desarrollo de un producto electrónico.

Para intentar entender el porqué de la importancia de dispositivos de implementación hardware sería adecuado introducir la Ley de Moore.

La ley de Moore expresa que aproximadamente cada dos años se duplica el número de transistores en un microprocesador. Como se puede ver en la figura 2.2, esta ley que formuló el cofundador de Intel E. Moore el 19 de Abril de 1965 no se aleja de la realidad:

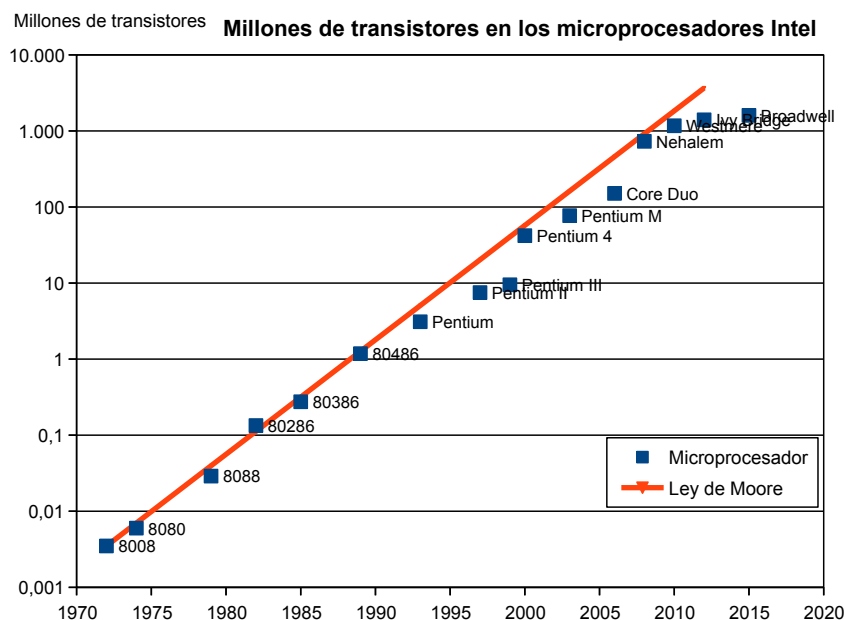


Figura 2.2: Ley de Moore

No obstante, tal y como ya han anunciado las principales empresas de microprocesadores actuales como son Intel y AMD en su hoja de ruta tecnológica para semiconductores, la ley de Moore llegará a su fin en 2021.

Después de esa fecha, no resultará económicamente eficiente reducir más el tamaño de los transistores de silicio. La predicción de la industria no es que simplemente su tasa de reducción será cada vez más lenta, sino que se va a detener definitivamente.

Es aquí donde la electrónica digital comenzará a tener un papel importante en los microprocesadores, brindando sus principales características. Estas ventajas e inconvenientes serán presentadas en los capítulos 2.1.2 y 2.1.3.

2.1.2. Arquitectura FPGA

En un PLD, las interconexiones entre elementos ya están prefijadas, y solo es posible habilitar o deshabilitar esta conexión. Por el contrario, en una FPGA estas interconexiones no están prefijadas, siendo el usuario final el que decide las interconexiones entre bloques lógicos:

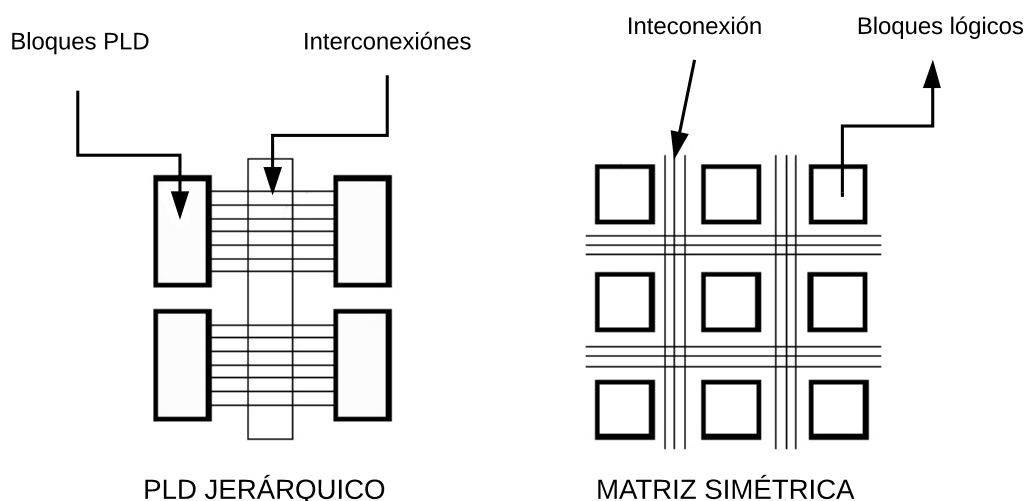


Figura 2.3: PLD vs FPGA

A la hora de elegir una FPGA para un proyecto determinado es importante tener en cuenta una de sus propiedades más importantes, el número de bloques lógicos. El número de bloques lógicos determinan la capacidad del dispositivo y forma parte de una de las características más limitantes de las FPGAs en la actualidad. Los bloques lógicos son independientes entre sí y pueden interconectarse para formar un módulo más complejo.

A continuación se introducirán los conceptos de granularidad fina y granularidad gruesa, que dará lugar al correcto entendimiento de la arquitectura en una FPGA. (<https://cartelera.webcindario.com/fpga>).

Estos módulos más complejos realizan las operaciones básicas que en conjunto representan la función que operará en una FPGA. Se dice que la FPGA son dispositivos con una arquitectura avanzada por la densidad de sus componentes y por los diferentes caminos de interconexión entre módulos. Así, de acuerdo al tipo de módulos lógicos que la conforman, encontramos dos derivaciones estructurales:

- Granularidad Gruesa.
- Granularidad Fina.

Los módulos lógicos en una arquitectura de granularidad gruesa son módulos grandes generalmente consistentes de una o más tablas de búsqueda y dos o más flip-flops. La tabla de búsqueda, también conocida como LookUp Table, actúa como una memoria donde se encuentra almacenada la tabla de verdad que representa la función lógica del circuito, así, en una LUT se puede implementar cualquier función deseable.

Por otra parte, una arquitectura de granularidad fina, está estructurada por una gran cantidad de módulos lógicos pequeños que realizan funciones relativamente simples. Cada módulo está compuesto de un circuito de dos entradas que realiza una función lógica determinada, o en algunos otros casos por un multiplexor. También suele contener algún flip-flop.

La FPGAs mas utilizadas actualmente suelen contar con tecnologia de granularidad gruesa, que permite elevar el nivel de abstracción con respecto a las FPGA de granularidad fina. Así, el primer caso permite implementaciones menos detalladas ya que desde un nivel muy básico se tienen módulos más complejos y el hecho de utilizar LUT deja entrever que se pueden realizar diseños grandes. A lo largo de este proyecto se trabajará con el primer caso, ejemplo de ello es la FPGA utilizada, IceZum Alhambra II.

El diseñador propone la función lógica a realizar a través de métodos de descripción hardware y define los parámetros de su problema. Esto se hace por medio de código programable, que puede ser un lenguaje de descripción hardware, los cuáles son introducidos a continuación.

2.1.3. Lenguajes de descripción hardware

Un HDL(Hardware Description Lenguaje) es un lenguaje usado para modelar el funcionamiento de un bloque hardware en una forma textual.

Al igual que podemos encontrar diferencias entre los diferentes tipos de lenguajes de programación en cuanto a su sintaxis de codificación y sus métodos de simulación y síntesis, se observan ciertas diferencias entre HDL's.

Se tienen dos tipos diferentes de lenguajes de descripción hardware:

- Bajo modelado. No permiten la jerarquización de módulos y son capaces de realizar solo descripciones simples.
- Alto modelado. Son los mas utilizados actualmente, permiten diseñar sistemas más complejos. Ejemplos de alto modelado son Verilog (Verify Logic) y VHDL (VHSIC Hardware Description Language).

En el presente trabajo nos basaremos en Verilog por permitir un nivel mas alto de implementación que VHDL, como veremos en la sección 2.1.4 .

Ambos lenguajes comparten algunas características comunes, como el soporte para cualquier nivel de modelado y abstracción, y que cada elemento de diseño tiene una interfaz bien definida, para permitir la conexión rápida con otros elementos lógicos.

2.1.4. Verilog

Debido a su utilización a lo largo de este proyecto, se analizarán algunas características importantes.

Tipos de datos

Existen dos tipos de datos en Verilog los cuales tienen que ser entendidos para poder alcanzar la funcionalidad buscada:

- reg: Representan variables con capacidad para almacenar información.
- wire: Representan conexiones entre componentes, no tienen capacidad de almacenamiento.

Implementación en módulos

En la mayoría de los casos y para no perder el nivel de abstracción, un proyecto en Verilog suele estar compuesto por un conjunto de módulos los cuáles forman una funcionalidad completa, y cada uno de ellos, una específica.

Las características principales de la implementación digital por módulos se muestran a continuación:

- Cada módulo dispone de una serie de entradas y salidas cuya función principal es interconectar otros módulos aunque puede no tener entradas y salidas.
- No existen variables globales.
- Cada módulo puede describirse de forma arquitectural o de comportamiento.

Esta implementación por módulos Verilog permite la configuración del nivel de abstracción deseado por el usuario final. El desarrollo de módulos de funcionalidad específica puede tener sus ventajas e inconvenientes dependiendo de su uso final. Si se quieren reutilizar para otros flujos de trabajo (ejemplo: sumador 8 bits), es bueno tener módulos muy definidos según su funcionalidad. Sin embargo, la modularización no tiene porque ser imprescindible, si bien aconsejada.

Paralelización de Procesos

Una de las características más importantes que diferencia a Verilog del resto de lenguajes procedurales es la posibilidad de ejecutar varios procesos en paralelo, aspecto fundamental en el lenguaje, y el cual le brinda gran parte de las ventajas de usar implementación hardware.

PROCESOS ORGANIZADOS EN PARALELO

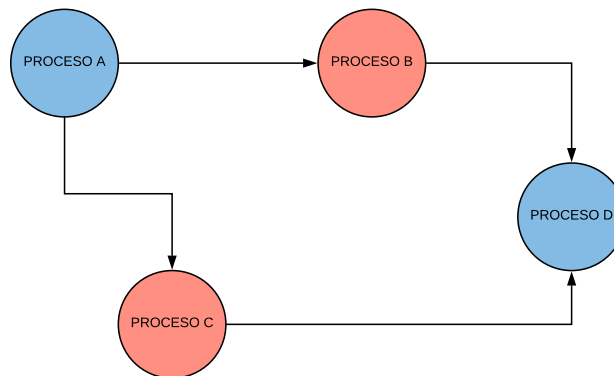


Figura 2.4: Paralelización de Procesos

Toda la descripción del comportamiento en Verilog debe declararse dentro de un proceso, estos pueden ser dos tipos: <https://es.wikibooks.org/wiki/Programaci>

- Initial: Este tipo de procesos se ejecuta sólo una vez comenzando su ejecución al inicio, y por tanto no existen retardos. Este proceso no es sintetizable, es decir, no puede ser utilizado en una descripción RTL.
- Always: Este tipo de procesos se ejecuta continuamente a modo de bucle, y como su propio nombre indica, está continuamente ejecutándose. Este proceso si que es sintetizable y es controlada por la temporización o por eventos. Si dicho bloque se ejecuta por más de un evento, dicho conjunto se denomina lista sensible.

Estructuras de control

Al igual que los lenguajes de tipo procedural, Verilog dispone de una serie de estructuras de control:

- if - else
- Case. Es una de las estructuras de control mas utilizadas a lo largo de este proyecto, permite la generación de máquinas de estados
- For
- While
- Forever
- Wait

Asignacion continua

Mediante la asignación continua se puede modelar lógica combinacional, es decir, no se necesita una lista de sensibilidad para realizar la asignacion. Sólo puede ser declarada fuera de cualquier proceso.

Asignacion procedural

A las variables se le asigna un valor dentro de un proceso always o initial, el tipo de variable a la que se le asigna el valor puede ser de cualquier tipo.

2.2. FPGAs libres

2.2.1. Evolución

2.2.2. Escenario

2.2.3. IceZum Alhambra

Para este trabajo se ha optado por trabajar con la IceZum Alhambra, la cuál ha sido íntegramente diseñada y ensamblada en España.

Es una FPGA libre y compatible con IceStudio (el cuál se verá a continuación). Alguna de sus características más importantes pueden ser:

- Placa FPGA de desarrollo iCE40HX1K-TQ144 de la empresa Lattice.
- Open hardware.
- Compatible con IceStorm toolchain.
- Compatible con shields de Arduino Uno.
- 12MHz Oscilador.
- Interruptor ON/OFF para activar o desactivar los pines digitales.
- 20 Input/output 5v pines.
- 8 Input/Output 3.3V pines
- USB micro-B para programar la FPGA desde el pc.
- Botón de reset.
- 8 leds de proposito general.
- TX/RX Leds
- 4 entradas analógicas disponibles a través de i2c.

Es conocido que existen placas con mejores características, pero el hecho de que sea Open Hardware y que se pueda implementar con IceStudio, ha llevado a la elección final de esta placa para el desarrollo del presente proyecto.

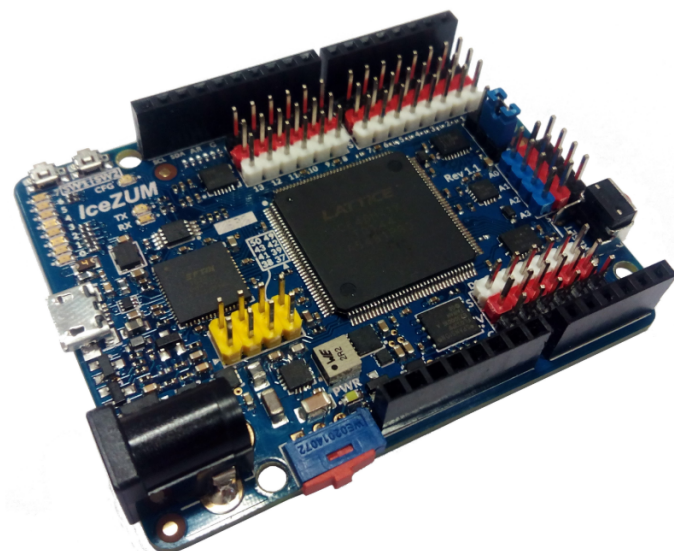


Figura 2.5: IceZUM Alhambra Board

Un punto a tener en cuenta para el desarrollo de hardware con esta FPGA es su limitada memoria de 1K lo que ha supuesto una limitación importante en el desarrollo. Es por eso que también se ha usado la nueva versión de la IceZUM Alhambra, la cuál aún no estaba en el mercado al inicio del proyecto y que conlleva algunas mejoras, como la ampliación de 8K en su memoria.

2.2.4. IceStudio

Los lenguajes HDL suelen tener una curva de aprendizaje difícil, debido esto en gran medida al nivel de abstracción tan bajo necesario para diseñar un sistema en concreto. Es necesario conocer las características hardware de nuestro sistema para poder trabajar con este tipo de lógica.

Como hemos visto anteriormente, algunos fabricantes proporcionan herramientas comerciales para programar sus propios FPGA. Si bien en la actualidad son entornos complejos, cuentan con una gran cantidad de herramientas y funcionalidades. Lamentablemente la mayoría de ellos no son gratuitos y están unidos a la arquitectura de un único fabricante.

Con la evolución de las FPGAs han empezado a aparecer lenguajes que permiten un mayor nivel de abstracción. Además, también han aparecido herramientas centradas en la implementación gráfica. Un ejemplo de este tipo de implementación es LabVIEW FPGA o IceStudio.

IceStudio es un proyecto Open Source desarrollado por Jesús Arroyo Torrens y sobre el que nos basaremos a lo largo del presente documento.

IceStudio es IDE gráfico para FPGAs libres y esta construido sobre el proyecto IceStorm. El proyecto IceStorm tiene como objetivo la ingeniería inversa y la documentación del formato bitstream de la FPGA Lattice iCE40 (aunque más adelante fueron surgiendo algunas más). Proporciona herramientas simples para analizar y crear archivos de flujo de bits, esto es, el más bajo de nivel de implementación para una FPGA.

Para acercar al lector al conocimiento y funcionamiento de IceStudio se irán incorporando a lo largo del documento una serie de capturas de pantalla representativas para que no se pierda

la visión de lo que se esta haciendo. Por ejemplo, la ventana principal de IceStudio y sobre la que se desarrollará todo lo demás tendrá la siguiente apariencia:

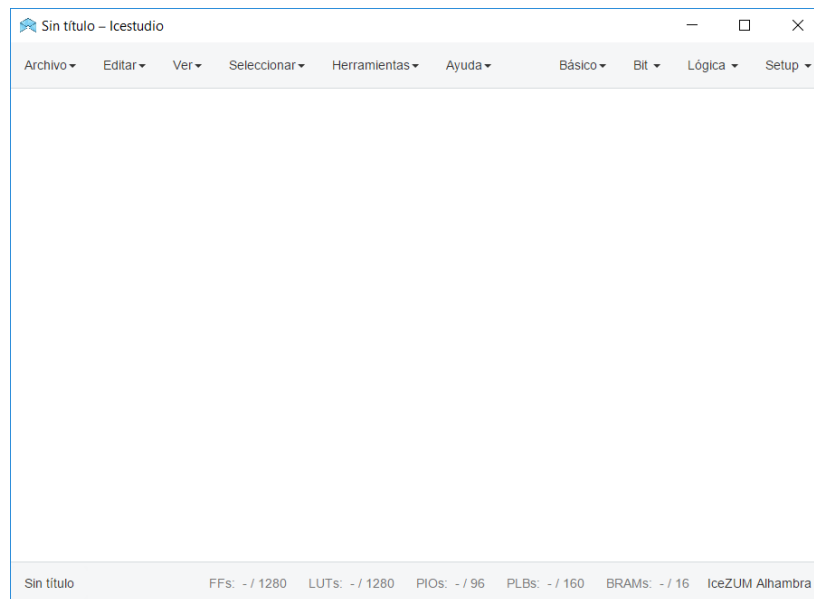


Figura 2.6: Ventana principal IceStudio.

El hecho de que IceStudio sea un editor gráfico puede hacer pensar que el nivel de abstracción podría ser más alto de lo deseado, pero lo cierto es que este nivel es configurable. Es el usuario final el que decide con que nivel de abstracción trabajo, siendo necesario para eso una amplia biblioteca de módulos como veremos a continuación. Para poder explicar la potencia de IceStudio, se procederá con un ejemplo;

El módulo que se presenta en la siguiente imagen es una escritura normal de i2c, en la cuál se parametriza la dirección del esclavo y la dirección que se quiere leer (más adelante se explicará con más detalle).

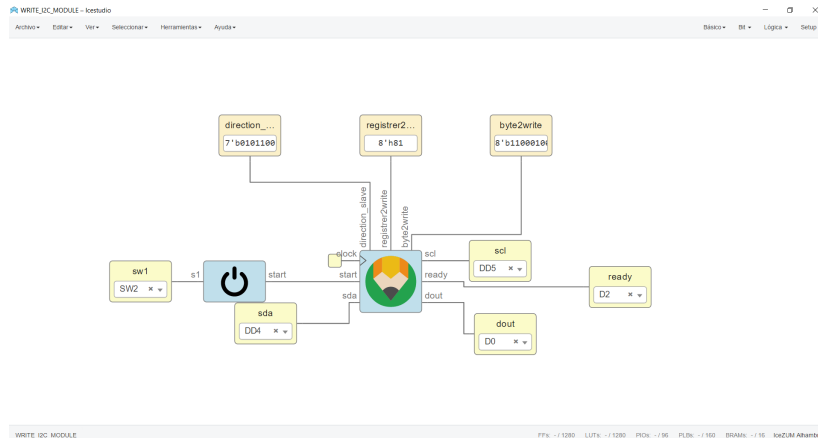


Figura 2.7: Escritura I2C IceStudio.

Así, si una persona no experimentada con este tipo de código y cuyo fin no es entenderlo quiere hacer uso de eso no deberá de bajar mucho de nivel.

No obstante, existe la posibilidad de que se requieran cambiar valores como la frecuencia de reloj, el modo de operación i2c...etc. Para ello podemos bajar de nivel e introducirnos en el módulo en cuestión, en este caso, haciendo doble clic:

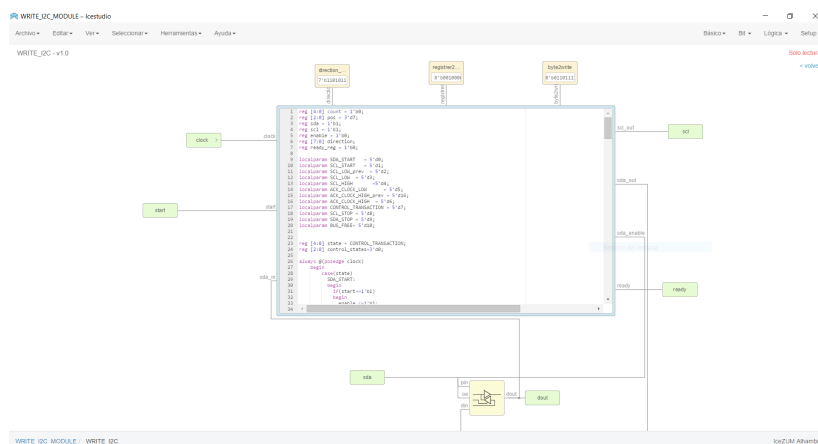


Figura 2.8: Escritura I2C IceStudio bajo nivel.

Se podría decir entonces que se ha bajado un nivel más de abstracción, pudiendo entrar ahora en detalles hardware más específicos si es necesario.

En la anterior demostración se ha podido ver una de las ventajas de IceStudio. La modularidad permite configurar el nivel de abstracción. Para ello hace falta una biblioteca de módulos, algunos de los cuáles serán creados a lo largo de este trabajo.

2.3. Cohexistencia Microcontrolador-FPGA

2.3.1. Diferencia microcontrolador-FPGA

En un principio puede parecer que un procesador y FPGA son dispositivos similares porque ambos pueden realizar ciertas tareas. Lo cierto es que al profundizar se pueden encontrar mas diferencias que similitudes. Ambos son capaces de implementar una función de transferencia, pero la forma en la que lo hacen es diferente para cada uno de ellos.

Así, podríamos ver las FPGA y los microcontroladores como una caja negra en la que tenemos unas entradas y ciertas salidas.

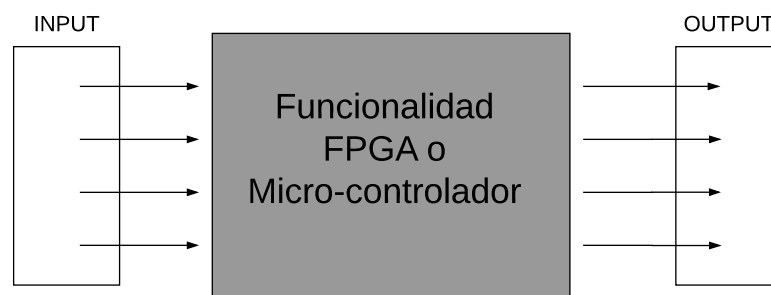


Figura 2.9: Funcionalidad FPGA y Micro-controlador.

Para comprobar de forma resumida como implementan de manera diferente esa función de transferencia, se explicará de forma muy resumida la forma de trabajar con un procesador. Un procesador contiene una serie de instrucciones que realizan operaciones sobre operaciones binarias (sumar, incrementar, leer y escribir de la memoria). Dependiendo del tipo de procesador y de su arquitectura tenemos más o menos instrucciones asociadas, siendo este aspecto uno de los mas importante que determinan su rendimiento.

Arquitectura procesador

Se dispone de una serie de registros, una memoria para almacenar la información y una pila de instrucciones, que contiene el programa que va a ejecutarse en código máquina, además de un reloj.

Su modo de funcionamiento a alto nivel; en cada ciclo de reloj el procesador lee de su pila de instrucciones los valores necesarios, llama a la instrucción oportuna y ejecuta un determinando cálculo.

Como se argumentó en el capítulo , al implementar un diseño lógico en una FPGA, se está modificando una matriz de conexiones físicas. Modificando esa matriz de conexiones se pueden

implementar diferentes bloques de funcionalidad, es decir, se podría ver como varias funciones de transferencia en un mismo sistema. En la imagen 2.10 se puede ver una representación de un ejemplo real de como están implementadas las conexiones físicas de puertas lógicas en una FPGA, y de como eso permite tener módulos independientes unos de otros. Además, notese el problema de la memoria en una FPGA, siendo esta el número total de puertas lógicas físicas que pueden ser utilizadas;

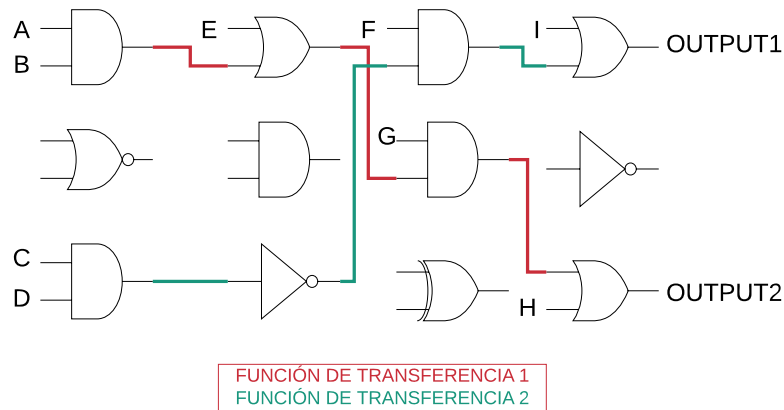
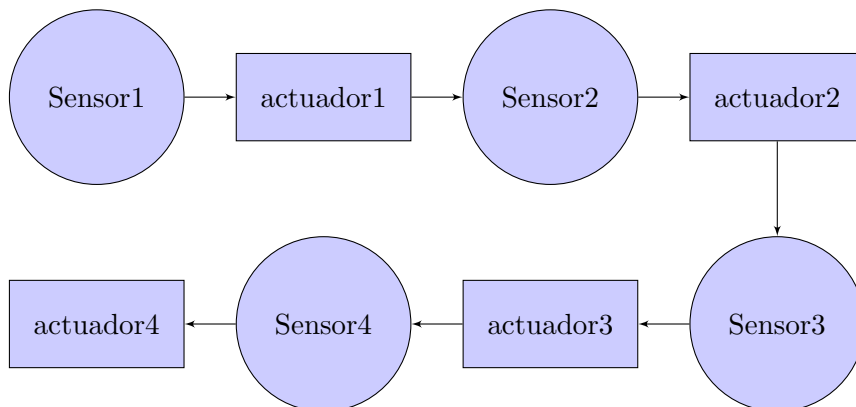


Figura 2.10: Puertas lógicas despues de una implementación hardware.

2.3.2. Necesidad

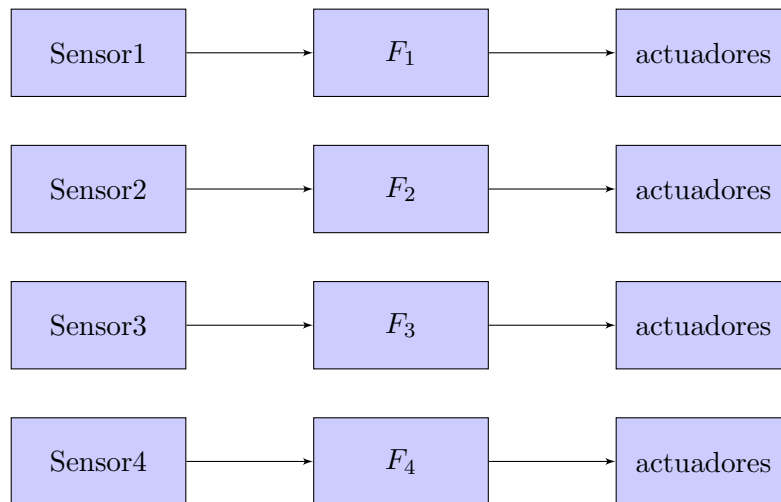
Se imagina un ejemplo real el que se quieren monitorizar con exactitud 4 diferentes sensores provenientes del exterior, de una manera exacta y a la velocidad del reloj, siendo necesario además una posterior actuación por parte del sistema. El diagrama de bloques del flujo de trabajo en un procesador que implemente lo anterior podría parecerse al siguiente:



Así, el usuario final de este sistema, deberá de manera cíclica comprobar cada sensor y su posterior actuación, dejando de cumplir entonces las especificaciones de tiempo. Si se trabajase con interrupciones se configurarían las diferentes interrupciones externas o se

podrían usar ejecutivos cíclicos para acercarse a esos requerimientos finales. No obstante, cualquiera de estas soluciones, no dejan de ser una aproximación.

En cambio, con el uso de un FPGA, el diagrama de bloques del flujo de trabajo tendría el siguiente aspecto:



Se implementarían diferentes funciones de transferencia para cada uno de los bloques a desarrollar, pudiendo ejecutarse estos en paralelo.

No obstante, no siempre es necesario un ejecutivo en paralelo, y no solo puede no ser necesario sino que podría ser perjudicial. Cuando un sistema debe ser secuencial, ¿porqué utilizar una implementación de naturaleza paralela?.

Es muy común tener sistemas donde conviene poder implementar ambos tipos de funcionamiento, por eso una coexistencia FPGA- Micro-controlador podría ser suficiente para adaptarse a los requerimientos.

En la imagen 2.11 se puede ver como ejemplo real de un sistema bípedo, el cuál se explicará con mas detalle en los siguientes capítulos:

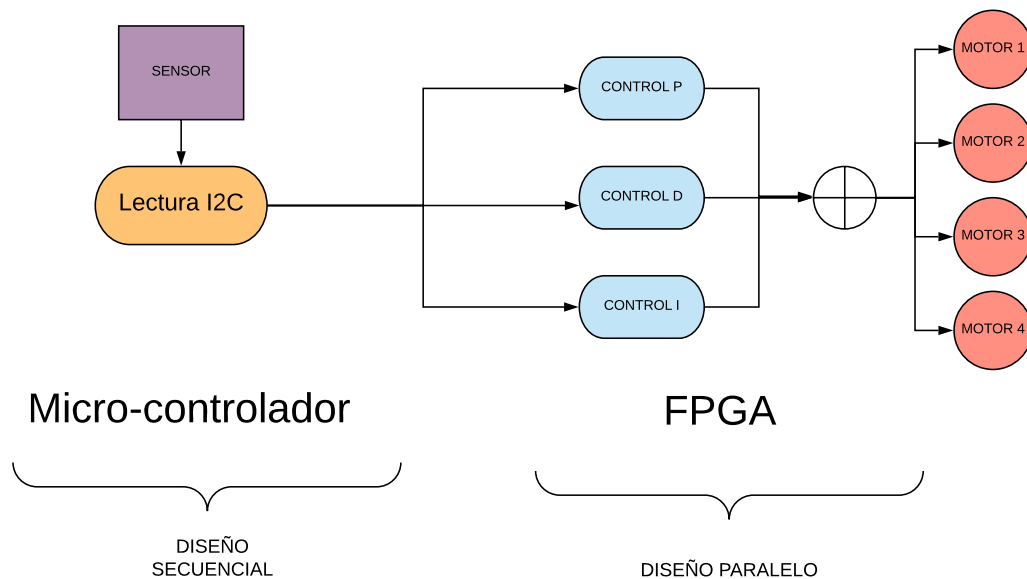


Figura 2.11: Sistema bipedo coexistencia Micro-FPGA.

2.4. Robótica educativa, motivaciones y necesidad.

La robótica se puede considerar sin duda como una de las áreas tecnológicas con más auge de la actualidad y basada en el estudio de los robots, que son sistemas compuestos por mecanismos que le permiten hacer movimientos y realizar tareas específicas, programables e inteligentes.

Dependiendo de la aplicación por tanto, la robótica puede extenderse y generar beneficios no solo en la industria sino también en las aulas de clase, posibilitando la aparición de nuevos sistemas de aprendizaje.

Además en un mundo cuyo futuro va encaminado a la utilización de robots para cualquier actividad, el acercamiento desde las aulas con estos sistemas posibilita su desarrollo tecnológico a una edad temprana, siendo más fácil su integración a una edad adulta.

Algunos beneficios de la robótica educativa son expuestos a continuación:

- Impulsa la iniciativa y la creatividad
- Mayor sociabilización
- Incentiva el pensamiento algorítmico y matemático
- Trabajo en equipo
- Resolución de problemas

- Aprendizaje activo
- Aumento de la autoestima

No obstante, para que la integración en las aulas de la robótica educativa sea aun mas fácil, los sistemas deben cumplir algunas características:

- No es recomendable la integración a alto nivel tecnológico.
- Los robots deben ser de carácter amigable y divertido.
- Los entornos de programación no deben ser complejos, y aunque su funcionalidad este algo limitada, tiene que llamar la atención del alumno y hacerle sentir cómodo.
- Es importante que el robot cuente con una serie de sensores y actuadores, unas entradas y salidas para que los resultados sean visuales.

Después de haber analizado cuáles son las ventajas de la electrónica digital, resulta conveniente poder acercar estos dos campos de conocimiento; electrónica digital-robótica educativa.

Si la electrónica digital y el mundo de los robots están llamados a formar parte de nuestras vidas en un futuro cercano, la necesidad de un acercamiento a estos dos conceptos a edades tempranas es básico para un correcto avance de la tecnología.

Con esta idea nace IceStudio, hacer amigable la electrónica digital para que los más pequeños puedan hacer uso de ella, y además, cumple todas las características antes expuestas.

2.5. Sensores, actuadores y sistema de control

[http : //www.micronica.es/files/pdfs/SIHD/SIHDsensActuEC.pdf](http://www.micronica.es/files/pdfs/SIHD/SIHDsensActuEC.pdf) [https : //es.wikipedia.org/wiki/Sistema_de_control](https://es.wikipedia.org/wiki/Sistema_de_control)

Antes de comenzar con el desarrollo del proyecto, es importante tener claro los conceptos de sensores, actuadores y elementos del sistema de control, los cuáles forman parte de cualquier plataforma robótica móvil.

Cualquier instalación de control, ya sea robótica o inmotica, esta compuesta por tres componentes fundamentales:

- Sensores
- Actuadores
- Sistema de control

Los sensores son dispositivos que recogen información del mundo que nos rodea y lo transforma en señales eléctricas que puedan ser asimiladas por un sistema de control.

Así, el sistema de control recibe información del entorno sobre el que queremos realizar algún tipo de acción por medio de los sensores, es la función de transferencia del sistema, a partir de unas entradas de tipo conocido, son generadas unas salidas, normalmente, dependientes de las entradas.

Estas salidas son denominadas actuadores, que son dispositivos que, siguiendo los parámetros dados por el sistema de control realizan acciones que repercuten en el entorno.

Ejemplo: Un sensor indica al sistema de control la intensidad lumínica de nuestra habitación, el sistema de control reconoce que el nivel no es el adecuado para la lectura, y activa un actuador, en este caso, una luz, para contrarrestar ese nivel.

A la hora de elegir un determinado sensor, es importante conocer su modo de operación, para poder configurar o mantener sistemas que los incorporen. Existen diferentes tipos de sensores según:

- Tipo de salida:
 - Analógicos
 - Binarios
 - Digitales
- Estructura interna:
 - Pasivos
 - Activos
- Tipo de parámetros capaces de detectar

A continuación se muestran algunos de los más interesantes para el desarrollo del proyecto:

Magnitud	Transductor	Característica
Posición lineal y angular	Potenciómetro	Analógica
	Encoder	Digital
	Sensor Hall	Digital
Velocidad lineal y angular	Dinamo tacométrica	Analógica
	Encoder	Digital
	Detector inductivo	Digital
	Servo-inclinómetros	A/D
	RVDT	Analógica
	Giróscopo	Digital
Aceleración	Acelerómetro	Analógico
	Servo-accelerómetros	
Visión artificial	Cámaras de video	Procesamiento digital
	Cámaras CCD o CMOS	Procesamiento digital

Cuadro 2.1: Modo de operación de sensores.

Otra clasificación posible es la del ámbito de aplicación, es decir, donde y para qué son usados estos sensores.

De entre las características técnicas más importantes de un sensor, y haciendo una introducción al posible vocabulario que se utilizará, encontramos:

- Rango de medida: dominio en la magnitud medida en el que puede aplicarse el sensor.

- Precisión: es el error de medida máximo esperado.
- Offset o desviación de cero: valor de la variable de salida cuando la variable de entrada es nula.
- Sensibilidad de un sensor: suponiendo que es de entrada a salida y la variación de la magnitud de entrada.
- Resolución: mínima variación de la magnitud de entrada que puede detectarse a la salida.
- Derivas: son otras magnitudes, aparte de la medida como magnitud de entrada, que influyen en la variable de salida.

Por lo general, la señal de salida de estos sensores no es apta para su lectura directa y a veces tampoco para su procesamiento, por lo que se usan circuitos de acondicionamiento.

imagenes de sensores

Los actuadores son los dispositivos que permiten al sistema de control ‘actuar’ sobre el ‘mundo real’ para realizar las acciones deseadas. Uno de los actuadores mas conocidos son los motores, el cuál será muy utilizado a lo largo de esta aplicación.

Capítulo 3

Balancing Robot

3.1. Diseño del sistema

3.1.1. Descripción del problema

En el presente capítulo se pretende abordar el problema del péndulo invertido mediante la utilización de una FPGA. Para ello, en los respectivos capítulos se tratará la física de un Balancing robot, el cálculo de su estructura, los sensores y actuadores utilizados, el sistema de control y el diseño y fabricación de una PCB que resuelva de manera más adecuada algunos problemas de los anteriormente planteados. Se utilizará una comunicación entre FPGA-Micro-controlador y se dará una versión más global del sistema propuesto, con un diagrama de bloques general.

Para entrar en contacto con el problema a resolver, se enunciará brevemente el problema del péndulo invertido, cuya solución ha dado lugar a muchas herramientas muy famosas en la actualidad, una de ellas, por ejemplo, el llamado *SegWay*:

SegWay

(<https://academica-e.unavarra.es/bitstream/handle/2454/11723/TFGBasarteBozalLuisFernando.pdf?sequence=1>)

(https://es.wikipedia.org/wiki/P%C3%A9ndulo_invertido) Si nos referimos al concepto literal tal cuál se encuentra en Wikipedia:

Péndulo: Es un sistema físico que puede oscilar bajo la acción gravitatoria u otra característica física (elasticidad, por ejemplo) y que está configurado por una masa suspendida de un punto o de un eje horizontal fijos mediante un hilo, una varilla, u otro dispositivo que sirve para medir el tiempo.

Así, y como el lector podrá imaginar, un péndulo invertido tendrá el siguiente aspecto:

foto pendulo invertido

Consiste en un péndulo donde el centro de masas se encuentra situado por encima del punto o eje de balanceo. Como cabe esperar, esta disposición dota al sistema de una inestabilidad estática. Recordamos que un sistema es estable cuánto mas cercano esta del plano horizontal de apoyo su centro de gravedad.

El fundamento de este proyecto consistirá por tanto en intentar corregir esta inestabilidad, y forma parte de uno de los problemas mas famosos en cuánto a teoría de control y dinámica de sistemas.

3.1.2. Descripción de la solución. (Diagrama de bloques alto nivel)

En los sucesivos capítulos se irá profundizando en cada uno de los bloques anteriores.

3.1.3. Física de un Balancing Robot

3.1.4. Integración IceZum Alhambra-Arduino Nano

Una integración entre un micro-controlador y FPGA permite diferenciar tareas secuenciales y paralelas, asignando cada proceso o bien al micro-controlador si necesariamente tiene que ser secuencial o bien a la FPGA si el proceso puede ser paralelizado y obtener con ello algunas ventajas.

Hay varias opciones para hacer una integración Micro-Controlador–FPGA:

- Emular el comportamiento de un micro-controlador en una FPGA.
- Coexistencia física de una FPGA y micro-controlador creando una comunicación entre cada una de ellas.

En este proyecto se ha elegido la segunda como opción por no contar con los recursos suficientes para llevar a cabo la primera, a pesar de que esta sería la más adecuada en cuanto ahorro de recursos y facilidad de uso.

Así, el sistema elegido deberá contar con algún modelo de comunicación que permita una integración como si de un solo sistema se tratase, aspecto sobre el que se basa este capítulo. Para claridad por parte del lector, un esquema básico del objetivo final se representa en la figura ??.



Figura 3.1: Separación de procesos micro-FPGA.

En este caso la comunicación será solo uni-direccional, el micro-controlador enviará información a la FPGA sobre el ángulo actual del objeto en cuestión con el objetivo de que la FPGA analice y actúe a partir de ese ángulo.

Si no se conociese el ángulo actual, el sistema final no sabría reconocer hacia qué dirección ni con qué velocidad debe corregir este error (recordamos aquí que el objetivo final es conseguir una estabilización).

Existen dos tipos de comunicación posibles para este propósito:

- Comunicación serie: Es una comunicación secuencial, se envían los bits uno a uno, secuencialmente y haciendo uso solo de un bus de datos.
- Comunicación en paralelo: Todos los bits de cada símbolo se envían a la vez.

Para hacer uso de la comunicación en paralelo se necesitan tantos canales como bits tenga la información a transmitir (si se quiere enviar un byte se debería hacer uso de un total de 8 canales, correspondientes a cada bit). En este caso habría que utilizar 8 pines de la FPGA para poder llevar a cabo este tipo de transmisión. Por ello, y a pesar de que la comunicación paralela es mas rápida que en serie, se elije la primera como opción más conveniente.

El tipo de comunicación serie desarrollada podría asemejarse a un protocolo SPI, aunque sólo tiene capacidad para datos en una dirección. El esquemático de esta comunicación desarrollada es el expuesto en la figura 3.2 y su desarrollo será explicado en la sección 3.2.1.

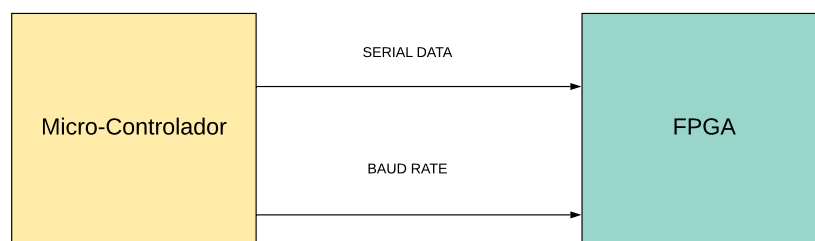


Figura 3.2: Pines hardware de coexistencia micro-FPGA.

El sistema general cuenta con dos conexiones:

- Una línea de datos para el envío de la información.
- Una línea de reloj para que la FPGA pueda obtener en todo momento la velocidad de la información.

Un posible ejemplo de una comunicación en serie de un byte de datos podría ser el siguiente:
Ejemplo com SPI

3.1.5. Controlador PWM

3.1.6. Unidad de medida inercial

La unidad de medida inercial

3.1.7. Motores

3.1.8. Control PID clásico.

3.1.9. Diseño estructura mecánica

3.1.10. Diseño PCB

Después de caracterizar todo el sistema, y teniendo en cuenta el diagrama de conexiones necesario no solo entre el micro-controlador y FPGA sino también para el módulo de cámara OV7670 y el driver del motor, podía ser conveniente y apropiado un circuito impreso que resolviese algunos problemas de ruido, cables excesivos, etc.

Para ello, y antes del diseño, es necesario un análisis de los requerimientos, no sólo actuales, sino también futuros, así como para la implementación de un vehículo aéreo no tripulado. El circuito impreso debería poder albergar los siguientes componentes y comportamientos:

- Un total de 28 pines en la parte exterior de la PCB y dispuestos en la posición correcta para un encaje en la placa IceZum Alhambra II, lo cual permite poder usar como entradas o salidas los pines de la FPGA. Para conocer la posición exacta de los pines en la placa se hizo uso del proyecto en Altium el cuál está disponible en GitHub.
- 4 conexiones VCC y GND de 12 Voltios para alimentar los ESC de los motores brushless del vehículo aéreo. Para ello se ha elegido el componente de la figura 3.3, por cumplir con las características adecuadas de temperatura máxima a la que puede estar sometido y las cuales serán analizadas más adelante:

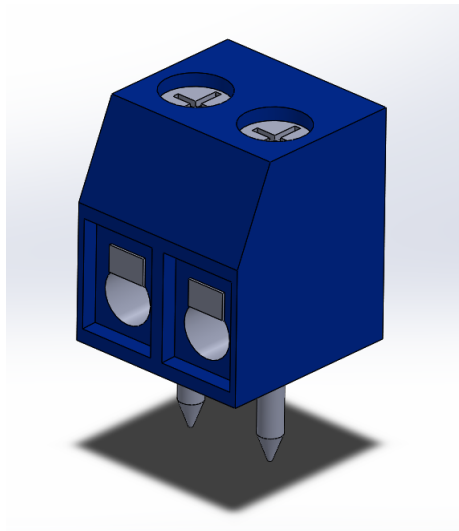


Figura 3.3: Conector GND y VCC.

- Una conexión VCC y GND para alimentar las anteriores conexiones. Este conector irá directo a una batería LIPO de 11.1V (3 celdas) y 2200mAh. El hecho de elegir esta batería viene dado al voltaje mínimo por el que se alimentan los ESCs de los motores brushless así como los motores y el driver del motor utilizado para el Balancing-robot. Un análisis mas detallado de la batería puede encontrarse en subsección 3.1.11
- Módulo de pines "header" para la conexión del MPU6050 anteriormente descrito.

- Se hace una extensión de los pines mas importantes del MPU6050 para que puedan ser utilizados por el micro-controlador en caso de que el análisis del ángulo, como en este proyecto, forme parte de un proceso gobernado por dicho micro-controlador.
- Se dispone para el usuario final la posibilidad de unos "jumper" para dar la opción al usuario sobre quién gobernará la comunicación I2C, la FPGA o el micro-controlador, para el cuál se podrán usar los conectores del apartado anterior.
Al albergar una línea de datos no se hace necesario tener en cuenta las características térmicas del conector en cuestión, y al trabajar a una frecuencia relativamente pequeña, puede aceptarse el ruido que los "jumpers" pudiesen introducir en la comunicación I2C.
- Gran parte de los micro-controladores actuales trabajan a 3.3-5v pero la tensión de entrada que soportan puede llegar hasta 12V, por lo que se aprovecha la alimentación de la batería LIPO y se implementa un nuevo conector con dos pin "header" a VCC y GND que alimentarán el micro-controlador.
- Un módulo que pueda albergar la cámara OV7670 formado por pin "headers" de tipo macho y cada uno de los cuales estará unido a uno de los pines in-out de la FPGA, como se verá mas adelante en el esquemático general.
- Un módulo que pueda albergar el driver del motor DC utilizado en este caso y que permita la conexión directa con los pines de la IceZum Alhambra II, pues por ejemplo la señal pwm que definirá la velocidad de los motores será una salida por uno de los pines de la FPGA, y deberá ser una entrada al driver del motor.
- Para que no haya errores en la transmisión I2C se dispone en cada línea una resistencia de pull-up de $4,7K\Omega$.

3.1.11. Batería

3.2. Implementación del sistema

3.2.1. Integración IceZum Alhambra-Arduino Nano

Para el desarrollo de este sub-capítulo se parte de la base de que el ángulo actual ya ha sido obtenido el micro-controlador debido a que este concepto se explica en 3.2.2. Así, y para la claridad del lector, un esquemático interno del arduino nano es mostrado en la figura 3.4. En este apartado y con respecto a la parte del micro-controlador, solo se analiza la parte sombreada.

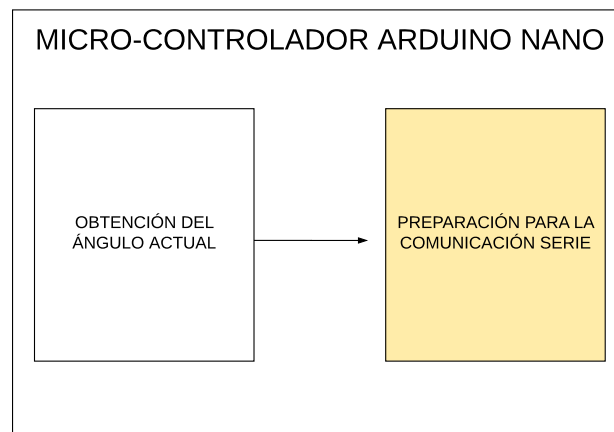


Figura 3.4: Diagrama interno Arduino Nano.

El diagrama de flujo sobre el cuál se basa el código en C del micro-controlador se representa en la figura 3.5

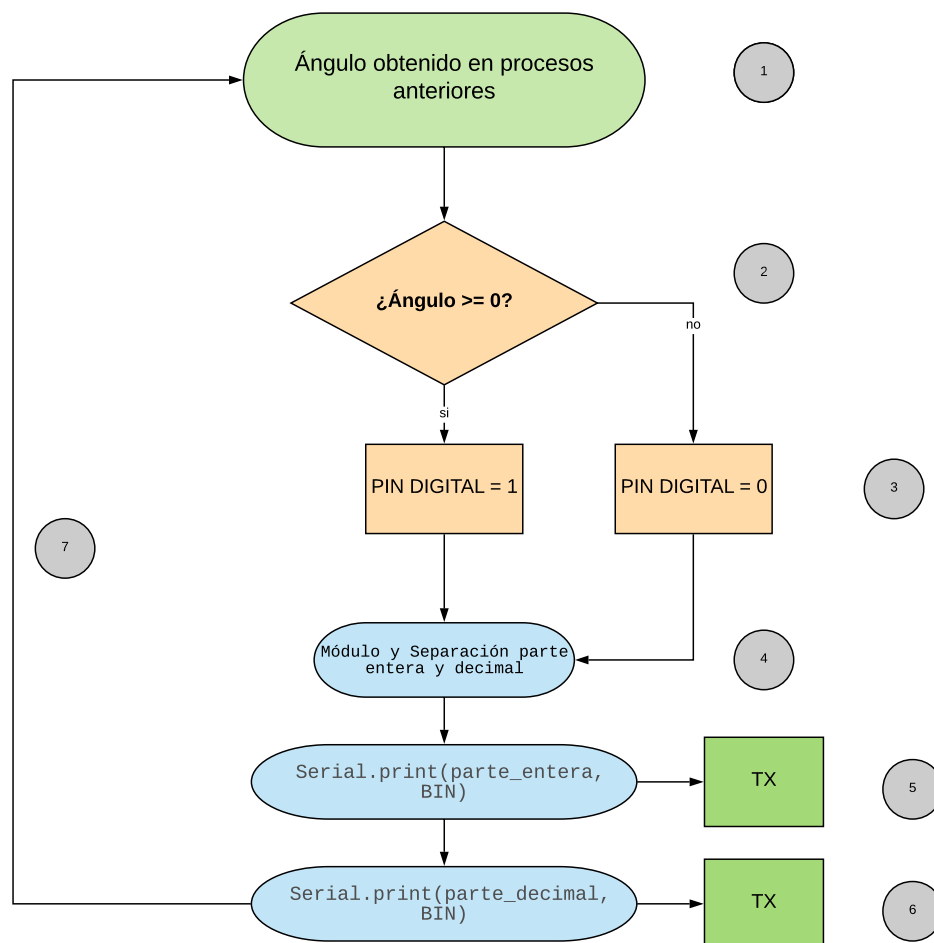


Figura 3.5: Envío de ángulo usando el puerto serie.

A continuación se pasa a explicar los aspectos mas relevantes del desarrollo anterior:

- 1.-Se parte de la base de que el ángulo ya ha sido obtenido y es correcto. En la sección 3.2.2 se puede encontrar más información sobre ello.
- 2.-Una de las partes más importantes para corregir el control del balancín es conocer la inclinación en cada momento para poder corregir esta desviación (figura en la que se ve como se hace esa corrección). Para ello, la FPGA debe conocer si el ángulo es positivo o negativo. Este aspecto no formará parte del propio protocolo de comunicación como se verá a continuación.
- 3.-Se utiliza un solo pin del micro-controlador el cuál cambiará su valor a 1 o 0 dependiendo del signo del ángulo en cada momento. Así, la FPGA sólo tendrá que leer esta información cuando le sea necesario.
- 4.-Para un correcto entendimiento por parte de la FPGA es necesario enviar el ángulo representado en bytes y no en código ASCII. Es por ello que para ese envío se utilizará el comando "Serial.print(ángulo)". Esta función de arduino envía por el puerto serie la representación en bytes del ángulo en cuestión. Un ejemplo real de este envío es mostrado en la figura ??.
Si se intenta enviar todo el ángulo también se enviarán tanto el símbolo como el código ASCII de la coma y esto es un aspecto que no interesa tener en cuenta en lo que al procesamiento sobre la FPGA se refiere. Para corregirlo primero se hace el módulo del ángulo (no se necesita el signo porque ya hay un pin destinado para ello) y posteriormente se hace una separación entre la parte entera y la parte decimal para poder eliminar el carácter "comma".
- 5.-Se envía por el puerto serie el byte correspondiente a la parte entera.
- 6.-Se envía por el puerto serie el byte correspondiente a la parte decimal.
- 7.-Es un proceso cíclico que se irá reproduciendo cada X segundos, esto es, el ángulo podrá corregirse cada X segundos.

Un ejemplo real del envío del un ángulo con su correspondiente signo es mostrado en la figura ??

Ya se ha analizado la parte de la comunicación serie por parte del microcontrolador. A continuación se desarrolla la parte de la lectura de este ángulo sobre la FPGA IceZum Alhambra.

Por un PIN de entrada a la FPGA le estarán continuamente entrando datos provenientes del pin de transmisión y para que se puede hacer una lectura correcta del byte es necesario conocer:

- Cuando comienza una transmisión de un byte.
- Cuando termina una transmisión de un byte.
- Cuando un bit puede ser capturado.
- Se vayan almacenando en un buffer los bits necesarios hasta que el byte este completo.

Para poder implementar en la FPGA un módulo intermedio con las anteriores características es necesario conocer de antemano la velocidad de la transmisión por parte del micro-controlador, la cuál se ha fijado en 16200 baudios.

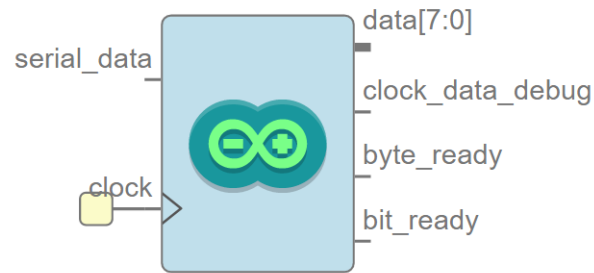


Figura 3.6: Apariencia del módulo interfaz de Arduino Nano en IceStudio.

El aspecto en IceStudio del módulo intermedio a la obtención tanto de la parte entera como de la parte decimal tendrá el aspecto que se muestra en la imagen 3.6. Si se aprecia, sus entradas y salidas tienen mucho que ver con las características requeridas para la lectura correcta de un byte. Como entrada tendrá el bus de transmisión del micro-controlador (TX), y como salidas:

- `data[7:0]`: Consiste en un buffer en el cuál se van almacenando los bits cuando es necesario hasta tener el byte. Es importante que el módulo siguiente conozca cuando el byte está preparado para su captura.
- `clock_data_debug`: La utilización de esta salida es sólo para depuración.
- `byte_ready`: Un flag de reloj cambiará su valor cuando un byte esté listo para ser capturado. Como se ha visto en anteriores desarrollos, este byte será o bien la parte entera o bien la parte decimal.
- `bit_ready`: La utilización de esta salida es sólo para depuración.

La implementación en IceStudio del comportamiento anterior será mediante dos máquinas estados con sus correspondientes listas de sensibilidad y el diagrama de flujo se representa en la figura 3.7

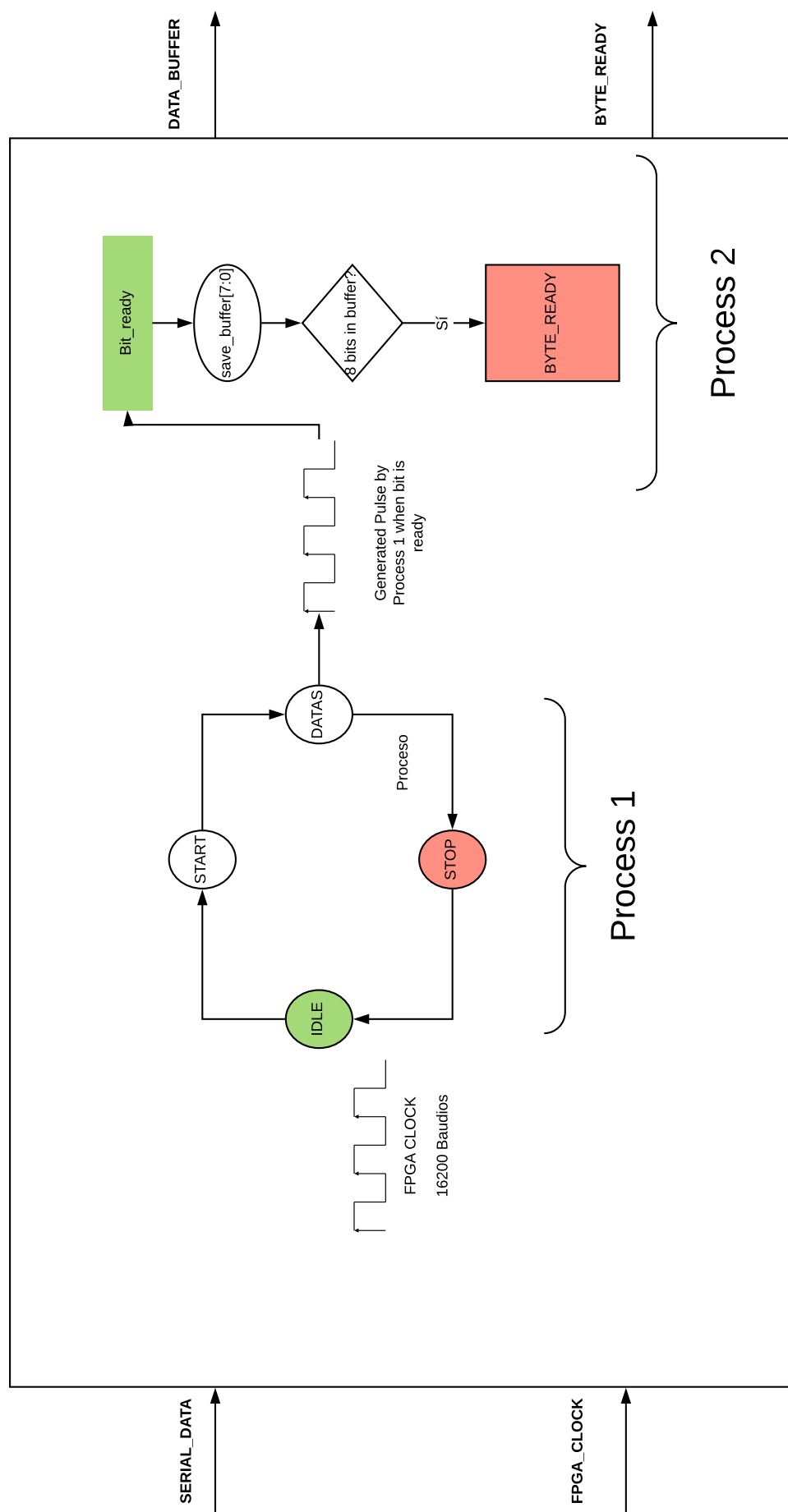


Figura 3.7: Diagrama de flujo de la interfaz para Arduino.

Proceso 1: Este proceso solo dota al sistema siguiente del momento exacto en el cual puede capturar un bit y guardarlo en el buffer, para ello, debe conocer la velocidad de la transmisión comentada anteriormente. Los estados serán los siguientes:

- IDLE: El proceso se mantiene en este estado hasta que se inicie la transmisión, que pasará al siguiente estado (START).
- START: Como se ha desarrollado en la sección ?? el protocolo de transmisión serie comienza con una condición de start, este estado permitirá reconocer cuando acaba esta condición para poder empezar a guardar bits en el buffer.
- DATAS: Como ya se conoce la velocidad de transmisión y se ha reconocido la condición de START en el estado anterior, en este estado un flag cambiará su valor cuando el bit este preparado para ser guardado en el buffer, de lo cual se encargará el proceso 2.
- STOP: Además de una condición de START, el protocolo de transmisión en serie usado en Arduino tiene un condición de STOP. Este estado permite reconocer el tiempo que tarda Arduino en llevar a cabo esta última condición, después, volverá al primer estado hasta que empiece una nueva transacción.

Proceso 2: El proceso 2 está activado por el proceso 1. Cuando el proceso 1 determine que un bit está disponible en el bus para ser capturado, pondrá en alta un flag de reloj, iniciando el proceso 1 mediante una lista de sensibilidad. El diagrama de flujo podría ser:

- Esperar hasta que se active al lista de sensibilidad, eso indicará que un bit podrá ser capturado.
- Los bits se irán guardando en un buffer que formará un byte, el cual representa la parte entera o decimal del ángulo en ese momento.
- Cuando el byte este preparado para ser capturado por los consecutivos módulos un canal se pondrá en alta, estando disponibles como salidas tanto el buffer con 8 los bits y este canal de "byte_ready".

En este punto la FPGA es capaz de diferenciar cuando puede capturar un byte (BYTE_READY) y de donde tiene que capturar el bus de datos (DATA_BUFFER). No obstante un aspecto que no forma parte de la comunicación en si es importante de analizar si se quiere conseguir un correcto funcionamiento. Esto es, si se ha dicho anteriormente que el micro-controlador envía continuamente la parte entera y decimal del ángulo, si no se hace una buena interpretación de estos datos, es posible que un ángulo sobre la FPGA este formado por una parte decimal de un ángulo n y la parte entera del ángulo $n+1$.

Para ello se crea un módulo en IceStudio que sea capaz de ordenar estos valores que le llegan. El aspecto de este módulo en IceStudio sera el representado en la figura 3.8

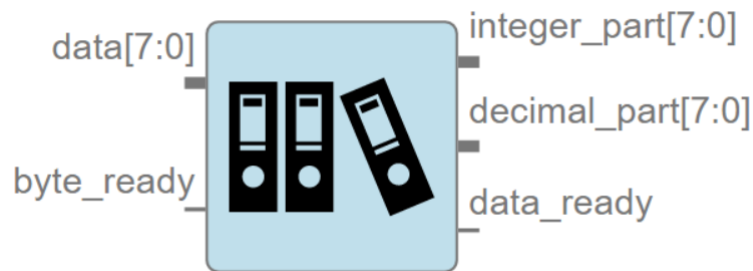


Figura 3.8: Ordenación de la parte entera y decimal de un ángulo.

Como entradas se podrán encontrar:

- `data[7:0]` : Es el buffer de salida del modulo anterior donde se van acumulando los bits capturados hasta conseguir el byte.
- `byte_ready` : Flag de reloj que se activa cuando el byte este disponible para ser capturado.

Es importante tener en cuenta que el dato estará disponible siempre y cuando este disponible tanto la parte entera como la parte decimal del ángulo en cuestión. Así, se pueden encontrar las siguientes salidas:

- `integer_part[7:0]` : byte que representa la parte entera del ángulo.
- `decimal_part[7:0]` : byte que representa la parte decimal del ángulo.
- `data_ready` : flag de reloj que se activa cuando el dato (parte decimal y parte entera) este preparado para ser capturado.

Así, y al igual que se ha profundizado anteriormente, el diagrama de flujo que explica el código en Verilog que implementa el anterior comportamiento se puede encontrar en la figura 3.9 y será comentado mas adelante.

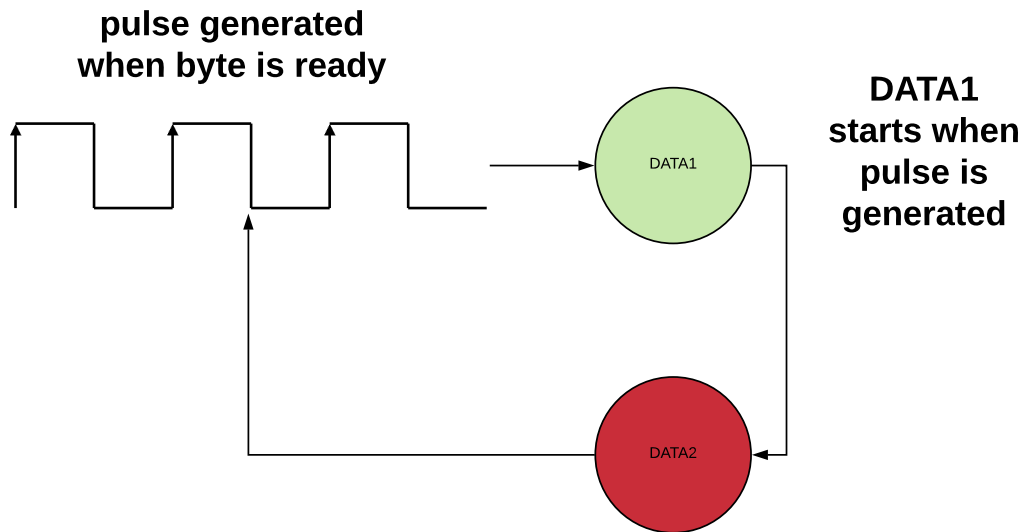


Figura 3.9: Diagrama de flujo modulo ordenación de bytes.

En este caso es un proceso con una lista de sensibilidad que cuenta como señal sensible con el bus de "byte_ready", y que es salida del modulo anterior.

Cada vez que se active el flag que indica que un byte esta listo para ser capturado comienza una máquina de estados cíclica que cuenta con los dos siguientes estados:

- DATA1: Es el primer dato a ser capturado y corresponde con la parte entera del primer ángulo. La segunda vez que se active el flag de "byte_ready" corresponderá a la parte decimal del primer ángulo, y por lo tanto pasará al siguiente estado DATA2.
- DATA2: En ese estado no sólo se captura la parte decimal del ángulo en cuestión sino que además se activa un nuevo flag el cuál indica que el dato completo (ángulo) esta listo para ser capturado.

Así, el módulo tendrá como salidas el buffer de la parte entera, el buffer de la parte decimal, y un bus que avisará a los sucesivos módulos de cuándo el dato completo está preparado para ser capturado. De esta forma se ha evitado el problema explicado anteriormente de la no ordenación en los datos llegados del micro-controlador.

Se da por finalizado el protocolo de comunicación Arduino-FPGA y se brindan las herramientas necesarias para que los sucesivos procesos y módulos puedan conocer el ángulo en cada momento representado por su parte entera (8 bits), parte decimal (8 bits) y un pin que indicará el valor del signo (positivo o negativo).

3.2.2. Unidad de medida inercial MPU6050 en Arduino Nano

3.2.3. Control P

3.2.4. Control D

3.2.5. Controlador PWM

3.2.6. Controlador driver motor

3.2.7. Fabricación estructura mecánica

3.2.8. Fabricación PCB

Para el desarrollo de una PCB con los requerimientos descritos en la subseccion 3.1.10 se ha utilizado Altium Designer. El proceso de la elaboración de una PCB en Altium puede ser diferente dependiendo del usuario final, pero en este proyecto se ha seguido la siguiente hoja de ruta:

- 1) En primera instancia se crea el proyecto en cuestión.
- 2) Para cada componente utilizado se crea una nueva librería formada por el esquemático (Schematic) y por el layout en la pcb (footprint).
- 3) Una vez todas las librerías creadas se diseña el esquemático de la placa final, teniendo especial cuidado en que las conexiones sean las adecuadas.
- 4) Con el esquemático ya creado, se puede implementar la pcb, definiendo sus bordes, las pistas, los pads, etc.

El esquemático es representado en la figura 3.10:

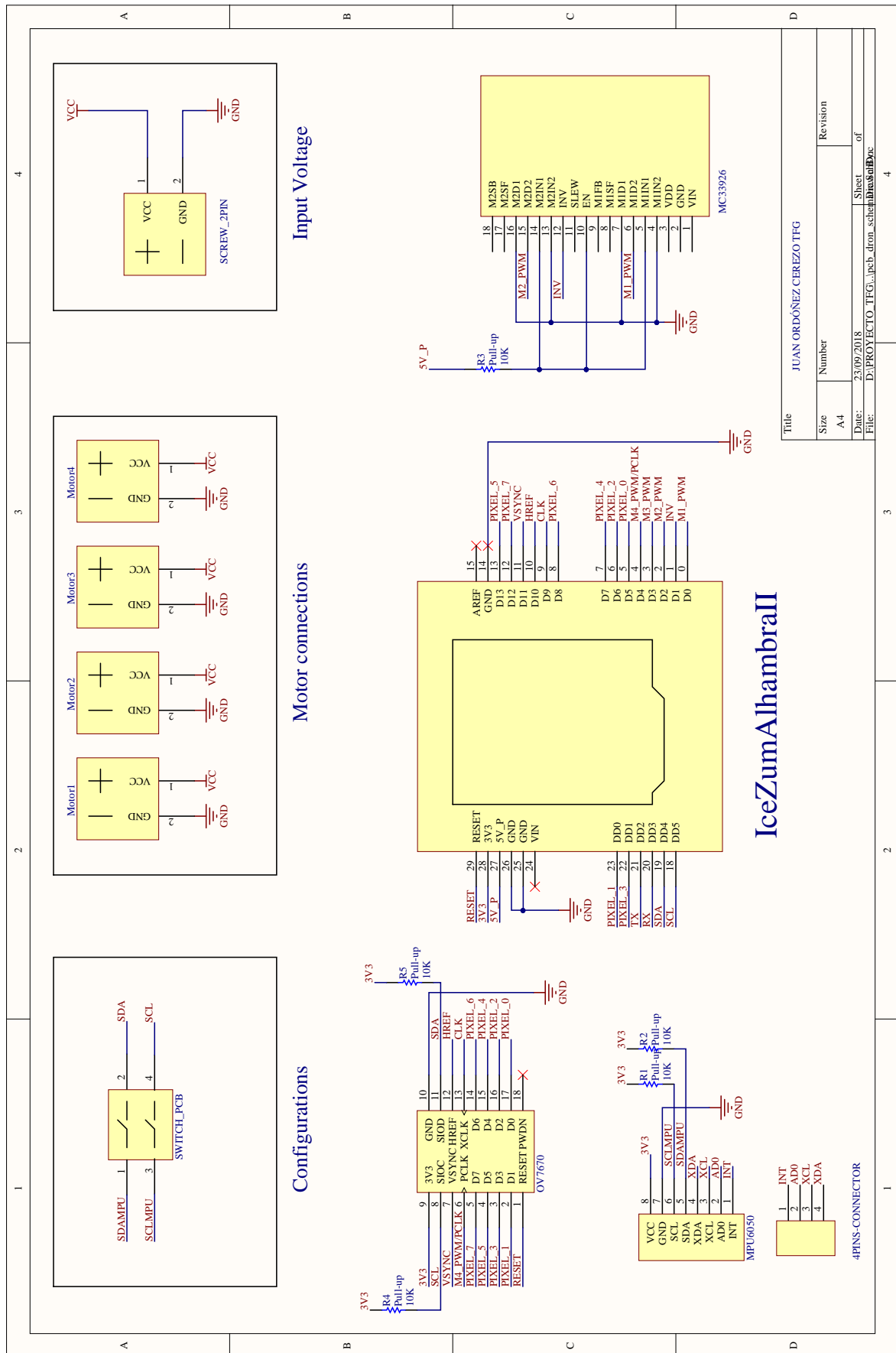


Figura 3.10

Tamaño de pista:

A la hora del diseño de la PCB hay que tener en cuenta el tamaño de las pistas de cobre, sobre todo si por estas la corriente puede ser muy elevada. De no ser así, la PCB podría sufrir daños o llegar incluso a quemarse.

Para calcular un ancho de pista es necesario primero conocer la máxima intensidad que podría circular por ella. Se parte del conocimiento de que uno de los motores del vehículo aéreo no tripulado (este es el peor caso y para el cual es necesario el cálculo de pistas) puede consumir un máximo de 20 amperios. Esta cantidad ha sido extraída del datasheet y suele ser común para este tipo de motores.

La fórmula utilizada para la obtención del ancho de pista ha sido extraída del IPC-2221B, el cual establece los requisitos genéricos para el diseño de tarjetas de circuitos impresos.

Así, la formula se define como en la ecuación ??:

$$I = K * dT^{0.44} * (W * H)^{0.725} \quad (3.1)$$

Donde:

- I = intensidad máxima en amperios
- dT = aumento de temperatura sobre ambiente en °C
- W,H = ancho y grosor en mils
- K = 0.024 para pistas internas y 0.048 para externas

Se obtienen los siguientes resultados tanto para pistas internas como externas:

$$W_{externas} = 18.716mm$$

$$H_{externas} = 0.035mm$$

$$W_{internas} = 48.6876mm$$

$$H_{internas} = 0.035mm$$

El grosor de la capa es un dato proporcionado por el fabricante. En el presente proyecto se ha utilizado la siguiente web para el pedido de las PCBs: <https://www.jlcpb.com/>.

El grosor de pista es medido comúnmente en "oz" y en este caso, la empresa fabricante permite una PCB con 1oz de grosor de pista, que equivale a un grosor de 0.035mm.

Si se analizan los resultados obtenidos de la ecuación 3.1 se aprecia claramente la diferencia entre una pista en una capa interna y una pista en una externa.

Una placa de circuito impreso esta dividida en capas, cada una de las capas tiene su función y organizarlas de manera adecuada es una buena práctica para evitar malos comportamientos. Así, una vez analizados los requerimientos, eran necesarias dos capas para la conexión de pines de datos, además siempre es recomendable un plano de tierra en el que todos los pines conectados a GND tengan una capa común. Esto evita ruidos e interferencias además de asegurar una

buena referencia de tierra.

En el proveedor de PCBs utilizado, no hay diferencia de precio entre una PCB de tres capas y una PCB de cuatro capas, así, y considerando que en el mejor de los casos el ancho de pista para los motores "brushless" debe ser de 1.8716mm, se llegó a la determinación de la utilización de una de las capas como plano común para las pistas de alimentación de dichos motores. La distribución de las capas será por tanto lo representado en la tabla 3.1:

Para el resto de pistas de datos, se asume un ancho de 20mil, que permite una corriente de 1,46 Amperios, más que necesario para esta aplicación

Top Overlay	Overlay
Top Solder	Solder Mask/Coverlay
Top Layer	Signal
Dielectric 1	Dielectric
VCC	Signal
Dielectric 2	Dielectric
GND	Signal
Dielectric 4	Dielectric
Bottom Layer	Signal
Bottom Solder	Solder Mask/Coverlay
Bottom Overlay	Overlay

Cuadro 3.1: Composición de capas en PCB.

Una imagen en 2D de las capas Top Layer, VCC, GND, Bottom Layer, Top Overlay y Bottom Overlay se representan en la figura 3.11 mientras que en las figuras 3.12, 3.13, 3.14, 3.15 se incluye una representación en 3D del sistema final con todos los componentes añadidos.

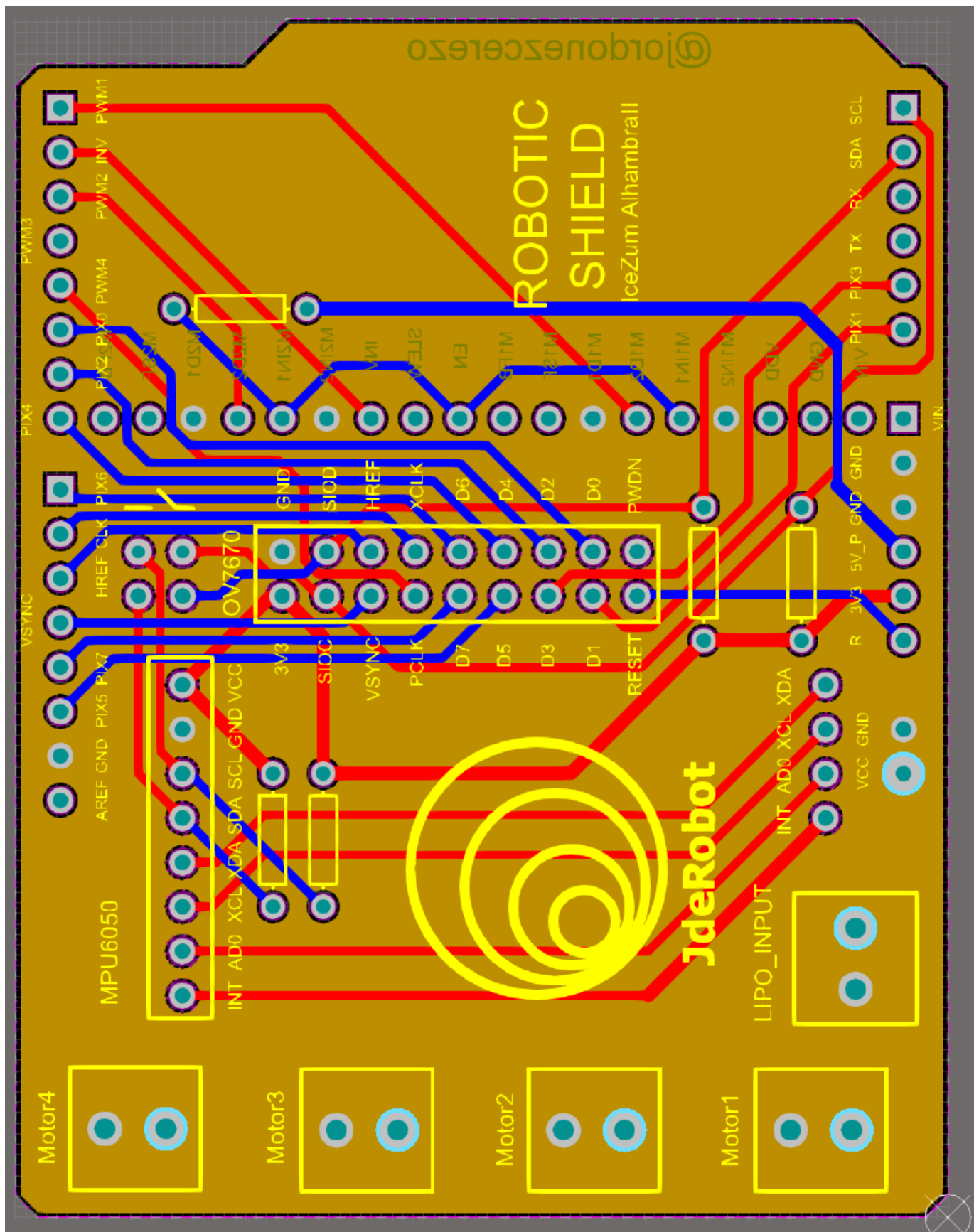


Figura 3.11

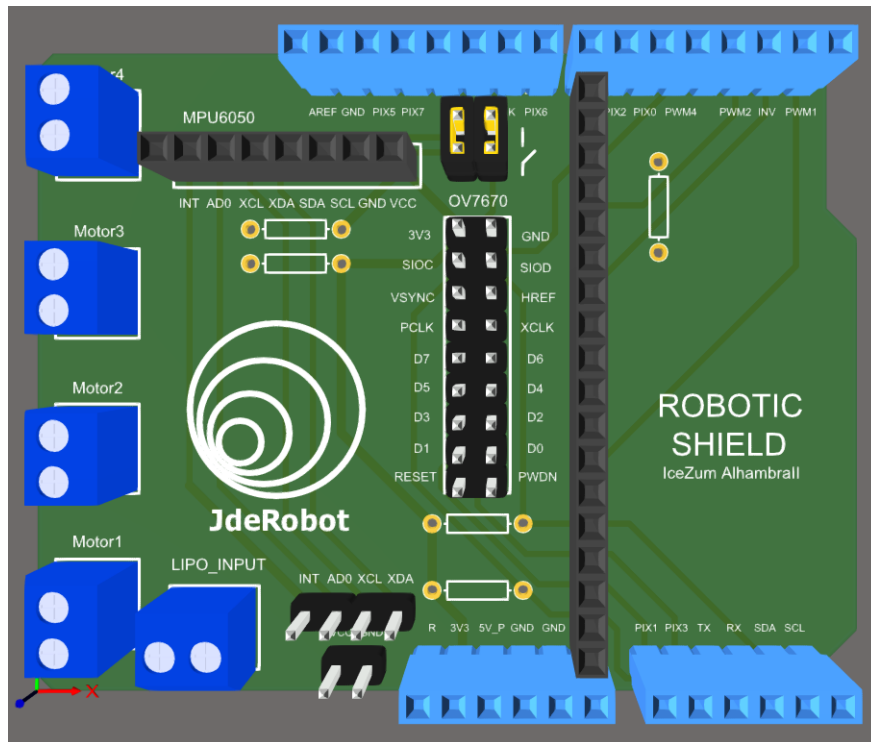


Figura 3.12

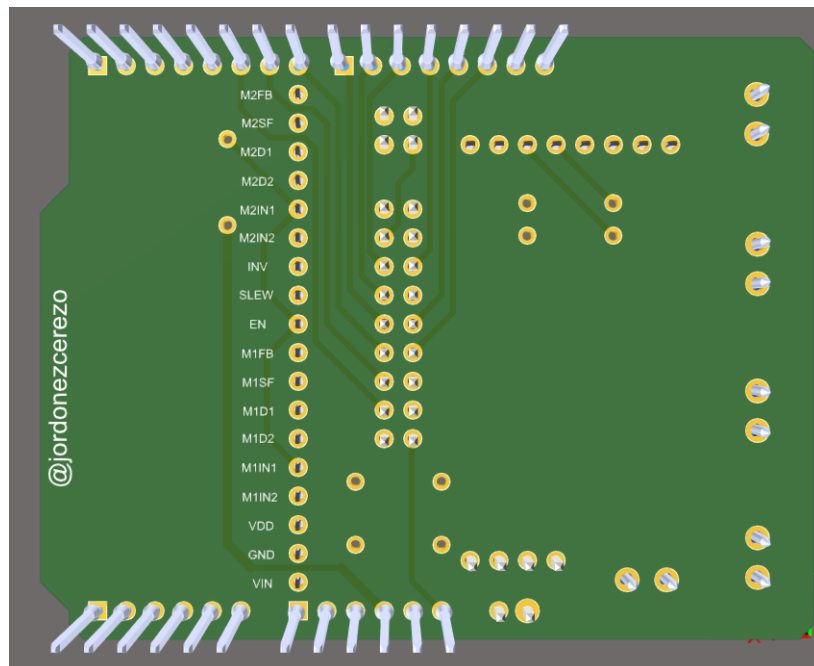


Figura 3.13

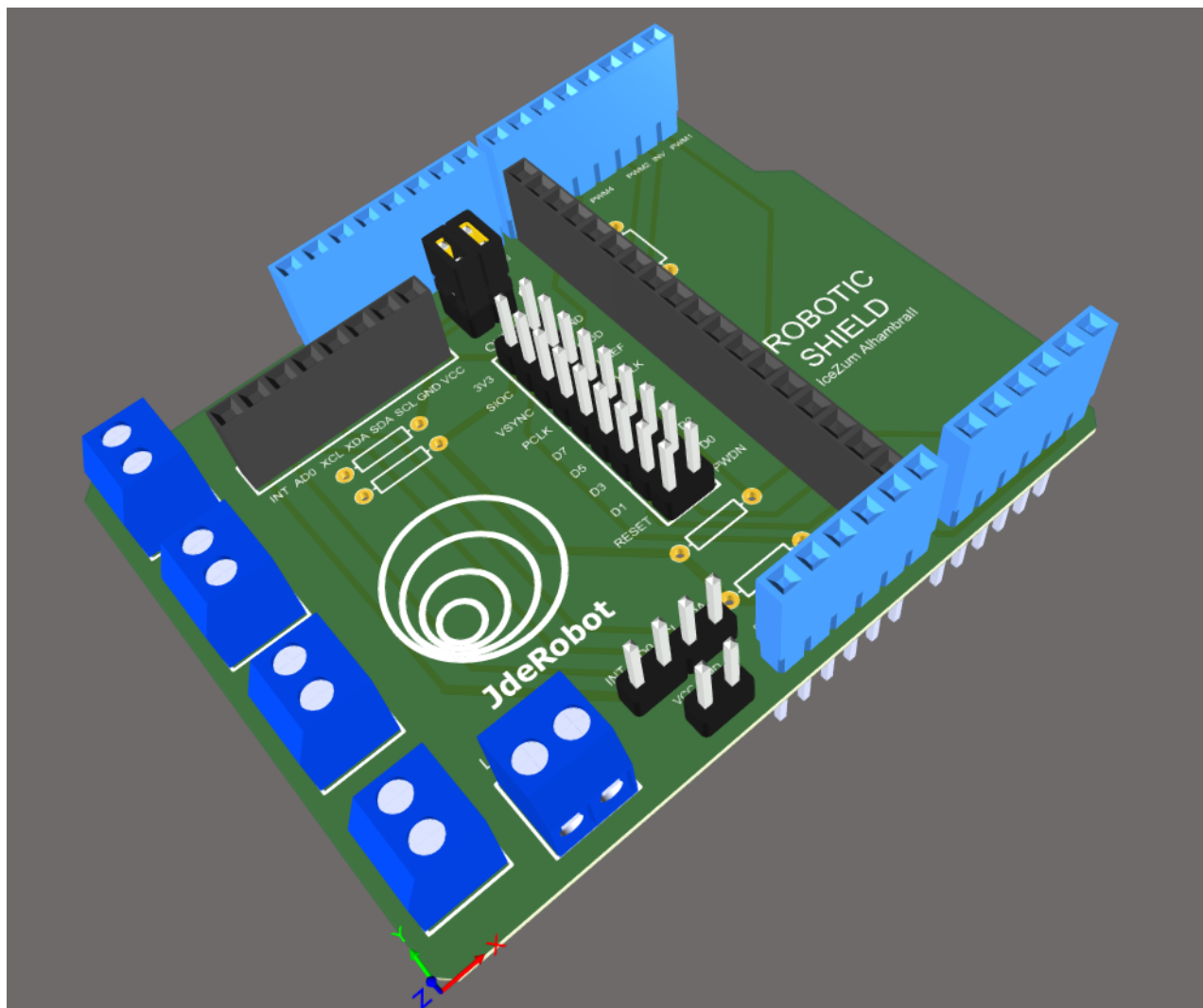


Figura 3.14

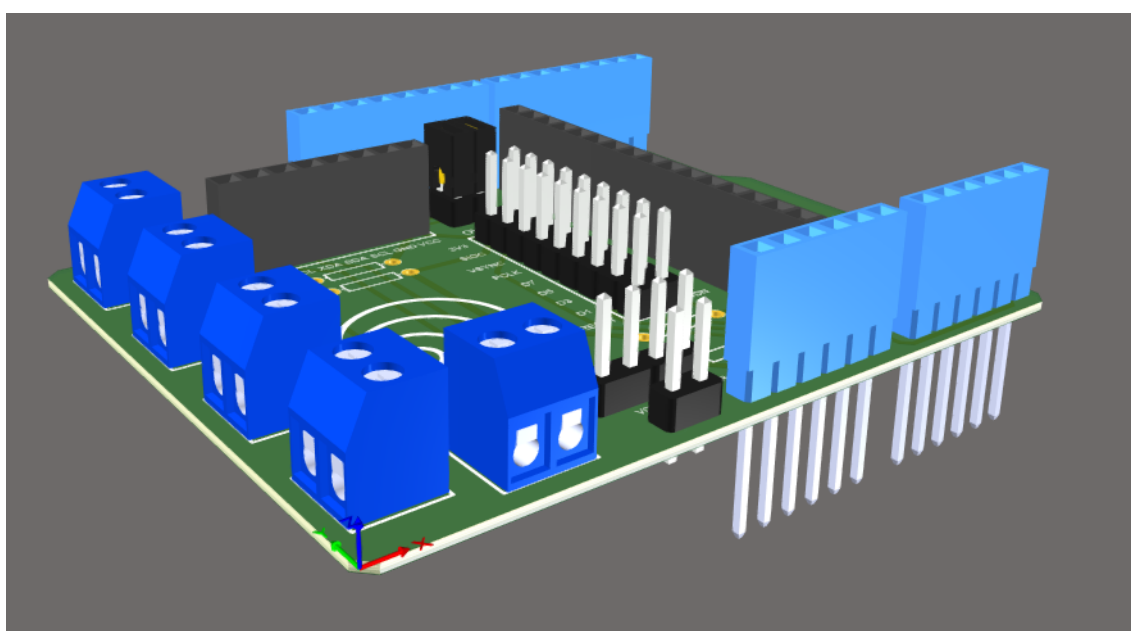


Figura 3.15

3.2.9. Elección de materiales y coste del prototipo

3.3. Experimentos

3.3.1. VGA Module

3.3.2. Protocolo I2C

3.3.3. Controlador motor burshless

Capítulo 4

Cuadricoptero con vision artificial

Capítulo 5

Conclusiones y trabajo futuro

Con este capítulo se cierra la documentación del proyecto. A lo largo de esta memoria, se ha expuesto el desarrollo de un sistema de electrocardiografía portable abordando cada una de las etapas y partes del sistema necesarias para la adquisición, procesado y visualización de las señales. Los puntos o cuestiones clave desarrolladas en este proyecto se podrían resumir en las siguientes:

- **Diseño del sistema hardware en PSoC:** Se ha desarrollado todo el diseño para la adquisición y transmisión de la señales ECG basado en electrónica reconfigurable. Se ha empleado la plataforma PSoC por su integración de sistemas tanto analógicos como digitales en la misma arquitectura.
- **Diseño del filtrado digital en fase lineal:** Conseguir que la respuesta de los filtros sea lo suficientemente selectiva y además cumpla con el criterio de fase lineal ha sido una de las cuestiones clave para conseguir que las señal tenga la calidad adecuada.
- **Desarrollo de la app para Android:** Es obvio que el objetivo final es que la señal adquirida sea útil para el diagnóstico, para ello es esencial disponer de un sistema donde mostrar la señal. En el presente TFG, además, se ha añadido el procesado de la señal en la app haciéndola una de las partes clave del proyecto. A la importancia de este punto hay que sumar el reto que ha supuesto debido a la necesidad de un rápido aprendizaje en el desarrollo de aplicaciones partiendo de conocimientos prácticamente nulos en este campo.
- **Diseño del prototipo en PCB:** Este ha sido otro de los grandes retos del proyecto puesto que se debía realizar la integración lo más reducida posible. Empleando uno de los encapsulados más pequeños de Cypress se ha conseguido este objetivo con suficiencia, resultando en una PCB de 2x5 cm aproximadamente. En este punto el principal reto fue la soldadura de la placa por las reducidas dimensiones de los chips y la necesidad de aprendizaje de la soldadura por *reflow*.

En general se han cumplido los objetivos planteados al inicio de este trabajo, sin embargo, aun restan retos a los que no se les ha podido dar cobertura en este proyecto o que han surgido durante el desarrollo del mismo. Los principales retos que se plantean se pueden resumir en los siguientes:

- **Desarrollo de aplicación con BLE:** La aplicación desarrollada emplea Bluetooth 2.0 para las comunicaciones. El desarrollo de una aplicación capaz de comunicarse mediante BLE permitiría completar la funcionalidad desarrollada en el prototipo.

- **Desarrollo prototipo con saturación de oxígeno:** Hasta ahora se han llevado a cabo prototipos independientes para la medida de saturación de oxígeno en sangre y ECG, en el presente trabajo. Para completar el trabajo de investigación se deben fusionar ambos prototipos en uno que permita realizar la adquisición de las dos señales a un tiempo.
- **Diseño de gafas e integración del dispositivo:** Una vez se haya conseguido un dispositivo totalmente funcional para las medidas descritas en el punto anterior, se debe encapsular de manera que sea vestible y cumpla con las necesidades del soldado en zonas de conflicto en cuanto a movilidad y versatilidad del sistema.
- **Implementación de eliminación de artefactos mediante MEMS:** Puesto que el dispositivo estará en movimiento en gran parte de su empleo, existirán gran cantidad de artefactos que provocan una pésima calidad de la señal. Existen trabajos como [1, 2, 3] que muestran este tipo de procesado para eliminación de artefactos.

Como se puede ver aún quedan retos por superar en este campo, por esta razón se pretende continuar avanzando en el mismo a través de becas de colaboración o a través de una beca FPU.

Bibliografía

- [1] H. H. Asada, H.-H. Jiang, and P. Gibbs, “Active noise cancellation using mems accelerometers for motion-tolerant wearable bio-sensors,” in *The 26th Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, vol. 1, Sept 2004, pp. 2157–2160.
- [2] P. Gibbs and H. H. Asada, “Reducing motion artifact in wearable bio-sensors using mems accelerometers for active noise cancellation,” in *Proceedings of the 2005, American Control Conference, 2005.*, June 2005, pp. 1581–1586 vol. 3.
- [3] D. K. Han, J. H. Hong, J. Y. Shin, and T. S. Lee, *Accelerometer based motion noise analysis of ECG signal*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2009, pp. 198–201. [Online]. Available: http://dx.doi.org/10.1007/978-3-642-03904-1_56
- [4] J. Cruz, “Dispositivos electrónicos,” *IEE Journal on Computers and Digital Techniques*, 2016.
- [5] J. E. Hall and A. C. Guyton, *Tratado de Fisiología médica*, 12th ed., E. Saunders, Ed. Elsevier Saunders, 2011.
- [6] F. J. R. Maldonado, D. P. M. Santos, and E. C. Morales, *Wearable para la adquisición de variables fisiológicas*, U. de Granada, Ed. Departamento de Electrónica y Tecnología de Computadores, 2016.
- [7] Cognizant, “Wearable devices: The next big thing in crm,” Cognizant, Tech. Rep., Dec. 2014. [Online]. Available: <https://www.cognizant.com/services-resources/wearable-devices-the-next-big-thing-in-crm-codex984.pdf>
- [8] [Online]. Available: http://www.antena3.com/noticias/economia/el-ciberataque-masivo-del-fin-de-semana-utilizo-electrodomesticos-de-todo-el-mundo_20161025580fb3a40cf2d6cc9cbca2af.html
- [9] Feb. 2016. [Online]. Available: <https://www.forbes.com/sites/paullamkin/2016/02/17/wearable-tech-market-to-be-worth-34-billion-by-2020/#6fbce4853cb5>
- [10] “Wearable technology 2016-2026 markets, players and 10-year forecasts,” Jul. 2016. [Online]. Available: <http://www.idtechex.com>
- [11] D. I. Fotiadis, C. Glaros, and A. Likas, “Wearable medical devices,” *Wiley Encyclopedia of Biomedical Engineering*, 2006.
- [12] H. Lee, T. K. Choi, Y. B. Lee, H. R. Cho, R. Ghaffari, L. Wang, H. J. Choi, T. D. Chung, N. Lu, T. Hyeon, S. H. Choi, and D.-H. Kim, “A graphene-based electrochemical device with thermoresponsive microneedles for diabetes monitoring and therapy,” *Nature Nanotechnology*, vol. 11, no. 6, pp. 566–572, mar 2016.

- [13] S. Coyle, D. Morris, K.-T. Lau, D. Diamond, F. D. Francesco, N. Taccini, M. G. Trivella, D. Costanzo, P. Salvo, J.-A. Porchet, and J. Luprano, "Textile sensors to measure sweat pH and sweat-rate during exercise," in *Proceedings of the 3d International ICST Conference on Pervasive Computing Technologies for Healthcare*. Institute for Computer Sciences, Social Informatics and Telecommunications Engineering (ICST), 2009.
- [14] UN, "World population ageing (st/esa/ser.a/390)," United Nations, Department of Economic and Social Affairs, Population Division (2015), Tech. Rep., 2015. [Online]. Available: http://www.un.org/en/development/desa/population/publications/pdf/ageing/WPA2015_Report.pdf
- [15] R. Pethig and D. B. Kell, "The passive electrical properties of biological systems: their significance in physiology, biophysics and biotechnology," *Physics in Medicine and Biology*, vol. 32, no. 8, pp. 933–970, aug 1987.
- [16] F. C. E. UNICEN, "Introducción a la transformada wavelet," *Apuntes Curso 2006*, 2006. [Online]. Available: <http://www.exa.unicen.edu.ar/escuelapav/cursos/wavelets/apunte.pdf>
- [17] I. Daubechies, *Ten Lectures on Wavelets*. Society for Industrial and Applied Mathematics, jan 1992.
- [18] T. Instruments, *INA333 Micro-Power (50uA), Zero-Drift, Rail-to-Rail Out Instrumentation Amplifier*. [Online]. Available: <http://www.ti.com/lit/ds/symlink/ina333.pdf>
- [19] Cypress, *PSoC 3 and PSoC 5LP- Getting Started with DMA*. [Online]. Available: <http://www.cypress.com/file/44011/download>
- [20] R. S. García, E. C. Morales, and D. P. M. Santos, "Aplicación android para procesamiento de señales ecg," 2015, a.
- [21] M. Chen and G. Rincon-Mora, "Accurate electrical battery model capable of predicting runtime and i–v performance," *IEEE Transactions on Energy Conversion*, vol. 21, no. 2, pp. 504–511, jun 2006.
- [22] Cypress, *Direct Memory Access (DMA)*. [Online]. Available: <http://www.cypress.com/file/130636/download>
- [23] Cypress, *Delta Sigma Analog to Digital Converter*. [Online]. Available: <http://www.cypress.com/file/179586/download>
- [24] *Miniature Single-Cell, Fully Integrated Li-Ion, Li-Polymer Charge Management Controllers*. [Online]. Available: <http://www.mouser.com/ds/2/268/20001984g-846362.pdf>
- [25] Cypress, *PSoC®3 , PSoC 4, and PSoC 5LP Mixed - Signal Circuit Board Layout Considerations*. [Online]. Available: <http://www.cypress.com/file/136286/download>
- [26] Cypress, *PSoC®5LP: CY8C58LP Family Datasheet*. [Online]. Available: <http://www.cypress.com/file/45906/download>
- [27] Cypress, *Getting Started with PSoC®5LP*. [Online]. Available: <http://www.cypress.com/file/41436/download>
- [28] Cypress, *Psoc ®3 And Psoc 5LP Hardware Design Considerations*. [Online]. Available: <http://www.cypress.com/file/44581/download>
- [29] [Online]. Available: <http://mdsrl.it/>

- [30] [Online]. Available: <http://www.rfcafe.com/references/electrical/ew-radar-handbook/transforms-wavelets.htm>
- [31] J. Gomes and L. Velho, *From Fourier Analysis to Wavelets*. Springer International Publishing, 2015. [Online]. Available: http://www.ebook.de/de/product/25035026/jonas-gomes_luiz_velho_from_fourier_analysis_to_wavelets.html
- [32] E. Castillo, D. Morales, G. Botella, A. García, L. Parrilla, and A. Palma, "Efficient wavelet-based ecg processing for single-lead flr extraction," *Digital Signal Processing*, vol. 23, no. 6, pp. 1897–1909, 2013. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S105120041300153X>
- [33] [Online]. Available: <http://www.martyncurrey.com/bluetooth-modules/>
- [34] C. Holden, "Working with cheap bluetooth btle4 devices hm-10 ble-cc41a." [Online]. Available: <http://nerdclub-uk.blogspot.com.es/2016/02/working-with-cheap-bluetooth-btle4.html>
- [35] I. Ávila Expósito, "Programación android, leer y escribir archivos en memoria interna. lanzar alarmas." [Online]. Available: <http://www.proyectosimio.com/es/programacion-android-leer-y-escribir-archivos-en-memoria-interna-lanzar-alarmas/>
- [36] "Conexión bluetooth android con arduino." [Online]. Available: <http://cursoandroidstudio.blogspot.com.es/2015/10/conexion-bluetooth-android-con-arduino.html>
- [37] *Android Developers site*. [Online]. Available: <https://developer.android.com/index.html>
- [38] E. O. Thorp, "The invention of the first wearable computer," in *Digest of Papers. Second International Symposium on Wearable Computers (Cat. No.98EX215)*, Oct 1998, pp. 4–8.
- [39] A. F. Marion, E. A. Heinsen, R. Chin, and B. E. Helms, "Wrist instrument opens new dimension in personal information," vol. 29, no. 4, pp. 2–10, Dec. 1977.
- [40] "How's your enterprise wearables strategy?" [Online]. Available: <http://www.informationweek.com/mobile/mobile-business/how-your-enterprise-wearables-strategy/a/d-id/1316342>
- [41] "Wearable device unit sales worldwide by region from 2015 to 2021 (in millions)." [Online]. Available: <https://www.statista.com/statistics/490231/wearable-devices-worldwide-by-region/>
- [42] J. Burnett, "The origins of the electrocardiograph as a clinical instrument," *Medical History*, vol. 29, no. S5, p. 53–76, 1985.
- [43] [Online]. Available: <https://ecglibrary.com/ecghist.html>
- [44] [Online]. Available: <http://images.anandtech.com/doci/8810/arm%20wearable%20types.jpg>
- [45] [Online]. Available: <https://www.statista.com/statistics/374253/security-of-data-collected-on-connected-devices-in-the-united-kingdom-uk/>
- [46] *Miniature Single-Cell, Fully Integrated Li-Ion, Li-Polymer Charge Management Controllers*. [Online]. Available: <http://ww1.microchip.com/downloads/en/DeviceDoc/20001984g.pdf>
- [47] Cypress, *PSoC® 5LP Architecture TRM (Technical Reference Manual)*. [Online]. Available: <http://www.cypress.com/file/123561/download>