



UNIVERSIDAD  
DE GRANADA

TRABAJO FIN DE GRADO  
INGENIERÍA DE TECNOLOGÍAS DE TELECOMUNICACIÓN

# Diseño y fabricación de circuitos sinápticos

---

Circuitos sinápticos y memristores

**Autor**

Alberto Medina Rull

**Directores**

Noel Rodríguez Santiago

Andrés Godoy Medina

Francisco Javier García Ruiz

} sólo pueden ser  
2.



ESCUELA TÉCNICA SUPERIOR DE INGENIERÍAS INFORMÁTICA Y DE  
TELECOMUNICACIÓN

Granada, Junio de 2018







# Diseño y fabricación de circuitos sinápticos

---


Circuitos sinápticos y memristores

## **Autor**

Alberto Medina Rull

## **Directores**

Noel Rodríguez Santiago  
Andrés Godoy Medina  
Francisco Javier García Ruiz





## **Título del Proyecto: Subtítulo del proyecto**

Nombre Apellido1 Apellido2 (alumno)

**Palabras clave:** palabra\_clave1, palabra\_clave2, palabra\_clave3, .....

### **Resumen**

Poner aquí el resumen.





**Project Title: Project Subtitle**

First name, Family name (student)

**Keywords:** Keyword1, Keyword2, Keyword3, ....

**Abstract**

Write here the abstract in English.



---

Yo, **Nombre Apellido1 Apellido2**, alumno de la titulación TITULACIÓN de la **Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación de la Universidad de Granada**, con DNI XXXXXXXXXX, autorizo la ubicación de la siguiente copia de mi Trabajo Fin de Grado en la biblioteca del centro para que pueda ser consultada por las personas que lo deseen.

Fdo: Nombre Apellido1 Apellido2

Granada a X de mes de 201 .



---

D. **Nombre Apellido1 Apellido2 (tutor1)**, Profesor del Área de XXXX del Departamento YYYY de la Universidad de Granada.

D. **Nombre Apellido1 Apellido2 (tutor2)**, Profesor del Área de XXXX del Departamento YYYY de la Universidad de Granada.

**Informan:**

Que el presente trabajo, titulado ***Título del proyecto, Subtítulo del proyecto***, ha sido realizado bajo su supervisión por **Nombre Apellido1 Apellido2 (alumno)**, y autorizamos la defensa de dicho trabajo ante el tribunal que corresponda.

Y para que conste, expiden y firman el presente informe en Granada a X de mes de 201 .

**Los directores:**

**Nombre Apellido1 Apellido2 (tutor1)**      **Nombre Apellido1 Apellido2 (tutor2)**



# Agradecimientos

Poner aquí agradecimientos...





# Índice general

<b>1. Introducción</b>	<b>19</b>
1.1. Memristores . . . . .	19
1.2. Circuitos sinápticos . . . . .	22
<b>2. Objetivos</b>	<b>23</b>
<b>3. Memristor: diseño y simulación</b>	<b>25</b>
3.1. Diseño y análisis teórico . . . . .	25
3.1.1. Integrador . . . . .	26
3.1.2. Comparador . . . . .	27
3.1.3. Memristor . . . . .	28
3.2. Simulación por partes . . . . .	28
3.2.1. Integrador . . . . .	28
3.2.2. Comparador . . . . .	29
3.2.3. Memristor . . . . .	30
3.3. Simulación completa . . . . .	32
<b>4. Memristor: construcción</b>	<b>37</b>
4.1. Construcción . . . . .	37
4.2. Resultados . . . . .	38
4.2.1. Integrador . . . . .	38
4.2.2. Comparador . . . . .	39
4.2.3. Memristor . . . . .	40
<b>5. Circuito sináptico: diseño</b>	<b>47</b>
5.1. Región subumbral (subthreshold, weak-inversion) . . . . .	47
5.2. Circuitos en modo corriente . . . . .	48
5.3. Circuito propuesto . . . . .	48
5.3.1. Modelo inicial . . . . .	48
<b>6. Conclusiones y Trabajos Futuros</b>	<b>53</b>



# Índice de figuras

3.1. Modelo de memristor . . . . .	25
3.2. Bloque integrador . . . . .	26
3.3. Simulación del integrador . . . . .	28
3.4. Simulación del comparador . . . . .	29
3.5. Memristor con interruptor . . . . .	30
3.6. Resistencia equivalente . . . . .	30
3.7. Memristor con Mosfet . . . . .	31
3.8. Resistencia equivalente con Mosfet . . . . .	31
3.9. Esquemático del memristor completo . . . . .	32
3.10. Salida de cada etapa . . . . .	33
3.11. Memristor completo . . . . .	34
3.12. Corriente a través del memristor . . . . .	35
4.1. Esquemático del memristor completo . . . . .	37
4.2. Salida de la etapa integradora para entrada sinusoidal . . . . .	39
4.3. Salida de la etapa integradora para distintos tipos de entrada . . . . .	40
4.4. Salida de la etapa comparadora para distintas frecuencias . . . . .	41
4.5. Tensión drenador a fuente del transistor . . . . .	42
4.6. Corriente a través del memristor . . . . .	43
4.7. Comparación entre el resultado de la simulación y el experi- mental . . . . .	44
4.8. Corriente en función de la tensión de entrada . . . . .	44
5.1. Esquemático del circuito inicial . . . . .	49



# Índice de cuadros

3.1. Valores de la etapa integradora . . . . .	27
3.2. Elementos del memristor . . . . .	32
3.3. Configuración del memristor . . . . .	32
4.1. Elementos del memristor . . . . .	38
4.2. Configuración del memristor . . . . .	38
4.3. Configuración del memristor . . . . .	38



# Capítulo 1

## Introducción

En este primer capítulo, se va a realizar una introducción al proyecto, así como un estudio de otros trabajos previos en el mismo campo.

El objetivo principal de este proyecto es el estudio, diseño, análisis y fabricación de circuitos sinápticos. En primer lugar, se diseñará un modelo de memristor para su análisis, estudio y fabricación, como primer ejemplo de circuito neuromórfico. A continuación, se diseñará un circuito sináptico de mayor complejidad únicamente a partir de componentes discretos.

El interés por este tipo de topologías surge por la necesidad de encontrar un nuevo tipo de arquitecturas circuitales capaces de comportarse tal y como lo hace nuestro cerebro, y como consecuencia, la creación de un nuevo tipo de computación basada en este tipo de circuitos, de forma que se consiga abandonar definitivamente la computación Von Neumann. De la misma forma que se trabaja en campos como la inteligencia artificial, en esta ocasión el objetivo es un poco más ambicioso: se trata de crear un modelo circuital que consiga por sí mismo comportarse como una neurona. Esto traería una gran cantidad de beneficios a la computación, ya que cada una de estas neuronas tendría su propia memoria, por lo que la información se encontraría al mismo tiempo en toda la red, y no localizada en un único punto, como ocurre en los dispositivos actuales. Además, se conseguiría reducir el consumo de potencia, ya que sendos circuitos que se van a proponer logran trabajar con un consumo de potencia muy bajo.

Sin embargo, aunque se conisguiera llegar a este tipo de circuitos, aún quedarían muchas incógnitas por resolver, como por ejemplo, qué arquitectura se asociaría a cada tarea específica o cuál sería el alcance real de estas neuronas.

Cambiar i  
por s

### 1.1. Memristores

La primera persona que propuso la existencia del memristor fue Leon O. Chua [2] en el año 1971. En su artículo propone la existencia de un cuarto

elemento circuital básico denominado memristor, cuya curva característica completaría las relaciones entre los cuatro parámetros básicos de todo circuito:  $v$ ,  $i$ ,  $q$  y  $\varphi$ , de la forma  $\varphi - q$ , y se comportaría como una resistencia no lineal con memoria. Esta memoria se traduciría en que el valor de la resistencia del memristor dependería del flujo  $\varphi$  que lo atravesara en un instante anterior, de forma que si el circuito que lo contiene interrumpiera su funcionamiento, este quedaría con el último valor que recordase.

En el año 1976, el mismo autor publicaría un nuevo artículo junto con Sung Mo Kang [4], en el que ampliarían el concepto de memristor para incluir los llamados sistemas memristivos, con una variedad de propiedades dinámicas, tales como la ya mencionada capacidad de memorizar, efectos inductivos y capacitivos para pequeña señal, y la más importante, la figura de Lissajous<sup>1</sup>, debido al paso por el origen como consecuencia de la histéresis que se produciría en este tipo de sistemas mediante la variación de la frecuencia de trabajo. Para frecuencias bajas, estos sistemas memristivos serían idénticos a una resistencia no lineal, mientras que a medida que la frecuencia aumentara, se asemejarían más a una resistencia lineal. Además proponían una serie de condiciones para identificar este tipo de sistemas, al mismo tiempo que reconocían dispositivos como los termistores dentro de este grupo.

Más adelante, en el año 2009, sería de nuevo Leon O. Chua, junto con Massimiliano Di Ventra y Yuriy V. Pershin en [3], quienes propondrían la existencia del memcapacitor y meminductor, al mismo tiempo que asentarían las bases previamente expuestas acerca del memristor. Es aquí donde se expone por primera vez de forma clara el enorme potencial de estos dispositivos. Su capacidad única para almacenar información sin consumo de energía, los harían inmejorables para la computación analógica, que vendría a romper todos los límites alcanzados por la computación digital actual. Por otra parte, permitirían el acercamiento a los mecanismos constitutivos del cerebro humano, tales como la adaptación o el aprendizaje.

En este mismo artículo, se describen algunas de las propiedades de los sistemas memristivos. En primer lugar, se describen los sistemas memristivos como sistemas de escala nanométrica cuya resistencia depende de su estado. Son dispositivos pasivos. No sufren descarga de energía, que se deduce fácilmente del hecho de que una resistencia no es capaz de almacenar energía, como sí que ocurre en los condensadores y en las bobinas. Presentan un ciclo de histéresis, de forma que en la curva  $I - V$  de un memristor, se observa que cuando la tensión aumenta, la corriente aumenta con una pendiente, y cuando la tensión disminuye, la corriente disminuye con una pendiente diferente a la primera, de donde se deduce que toma valores de resistencia diferentes. Por otra parte, se comportan como dispositivos no

<sup>1</sup>La curva o figura de Lissajous es la gráfica de la superposición de dos movimientos armónicos simples en direcciones perpendiculares.



lineales a frecuencia cero, y como dispositivos lineales a frecuencia infinita. Esto se debe a que a frecuencias bajas, el periodo es muy grande por lo que el dispositivo tiene el tiempo suficiente para ajustar el valor de su resistencia en base a un parámetro de control. Sin embargo, a alta frecuencia, el periodo es muy pequeño por lo que el memristor o sistema memristivo, no tiene tiempo de cambiar de valor. Finalmente, se espera observar un ligero comportamiento capacitivo debido a la formación de dipolos en la resistencia, que trae como consecuencia que la figura de histéresis no pasa por cero a ciertas frecuencias.

Para concluir esta introducción, se van a presentar distintos proyectos que se están desarrollando o se han desarrollado acerca del memristor. Uno de los más interesantes, es sin duda el llevado a cabo por Yuriy V. Pershin, Steven La Fontaine y Massimiliano Di Ventra [5]. En este, se estudia el comportamiento de una ameba en respuesta a una serie de variaciones de las condiciones ambientales, concretamente humedad y temperatura. Se observa que la ameba responde disminuyendo su velocidad de movimiento ante varios impulsos de frío y baja humedad. Una vez que los impulsos paran, la ameba sigue disminuyendo su velocidad en los instantes en los que los impulsos habrían seguido llegando, prediciendo por tanto la frecuencia del patrón de impulsos que se le estaba aplicando. Pese a que este comportamiento desaparece con el tiempo, si se vuelve a aplicar un único impulso, la ameba responde con varios impulsos reduciendo su velocidad, por lo que se puede concluir que ésta ha aprendido que tras un impulso siguen otros más. Además, se observa que cuando la ameba se mueve como consecuencia de estos impulsos, el flujo de la solución viscosa presente en su endoplasma, cambia de forma no lineal, de la misma forma que en un memristor la resistencia cambia de forma no lineal cuando lo hace la tensión entre sus terminales.

*Dimitri?*  
*implementación*  
*semiconductor*  
Dmitri B. Strukov, Gregory S. Snider, Duncan R. Stewart y R. Stanley Williams proponen en [6] un modelo físico de memristor. Consiste en una fina lámina *semiconductora* entre dos contactos metálicos, de forma que esta lámina tiene una región con una alta concentración de dopantes, y por tanto una baja resistencia, y el resto de la misma una baja concentración, y por tanto una resistencia alta. La aplicación de una tensión entre sus terminales hace que el límite entre ambas regiones se desplace, causando el desplazamiento de dopantes y por tanto el cambio en el valor de la resistencia. Además, se vuelve a hacer hincapié en el hecho de que los memristores tienen sentido cuando se habla a escala nanométrica, ya que los términos relacionados con la memristancia empiezan a ser considerables.

Mo Chen, Jingjing Yu, Qing Yu, Changdi Li and Bocheng Bao proponen un nuevo circuito basado en la propuesta inicial de Chua, para emular el comportamiento de un memristor debido a la falta de un modelo físico de memristor que se comporte de la forma deseada en [7]. Este consiste en un puente de diodos completo, en paralelo con un condensador y una resistencia.

A través de la carga y descarga del condensador, se consigue el efecto de un cambio en la resistencia observada a la salida del circuito.

En [8] se propone la creación de un nuevo tipo de memoria denominada MCAM: Memristor based Content Addressable Memory. La estructura propuesta en este caso, se basa en un transistor nMOS en cuyo drenador se encuentra un memristor, que varía entre estados de baja y de alta impedancia, constituyendo así ambos estados lógicos, 0 y 1. Así, cada celda básica está formada por dos de estas estructuras. Además, el autor crea mediante la unión de dos o más de estas celdas básicas, puertas lógicas tales como NOR o NAND. Estas celdas permiten tanto modo de lectura como de escritura. Los resultados de las simulaciones muestran un 45 por ciento menos de área de silicio respecto a las memorias SRAM convencionales, así como una velocidad de entre 5 y 12 nanosegundos (comparable a la de estos) y un impresionante 96 por ciento de reducción en la disipación de potencia.

Más recientemente, en [9], se ha propuesto un modelo de heteroestructura formado por  $MoO_x/MoS_2$  y  $WO_x/WS_2$  entre dos electrodos, que consigue tener una resistencia programable en un rango muy alto de valores, para una alimentación menor de un voltio. El control del valor de la resistencia del material se realiza mediante una delgada capa de óxido, de forma que se experimenta una alta no linealidad que permite observar el comportamiento sináptico al aplicar pulsos eléctricos consecutivos. Sobre esto se hablará más adelante en el apartado de circuitos sinápticos.

Finalmente, es reseñable el trabajo realizado en [10] por Kuk-Hwan Kim, en el que se propone un memristor híbrido entre la lógica CMOS tradicional y celdas de memristores, de nuevo para el almacenamiento de información y para aplicaciones neuromórficas.

## 1.2. Circuitos sinápticos



## Capítulo 2

# Objetivos

El objetivo de este proyecto fin de grado <sup>cursiva</sup> es realizar un estudio de los llamados circuitos neuromórficos, considerados como una de las líneas de investigación actuales con más peso en el campo de las redes neuronales, y que permitirían modelar el comportamiento real de partes del sistema nervioso de un ser vivo, tales como las neuronas o procedimientos como las sinapsis, bases del aprendizaje. Además, debido a su capacidad de memorizar información, son uno de los puntos clave en el avance de la computación, y se ven como una de las alternativas con mayor aplomo a los dispositivos de arquitectura Von Neumann actuales, tal y como los conocemos: permitirían que la información se encontrara al mismo tiempo en todos los puntos de un ordenador, de forma que el procedimiento de acceso a memoria se convertiría en innecesario. A todo esto hay que añadir su bajo consumo de potencia, que permitiría aumentar la eficiencia de los dispositivos en gran medida, otro de los grandes escollos en la escalabilidad de los sistemas actuales. Por todo esto, se ha escogido esta temática para desarrollar este trabajo, con el objetivo de poder ahondar un poco más en este tipo de circuitos, aprender de las líneas de investigación más recientes en el campo, así como proponer nuevos modelos circuitales que solucionen los paradigmas actuales de estos dispositivos al mismo tiempo que la búsqueda de nuevas aplicaciones reales para los modelos obtenidos.

Específicamente, se propondrá en primer lugar un modelo de memristor basado en componentes discretos. A continuación, se diseñará un modelo de circuito sináptico, basado en el uso de los llamados circuitos translineales y haciendo uso de transistores MOSFET en región de operación subumbral, para así lograr el objetivo de obtener un consumo en potencia muy reducido. Una vez diseñados y simulados sendos circuitos, se procederá a la construcción del primero de ellos. Finalmente se analizarán y evaluarán todos los resultados obtenidos.

## Capítulo 3

# Memristor: diseño y simulación

En este capítulo, se va a desarrollar el diseño del modelo de memristor propuesto. Como ya se ha explicado en la introducción, un memristor es un resistor con memoria, capaz de tomar dos valores de resistencia diferentes en función de la corriente que lo atraviesa en cada momento, además de recordar el estado anterior al que se encuentre en un momento determinado. El capítulo se va a estructurar en tres partes. La primera, de diseño y fundamento teórico, en la que se expondrá el diseño del memristor así como el análisis teórico del mismo. La segunda, de simulación, y finalmente la interpretación de los resultados obtenidos.

### 3.1. Diseño y análisis teórico

El modelo de memristor propuesto se puede observar en la figura 3.1.

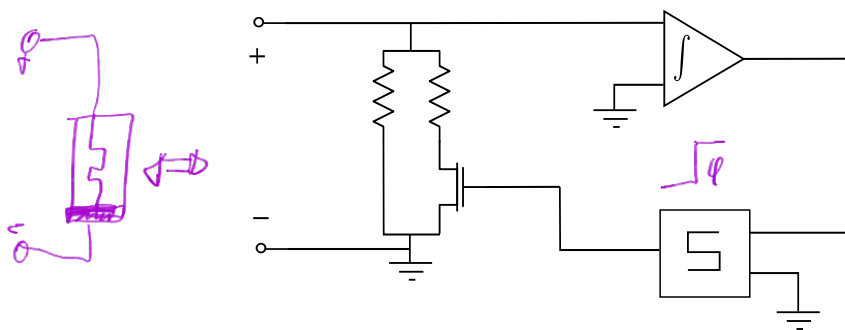


Figura 3.1: Modelo de memristor

Los terminales del memristor son los indicados con signo positivo y negativo. Como se puede observar, el valor de la resistencia vista desde los terminales, variará según el estado del transistor que controla la rama de



*superiores de estado del integrador muy grande*

la derecha del memristor, de forma que cuando el transistor esté en ON, el valor de resistencia vista desde los terminales será el paralelo del valor de ambas resistencias, mientras que cuando el transistor esté en OFF, por la rama de la derecha no circulará corriente quedando ésta en circuito abierto. En este caso, la resistencia vista desde los terminales será solamente el valor de la primera resistencia. El control del estado del MOSFET se efectúa mediante un integrador seguido de un comparador de la siguiente forma. Para un memristor se busca relacionar el flujo con la carga. Por tanto, si integramos la tensión a lo largo del tiempo, tenemos el flujo que circula a través de la resistencia a lo largo del tiempo, de forma que ya tenemos la variable de control del memristor. Basta con añadir un bloque comparador que se encargue de llevar la señal que recibe del integrador a valores extremos ON-OFF, de forma que sea la entrada idónea para la puerta del MOSFET que irá alternando entre estados ON y OFF, y por tanto variando el valor de la resistencia vista desde los terminales del memristor.

De esta forma se ha conseguido llegar a un modelo de memristor que cumple con las condiciones necesarias para serlo: relaciona el flujo con la carga, presenta una característica no lineal y tiene memoria: alterna entre dos valores de resistencia en función de la entrada que recibe. El resumen es que para un flujo de corriente que atravesase en un momento concreto al memristor, este presentará un valor de resistencia concreto, pero este podrá cambiar si así lo hace la corriente a través del memristor.

A continuación se procede a hacer un desarrollo en detalle de cada uno de los bloques que componen el memristor.

### 3.1.1. Integrador

En la figura 3.2 se muestra el esquema del bloque integrador diseñado.

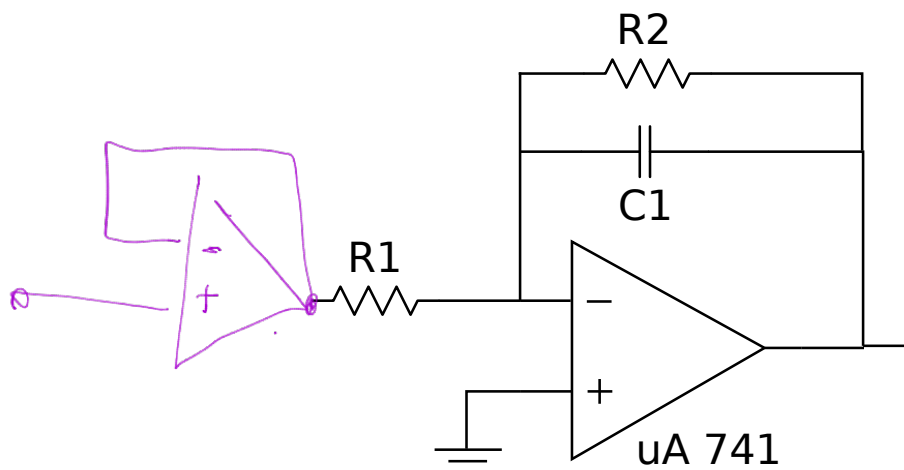


Figura 3.2: Bloque integrador

Para el diseño de esta etapa, se ha hecho uso de un amplificador operacional con realimentación negativa. De esta forma, del análisis del circuito propuesto, se puede llegar a las siguientes ecuaciones:

Por realimentación negativa:

$$V^+ = V^- = 0$$

Del análisis de corrientes en el nodo de  $V^-$ :

$$\frac{V_{in}}{R_1} = \frac{-V_o}{R_2} - \frac{V_o}{Z_c}$$

Desarrollando, llegamos a:

$$V_o = -V_{in} \frac{1}{\frac{R_1}{R_2} + sR_1C_1}$$

donde se observa la relación entre la entrada y la salida de la etapa en el dominio de Laplace. Como se desea obtener un bloque que integre, sería conveniente llegar a una ecuación de la forma  $V_o = V_{in}k/s$ , ya que  $TL^{-1}\{1/s\} = \int dt$ . Para ello, basta con hacer que:

$$R_2 \gg R_1$$

de forma que quedaría:

$$V_o = -V_{in} \frac{1}{s} k$$

con  $k = 1/R_1C_1$ . De esta forma, en el dominio del tiempo nos queda:

$$V_o(t) = -k \int V_{in}(t) dt$$

En el cuadro 3.1 se muestran los valores empleados para el diseño de este bloque. Se puede comprobar que se cumple la condición de que  $R_2 \gg R_1$ .

$R_1(k\Omega)$	$R_2(k\Omega)$	$C_1(nF)$
1	100	100

Cuadro 3.1: Valores de la etapa integradora

### 3.1.2. Comparador

El bloque comparador funciona de la siguiente forma. Cuando el valor que recibe por el terminal de entrada de la señal (terminal inversor) es mayor que el valor de comparación (nivel de tensión en el terminal no inversor), la salida será un valor de tensión alto, concretamente el valor de la alimentación

positiva con que se esté alimentando. En caso contrario, la salida será el valor de la alimentación negativa o, en su caso, el cero. En este caso se ha configurado la etapa para que realice la comparación con el cero, por lo que la señal entra por el terminal inversor, y el terminal no inversor se ha conectado a masa.

### 3.1.3. Memristor

Finalmente, las dos resistencias en paralelo junto con el Mosfet nMOS en una de las ramas, que son las que hacen que el memristor oscile entre dos valores de resistencia, se ha configurado de forma que una de las resistencias valga  $R_{1m} = 10k\Omega$  y la otra  $R_{2m} = 1M\Omega$ . El Mosfet recibirá la salida del comparador como una señal cuadrada de valores de tensión entre 5 y 0. Cuando  $V_{GS} > V_{th}$ , el transistor entrará en conducción, y cuando  $V_{GS} < V_{th}$  dejará de conducir.

## 3.2. Simulación por partes

A continuación se va a mostrar los resultados obtenidos tras la simulación de cada una de las etapas, y finalmente de todo el conjunto. Para ello se hará uso del software de diseño y simulación de circuitos PSpice.

### 3.2.1. Integrador

En la figura 3.3, se puede observar el resultado de la simulación del bloque integrador.

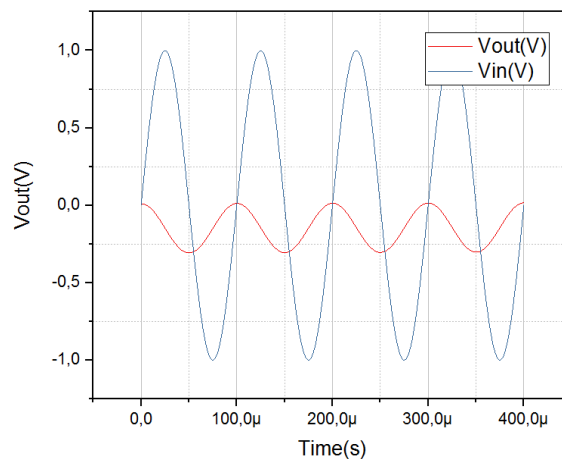


Figura 3.3: Simulación del integrador



La entrada del circuito en este caso, ha sido una señal sinusoidal de la forma

$$V_{in}(t) = A \sin(\omega t)$$

con  $A = 1V$  y  $f = 10kHz$ . Por tanto, el resultado que se espera a la salida del integrador, es la integral de la señal de entrada, es decir, una señal de tipo cosenoidal con la misma frecuencia pero distinta amplitud. Como se puede ver en la figura 3.3, la salida del circuito se muestra en la traza de color roja, y efectivamente, se trata de una señal de tipo cosenoidal, con distinta amplitud y ligeramente desplazada hacia abajo. Se puede concluir por tanto, que el resultado es satisfactorio, y que el bloque integrador funciona correctamente.

### 3.2.2. Comparador

En la figura 3.4 se puede observar el resultado de la simulación del bloque comparador.

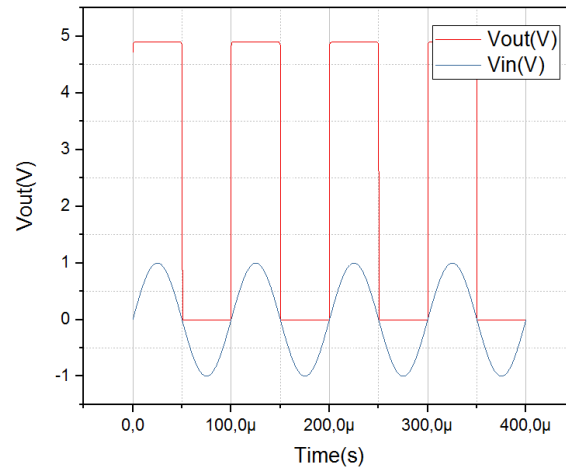


Figura 3.4: Simulación del comparador

De nuevo se ha usado una entrada sinusoidal con  $f = 10kHz$  y amplitud uno. Según la configuración descrita en el apartado 3.1.2 de esta memoria, se espera que cuando la señal tome valores de tensión mayores que cero, la salida sea de cinco voltios, mientras que cuando la señal sea menor que cero, la salida se cero. En la figura 3.4 se observa que para los valores en que el seno es positivo, es decir en  $t \in [0, T/2]$ , la salida es un valor alto de valor  $V_{out} = 5V$ , mientras que cuando el seno toma valores negativos, en  $t \in [T/2, T]$ , la salida es  $V_{out} = 0V$ . Se puede concluir que el resultado del bloque comparador obtenido tras la simulación es el deseado, ya que se consigue obtener una señal cuadrada que oscila entre valores alto y bajo, y que servirá de entrada para la siguiente etapa.

### 3.2.3. Memristor

En este apartado se va a simular la parte de las dos resistencias conectadas en paralelo. Para llevar a cabo esta simulación, en primer lugar se va a sustituir el Mosfet por un interruptor, para comprobar el correcto funcionamiento del circuito.

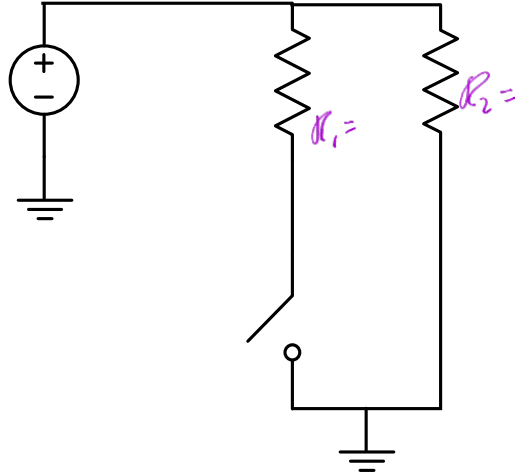


Figura 3.5: Memristor con interruptor

En la figura 3.5, se observa el circuito simulado. El interruptor se controla mediante una fuente de pulsos cuadrada, de forma que cuando los pulsos superen un nivel de tensión previamente fijado, el interruptor se cierra, quedando el circuito completamente cerrado y siendo en este caso el paralelo de ambas resistencias el valor de la resistencia vista desde los terminales del memristor. En caso contrario, el interruptor se abre quedando la rama de la izquierda en circuito abierto, por lo que la resistencia por la que circula corriente sería solo la de la rama de la derecha. Para observar estos cambios, basta con evaluar la resistencia equivalente vista desde los terminales de interés.

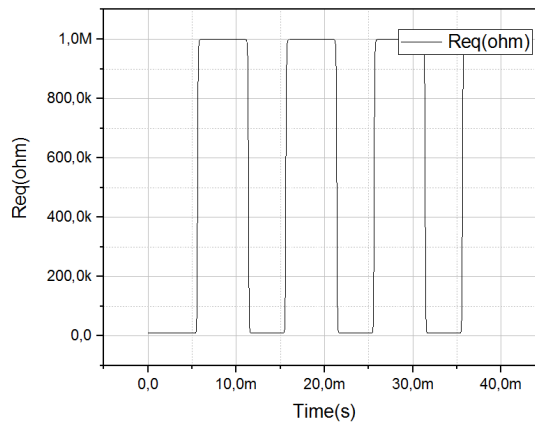


Figura 3.6: Resistencia equivalente

En la figura 3.6, se puede observar el resultado de la simulación del circuito de la figura 3.5. Se observa que va oscilando entre valores de resistencia  $R_{eq} \approx 10k\Omega$  y  $R_{eq} \approx 1M\Omega$ . Es por tanto el resultado esperado.

El siguiente paso es sustituir el interruptor por un Mosfet.

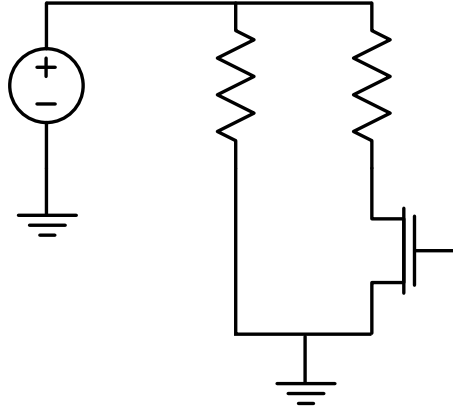


Figura 3.7: Memristor con Mosfet

En la figura 3.7, se observa el circuito simulado. En este caso, la fuente de pulsos cuadrados se conectará a la puerta del Mosfet, de forma que cuando la tensión de la fuente supere la tensión umbral del transistor, este entrará en conducción. Cuando la tensión de la fuente de pulsos sea menor que la umbral, la rama de la derecha quedará en circuito abierto.

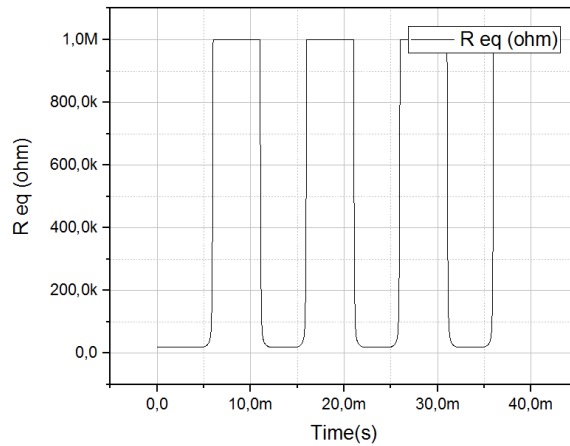


Figura 3.8: Resistencia equivalente con Mosfet

De nuevo, se puede observar en la figura 3.8 que la resistencia equivalente oscila entre dos valores, en este caso entre  $R_{eq} \approx [20k-1M]\Omega$ . El primer valor

no es exactamente el paralelo entre 10k y 1M, ya que el transistor cuando conduce, tiene una resistencia que queda en serie con la primera, de forma que la resistencia total de la rama de la izquierda sería  $R_{izq} = R_1 + R_{nMOS}$ . En cualquier caso, se ha conseguido que el circuito oscile entre dos valores de resistencia diferentes, que era el objetivo principal.

### 3.3. Simulación completa

Finalmente, se han unido todas las etapas para observar el resultado final. En la figura 4.1 se puede observar el esquemático del circuito completo.

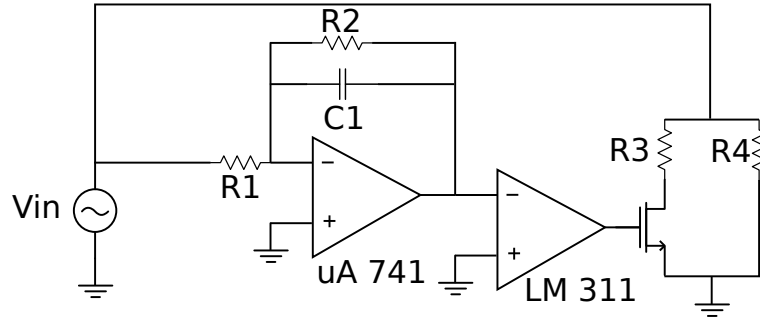


Figura 3.9: Esquemático del memristor completo

Además, en el cuadro 4.1 se muestran los valores de cada uno de los componentes utilizados, y en el cuadro 4.2 la configuración del resto de parámetros del circuito.

$R_1(k\Omega)$	$R_2(k\Omega)$	$C_1(nF)$	$R_3(k\Omega)$	$R_4(k\Omega)$
1	100	100	10	1000

Cuadro 3.2: Elementos del memristor

$V_{cc}(V)$	$V_{ss}(V)$	$V_{in}(V)$
5	-5	$\sin(t2\pi10kHz)$

Cuadro 3.3: Configuración del memristor

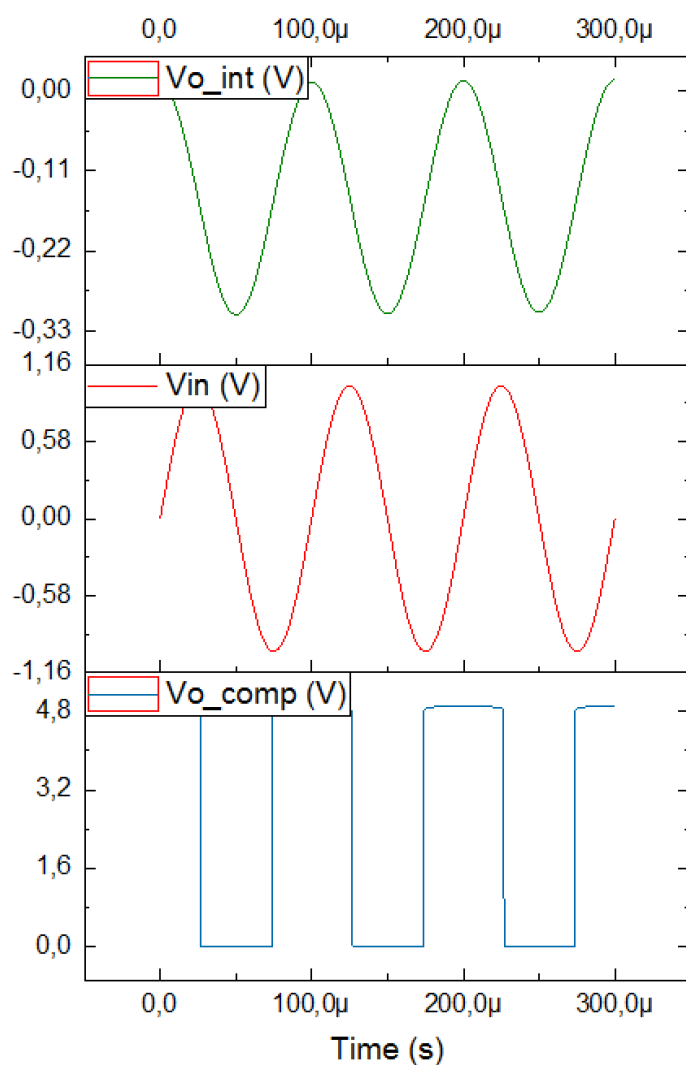


Figura 3.10: Salida de cada etapa

En la figura 3.10 se pueden observar la entrada y salida de cada una de las etapas una vez que están todas conectadas. Se comprueba que el resultado sigue siendo satisfactorio: para la señal de entrada de tipo sinusoidal  $V_{in}$ , la salida de la etapa integradora ( $V_{o\_int}$  en la figura) es un coseno, y la salida de la etapa comparadora ( $V_{o\_comp}$ ) es una señal cuadrada que oscila entre dos valores que servirán para poner el transistor del memristor en ON y OFF sucesivamente.

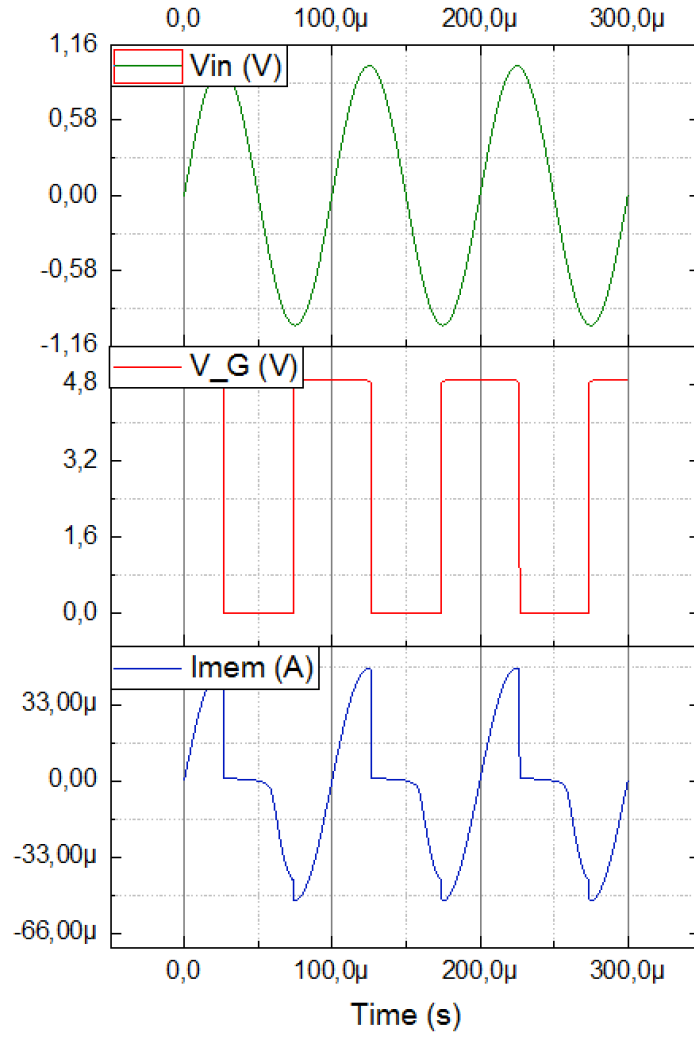


Figura 3.11: Memristor completo

En la figura 3.11, se muestran los resultados de la simulación del memristor completo.  $V_{in}$  es la señal de entrada,  $V_G$  es la tensión en la puerta del transistor y  $I_{mem}$  es la corriente a través de la rama que une a  $R_3$  y a  $R_4$ . Tal y como se esperaba, cuando el transistor está en ON, la corriente a través del memristor queda descrita por la ley de Ohm de la forma:

$$I_{mem_1} = \frac{V_{in}}{R_3 || R_4} \quad (3.1)$$

Mientras que cuando el transistor pasa a estar en OFF, esta corriente pasa a describirse por:

$$I_{mem_2} = \frac{V_{in}}{R_4} \quad (3.2)$$

O lo que es lo mismo, en cada caso la corriente viene descrita como el producto de la señal de entrada  $V_{in}$  por un factor  $k_1 = 1/(R_3||R_4)$  ó  $k_2 = 1/R_4$ , de forma que la corriente  $I_{mem}$  mantendrá la forma de onda de la tensión de entrada pero cambiará su amplitud. Esto es lo que se observa en las figuras 3.11 y 3.12, cuando el transistor está en ON, la corriente mantiene la forma de onda de la tensión de entrada con una amplitud concreta, mientras que cuando pasa a estar en OFF, se observa como la amplitud de la señal cae, para volver a aumentar cuando el transistor vuelve a estar en ON. Estos cambios en la amplitud de la corriente son las evidencias de que hay un cambio en el valor de la resistencia del memristor.

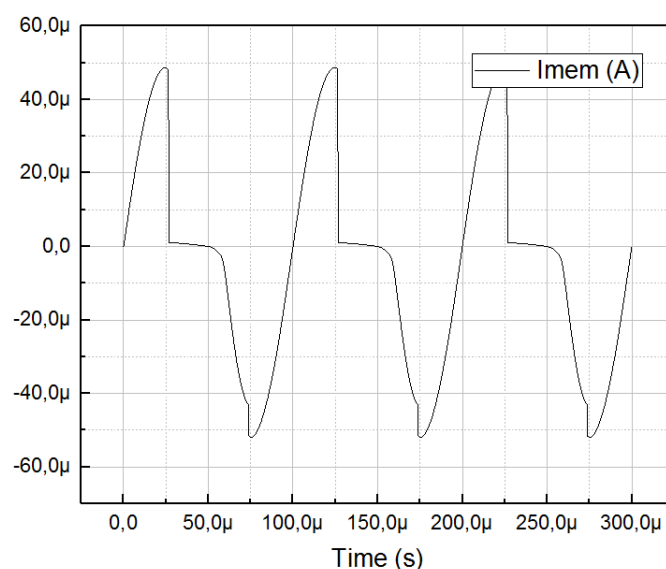


Figura 3.12: Corriente a través del memristor

En la figura 3.12 se puede observar en detalle la forma de la corriente que circula a través del memristor.

Se ha obtenido, por tanto, el resultado esperado tras la simulación. El memristor oscila entre dos valores de resistencia en función del valor de la entrada, de forma que el control del valor de la resistencia se realiza mediante la comparación de la integral de la señal de entrada, esto es, el flujo de corriente a través del propio memristor.





## Capítulo 4

# Memristor: construcción

En este capítulo se va a abordar la construcción del memristor diseñado en el capítulo anterior. El objetivo es llevar a cabo la implementación física del circuito propuesto, para tratar de replicar los resultados de la simulación. El capítulo se va a estructurar en dos secciones: construcción y resultados. En la primera se va a hablar de cómo se ha llevado a cabo la implementación, qué componentes y materiales se han utilizado, así como las configuraciones de todo el material empleado. En la segunda sección se mostrarán los resultados obtenidos, tratando de realizar una comparación con los obtenidos tras la simulación.

### 4.1. Construcción

La construcción del circuito se ha realizado siguiendo el esquema de la figura 4.1.

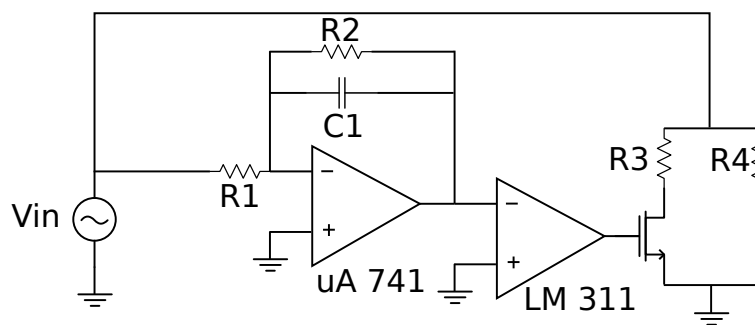


Figura 4.1: Esquemático del memristor completo

Los valores de los componentes utilizados se muestran en el cuadro 4.1. La configuración del resto de elementos utilizados se muestra en los cuadros 4.2 y 4.3. Los integrados mostrados en el cuadro 4.3 son de la marca TI<sup>1</sup>.

---

<sup>1</sup>TI: Texas Instruments

$R_1(k\Omega)$	$R_2(k\Omega)$	$C_1(nF)$	$R_3(k\Omega)$	$R_4(k\Omega)$
1	100	100	100	1200

Cuadro 4.1: Elementos del memristor

$V_{cc}(V)$	$V_{ss}(V)$	$V_{in}(V)$
5	-5	$\sin(t2\pi100Hz)$

Cuadro 4.2: Configuración del memristor

<i>Integrdaor</i>	<i>Comparador</i>	Mosfet nMOS
uA 741	LM 311	CD 4007

Cuadro 4.3: Configuración del memristor

Además, se ha usado una fuente de alimentación y un osciloscopio con generador de funciones integrado, ambos de la marca Agilent Technologies<sup>2</sup>.

## 4.2. Resultados

En primer lugar, se va a mostrar el resultado obtenido en cada una de las etapas, al igual que se hizo en el capítulo de simulación, para comprobar etapa por etapa los cambios experimentados por la señal de entrada.

### 4.2.1. Integrador

En la figura 4.2 se muestra la salida del bloque integrador para una entrada sinusoidal, que será la que se utilizará en el resto del procedimiento. Además, para comprobar el correcto funcionamiento de la etapa, en la figura 4.3 se muestra la salida para distintos tipos de entrada: triangular y cuadrada.

<sup>2</sup>Este material ha sido prestado por la Universidad de Granada para la realización de este trabajo de grado

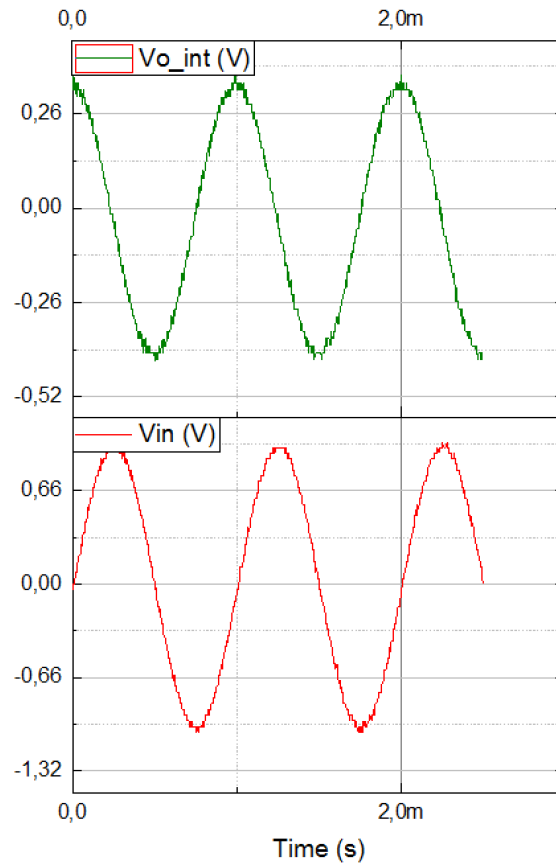


Figura 4.2: Salida de la etapa integradora para entrada sinusoidal

Se observa que para la entrada de tipo sinusoidal, se obtiene una salida de tipo cosenoidal. Para la entrada cuadrada, salida triangular, y para la entrada triangular, salida parabólica. Se comprueba así el buen funcionamiento de la etapa, ya que para cada entrada, la salida obtenida es la integral de ese tipo de entrada.

En cualquier caso, el tipo de entrada que usaremos para el resto del procedimiento será la de tipo sinusoidal.

#### 4.2.2. Comparador

En la figura 4.4 se muestra la salida de la etapa comparadora para dos frecuencias distintas. En primer lugar, para la frecuencia a la que se estaba trabajando,  $f = 1kHz$ , y en segundo lugar, para  $f = 100Hz$ . Esto se debe a que en el primer caso, se observa que en la transición del comparador del estado alto al bajo no le da suficiente tiempo a la señal a establecerse en el nivel bajo. Aumentando el periodo, esto es, disminuyendo la frecuencia, se observa que la señal alcanza sin problema el nivel bajo en un tiempo

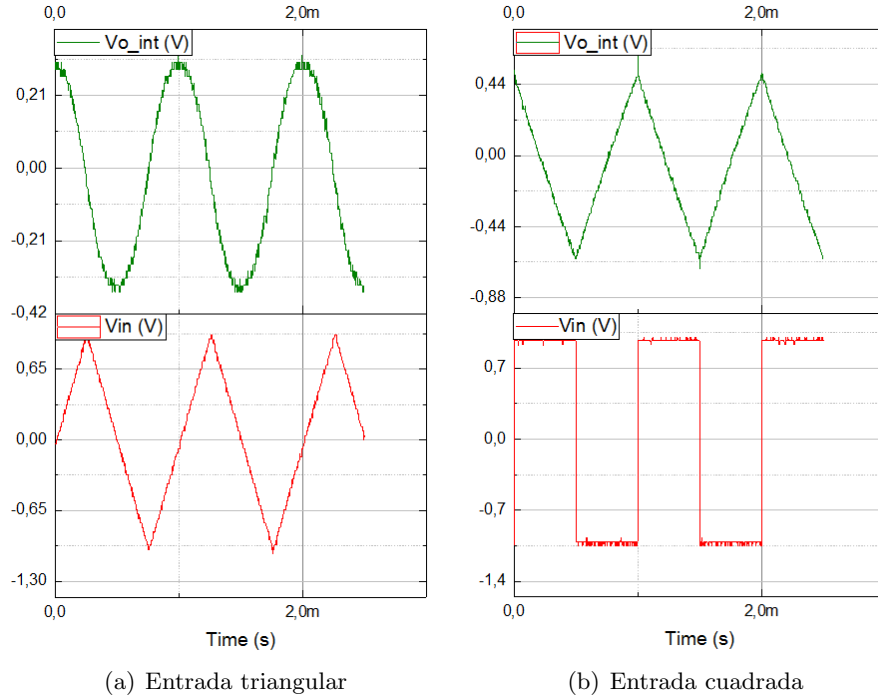


Figura 4.3: Salida de la etapa integradora para distintos tipos de entrada

despreciable respecto al periodo de la señal. La decisión tomada será la de bajar la frecuencia de trabajo a  $f = 100Hz$ , ya que permitirá de cara a la siguiente etapa, tener una señal de entrada que permanezca el mismo tiempo en estado alto que en bajo. Aunque esto no es imprescindible, ya que lo que se busca es que el transistor de la siguiente etapa oscile entre valores de tensión por encima y por debajo de la tensión umbral, y eso ya se conseguía para  $f = 1kHz$ , tampoco es un problema bajar la frecuencia de trabajo para asegurarnos el correcto funcionamiento del transistor, y por tanto, del memristor.

Es importante recalcar, que la tensión  $V_{o_{comp}}$  es en realidad la tensión de puerta del transistor  $V_G$ . Será por tanto, la que controle el estado del mismo.

#### 4.2.3. Memristor

El principal problema que se presenta en esta etapa, es medir la corriente a través del memristor, es decir, de la rama del circuito de la figura 4.1 que contiene a  $R_3$  y  $R_4$ , en primer lugar se propuso usar una resistencia en serie a la entrada de esta rama, para a partir de la diferencia de tensión entre sus terminales, obtener el valor de la corriente que la atravesara, y por

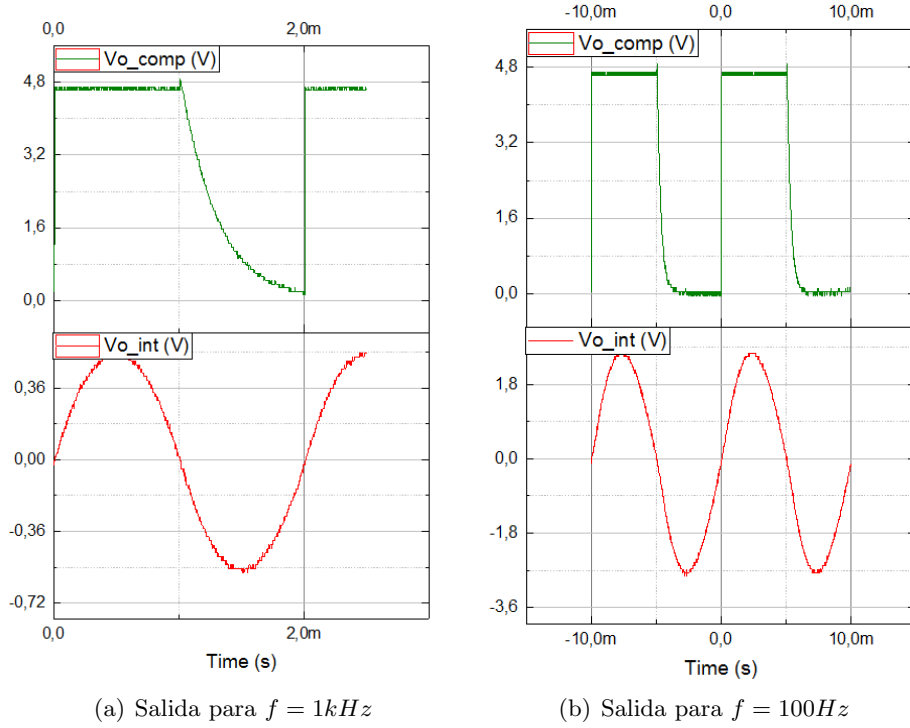


Figura 4.4: Salida de la etapa comparadora para distintas frecuencias

tanto, también al memristor. Sin embargo, tras probar esta configuración, se observó que el resultado obtenido no era satisfactorio, ya que la diferencia entre las señales medidas en cada uno de los terminales de la resistencia era tan pequeña que la precisión de los aparatos de medida utilizados no era suficiente para medir de forma exacta estas pequeñas variaciones.

Finalmente, se ha propuesto medir la tensión  $V_{DS} = V_D$  del transistor, de forma que cuando la tensión en su puerta sea menor que la tensión umbral, y por tanto esté en OFF,  $V_{DS} = V_{in}$ , y la corriente a través del memristor será:

$$I_{mem_1} = \frac{V_{DS}}{R_4} \quad (4.1)$$

Cuando la tensión en la puerta del transistor sea mayor que la umbral, el este pasará a estar en ON, y en este caso la corriente será de la forma:

$$I_{mem_2} = \frac{V_{in}}{R_4} + \frac{V_{in} - V_{DS}}{R_3} \quad (4.2)$$

Por tanto, basta con conocer la tensión  $V_{DS}$  para obtener el valor de la corriente  $I_{mem}$  para ambos estados de trabajo del Mosfet.

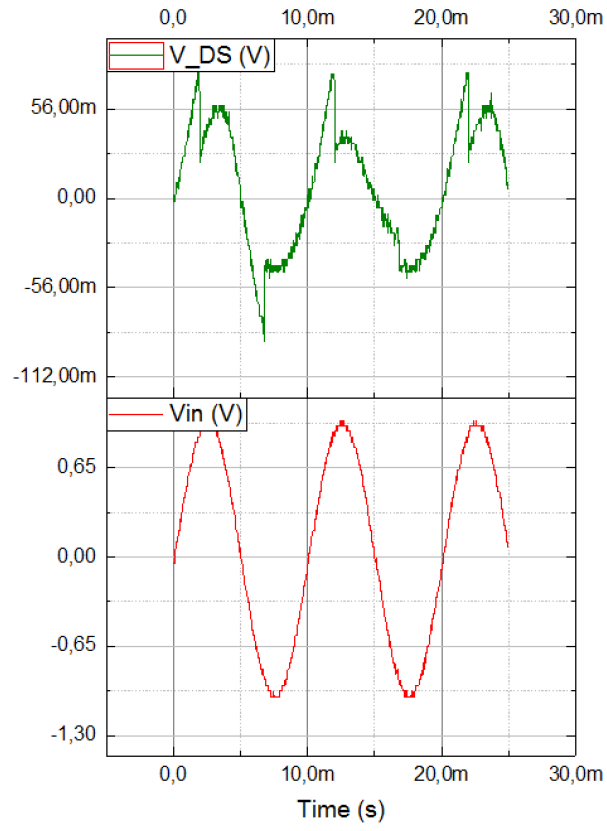


Figura 4.5: Tensión drenador a fuente del transistor

En la figura 4.5 se muestra la tensión  $V_{DS}$  del transistor y la tensión de entrada  $V_{in}$ .

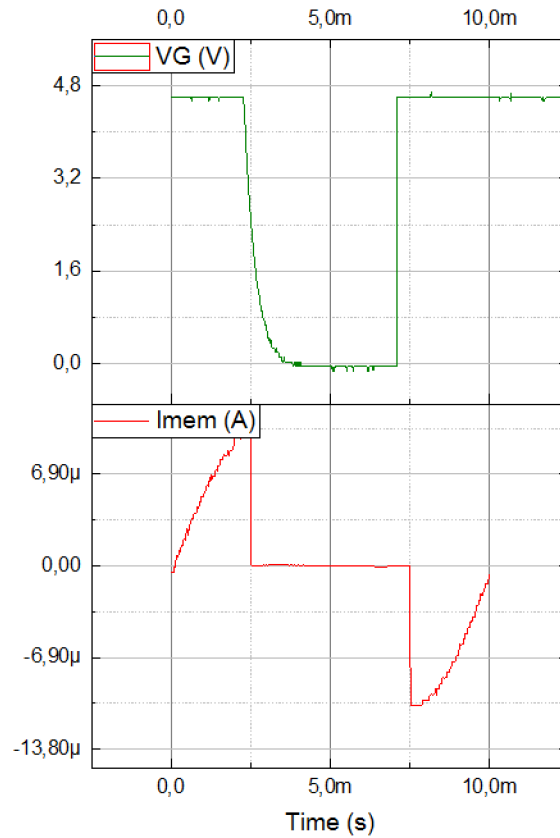


Figura 4.6: Corriente a través del memristor

En la figura 4.6 se muestra la corriente  $I_{mem}$  que circula a través del memristor, y la tensión en la puerta del Mosfet,  $V_G$ . Se observa que se cumplen las ecuaciones 4.1 y 4.2, ya que cuando el transistor está en OFF, la corriente a través del memristor es únicamente la de la rama de  $R_4$ , que al tener un valor tan grande, hace que la corriente sea muy pequeña. Esto se puede ver en la parte central del periodo, cuando la señal cuadrada tiene un valor bajo. En la parte inicial y final del periodo, cuando la señal cuadrada tiene un valor alto, se puede ver que el valor de la corriente es mucho mayor, ya que ahora la resistencia vista por la fuente es en realidad el paralelo entre  $R_3$  y  $R_4$ , esto es, un valor próximo y menor que  $R_3$ , por tanto, la corriente ahora es mucho mayor. El cambio en el valor de la corriente, se observa de forma clara en el punto de transición entre el estado alto y bajo de la señal cuadrada: cuando esta pasa de un estado alto a un estado bajo, la corriente disminuye repentinamente a un valor mucho menor.

Es importante añadir que aunque en la figura no se pueda apreciar debido a la diferencia de magnitud entre la corriente según el estado del transistor, la corriente sigue la forma de onda de la tensión de entrada en todo momento, como era de esperar. El único cambio entre ambos estados, es el valor de

la resistencia vista por la fuente, y por tanto, de la corriente que circula a través del memristor.

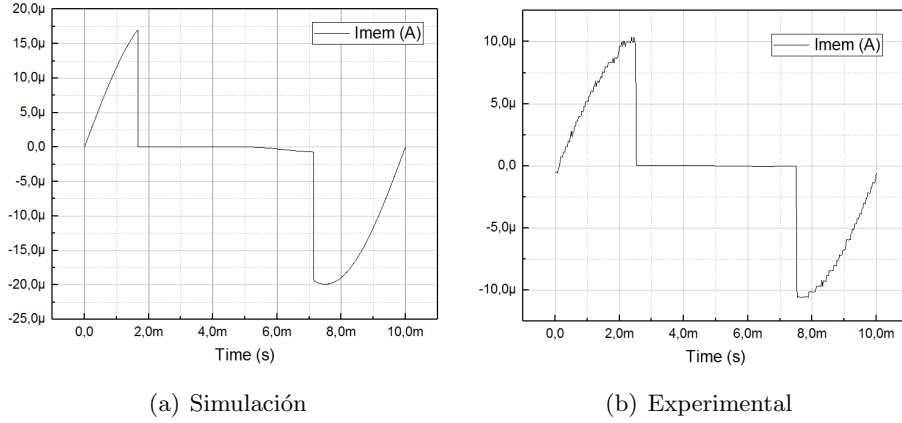


Figura 4.7: Comparación entre el resultado de la simulación y el experimental

En la figura 4.7 se muestra la corriente en la simulación y la experimental. El resultado obtenido experimentalmente es por tanto satisfactorio, ya que como se observa ambas gráficas son prácticamente idénticas, a diferencia del valor de la amplitud de la corriente, que en la simulación es de  $A_{sim} \approx -17\mu A$  y la experimental  $A_{exp} \approx -10\mu A$ . Además, en la obtenida mediante simulación, se observa un ligero aumento en la intensidad de esta corriente a partir de  $t = 5ms$ , mientras que en la experimental no se observa.

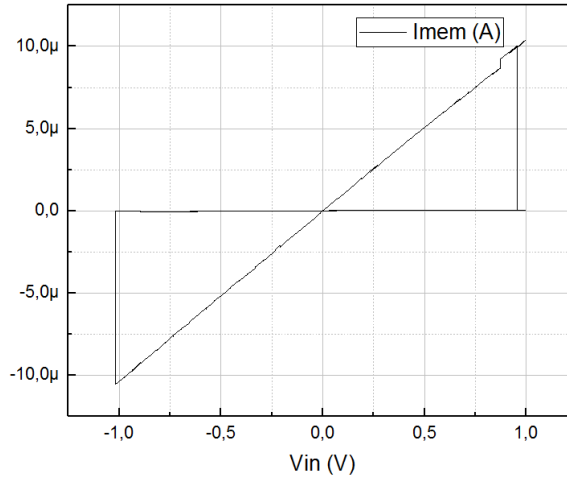


Figura 4.8: Corriente en función de la tensión de entrada

Sería interesante poder observar la corriente en función de la tensión de entrada, que son las magnitudes que en un principio se buscaba relacionar.



Esto se muestra en la figura 4.8. El resultado es una gráfica con histéresis, esto es, cuando la tensión de entrada aumenta, la corriente aumenta con una pendiente y la tensión disminuye, disminuye con otra. En realidad, esta pendiente es el valor de la resistencia del memristor en cada caso, ya que:

$$V_{in}(I) = RI_{mem} \quad (4.3)$$

que es la ecuación de una recta con pendiente  $R$ , que además pasa por el origen de coordenadas.

Se ha llegado por tanto, a un modelo de memristor que oscila entre dos valores de resistencia distintos, cuya oscilación está totalmente determinada por la tensión de entrada: estamos ante una resistencia con memoria.



## Capítulo 5

# Circuito sináptico: diseño

En este capítulo se va a tratar el diseño de un circuito neuromórfico. El objetivo principal es el diseño de un circuito capaz de replicar el comportamiento de una sinapsis neuronal, es decir, la transmisión de un impulso nervioso de una neurona a otra. La función de un circuito sináptico es la de trasladar los pulsos de tensión presinápticos de la neurona transmisora, en corrientes postsinápticas inyectadas en la membrana plasmática de la neurona receptora.

Para ello, el uso de circuitos que operen en la región subumbral se hace imprescindible, dado a su bajo consumo de potencia, así como de su característica exponencial, que los hace únicos para este tipo de funciones.

### 5.1. Región subumbral (subthreshold, weak-inversion)

A los modos de operación de un transistor Mosfet hasta ahora conocidos, hay que añadir uno más: el modo subthreshold, weak-inversion o subumbral. Este modo de operación se produce cuando:

$$0 < V_{GS} < V_{th} \quad (5.1)$$

Se caracteriza por el hecho de que la mayoría de los portadores han sido expulsados de la superficie. La densidad de portadores minoritarios aumenta respecto a la distancia al sustrato. Son estos portadores minoritarios las únicas cargas disponibles sobre la superficie del transistor, y por tanto, al aplicar una tensión por pequeña que sea entre el drenador y la fuente, estos se mueven por difusión, dando lugar a una corriente a través del transistor, tal y como se describe en[?].

Además, se puede describir esta corriente mediante la ecuación:

$$I_D = I_{D0} e^{\frac{V_G}{nV_T}} \left( e^{\frac{-V_S}{V_T}} - e^{\frac{-V_D}{V_T}} \right) \quad (5.2)$$

en la que todas las tensiones están referidas a la tensión del sustrato. De esta forma, para el caso en el que el sustrato esté conectado con la fuente, queda:

$$I_D = I_{D0} e^{\frac{V_{GS}}{nV_T}} (1 - e^{\frac{-V_{DS}}{V_T}}) \quad (5.3)$$

Además, en cuanto que  $V_{DS} \approx > 2V$ , el término  $e^{\frac{-V_{DS}}{V_T}} \approx 0$ , y por tanto, el término  $1 - e^{\frac{-V_{DS}}{V_T}} \approx 1$ . Si además definimos  $\kappa = 1/n$ , como el separador del canal<sup>1</sup>, queda:

$$I_D = I_{D0} e^{\frac{\kappa V_{GS}}{V_T}} \quad (5.4)$$

Se ha llegado en la ecuación 5.4, a una expresión compacta y simplificada para la corriente que circula por el transistor en la región de operación subumbral.

## 5.2. Circuitos en modo corriente

### 5.3. Circuito propuesto

A continuación se va a describir el diseño y análisis del circuito propuesto. Primero se mostrará un modelo simplificado del circuito para ir paso a paso añadiendo complejidad al análisis, hasta llegar al circuito final.

#### 5.3.1. Modelo inicial

En la figura 5.1 se muestra el esquemático del circuito simplificado inicial. En este se usan fuentes de corriente ideales, que posteriormente serán sustituidas por sus modelos correspondientes. Este primer modelo servirá por tanto, para analizar el circuito de una forma más sencilla, así como para conocer qué papel juega cada uno de los parámetros que en él aparecen en la salida que se obtenga.

---

<sup>1</sup> $\kappa = \frac{C_{OX}}{C_{OX} + C_D}$ , siendo  $C_{OX}$  la capacidad de la capa de óxido, y  $C_D$  la capacidad de la capa de agotamiento

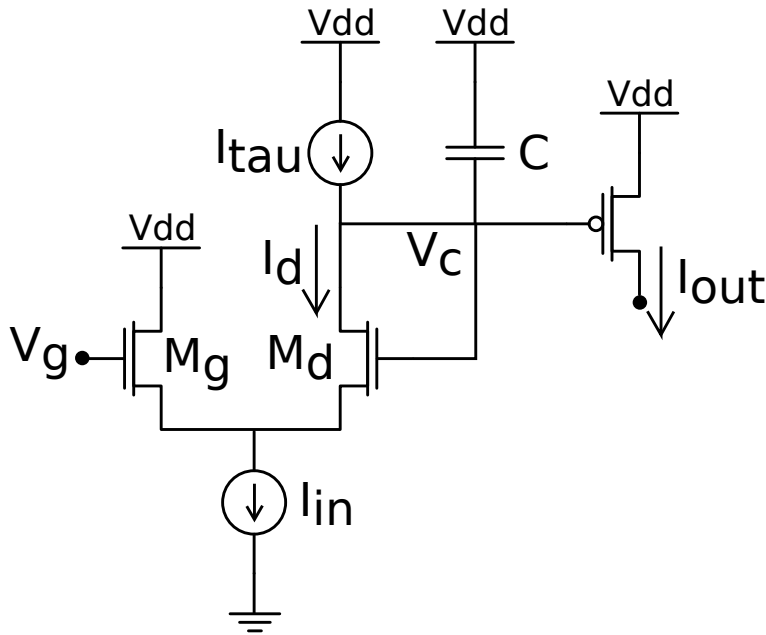


Figura 5.1: Esquemático del circuito inicial

El objetivo ahora es obtener el valor de  $I_{out}$ . Para ello se aplicará el método de las corrientes en los nodos. El primer nodo que se analizará es el que une los dos Mosfet de canal N con la fuente de corriente  $I_{in}$ .

#### Nodo $S_1$

En este nodo, debe cumplirse que:

$$I_{in} = I_g + I_d \quad (5.5)$$

Ahora veamos cual es la ecuación que describe a cada uno de los elementos que conforman esta ecuación. Es importante recalcar que la expresión que se usará para obtener el valor de estas corrientes es la deducida en el apartado anterior de esta memoria, la ecuación 5.4.

$$I_g = I_0 e^{\frac{\kappa}{V_T}(V_g - V_{S1})} = I_0 \frac{e^{\frac{\kappa V_g}{V_T}}}{e^{\frac{\kappa V_{S1}}{V_T}}}$$

$$I_d = I_0 e^{\frac{\kappa}{V_T}(V_c - V_{S1})} = I_0 \frac{e^{\frac{\kappa V_c}{V_T}}}{e^{\frac{\kappa V_{S1}}{V_T}}}$$

Ahora, se puede obtener la relación  $I_g/I_{in}$  haciendo uso de la ecuación 5.5:

$$\frac{I_g}{I_{in}} = \frac{I_g}{I_g + I_d} = \frac{e^{\frac{\kappa V_g}{V_T}}}{e^{\frac{\kappa V_C}{V_T}} + e^{\frac{\kappa V_g}{V_T}}}$$

De la ecuación 5.5, obtenemos también la relación:

$$\frac{I_d}{I_{in}} = 1 - \frac{I_g}{I_{in}}$$

A partir de los resultados obtenidos, se llega a la siguiente ecuación:

$$\frac{I_d}{I_{in}} = \frac{e^{\frac{\kappa V_C}{V_T}}}{e^{\frac{\kappa V_C}{V_T}} + e^{\frac{\kappa V_g}{V_T}}} \quad (5.6)$$

Si ahora multiplicamos en numerador y denominador por el término  $e^{-\frac{\kappa V_{dd}}{V_T}}$ , se llega a:

$$I_d = I_{in} \frac{e^{\frac{\kappa}{V_T}(V_C - V_{dd})}}{e^{\frac{\kappa}{V_T}(V_C - V_{dd})} + e^{\frac{\kappa}{V_T}(V_g - V_{dd})}}$$

Si además dividimos arriba y abajo por el término  $e^{\frac{\kappa}{V_T}(V_C - V_{dd})}$ , queda:

$$I_d = I_{in} \frac{1}{1 + \frac{e^{\frac{\kappa}{V_T}(V_g - V_{dd})}}{e^{\frac{\kappa}{V_T}(V_C - V_{dd})}}} \quad (5.7)$$

Obsérvese que para un Mosfet operando en la región subumbral de canal P, la ecuación que describe la corriente que lo atraviesa es de la forma  $I_D = I_{D0} e^{\frac{\kappa V_{SG}}{V_T}}$ , o idénticamente  $I_D = I_{D0} e^{\frac{-\kappa V_{GS}}{V_T}}$ . Desarrollando la ecuación 5.7, se llega a:

$$I_d = I_{in} \frac{1}{1 + \frac{I_0 e^{\frac{-\kappa}{V_T}(V_C - V_{dd})}}{I_0 e^{\frac{-\kappa}{V_T}(V_g - V_{dd})}}} \quad (5.8)$$

En esta ecuación se identifican los siguientes términos:

$$I_{out} = I_0 e^{\frac{-\kappa}{V_T}(V_C - V_{dd})}$$

$$I_g^P = I_0 e^{\frac{-\kappa}{V_T}(V_g - V_{dd})}$$

Finalmente, se obtiene la relación de  $I_d$  de forma compacta:

$$I_d = I_{in} \frac{1}{1 + \left(\frac{I_{out}}{I_g^P}\right)} \quad (5.9)$$

En la ecuación 5.9 aparece el término  $I_g^P$ , que representa un hipotético transistor Mosfet de canal P situado en el lugar de  $M_g$ .

**Nodo  $V_C$** 

En este nodo, debe de cumplirse:

$$I_d = I_C + I_\tau \quad (5.10)$$

Se puede describir la ecuación de la corriente del condensador, de la forma:

$$I_C = C \frac{d(V_{dd} - V_C)}{dt} = -C \frac{dV_C}{dt}$$

Sustituyendo en la ecuación 5.10, queda:

$$C \frac{dV_C}{dt} = -(I_d - I_\tau) \quad (5.11)$$

Despejando  $dV_C$ :

$$dV_C = -(I_d - I_\tau) \frac{1}{C} dt$$





## Capítulo 6

# Conclusiones y Trabajos Futuros



# Bibliografía

- [1] Austin Richard Wyer. The synthesis of memristive neuromorphic circuits. mathesis, The University of Tennessee, Knoxville, December 2017.
- [2] Leon O. Chua. Memristor-the missing circuit element. *Transactions on Circuit Theory*, CT-18(5):507–519, September 1971.
- [3] Yuriy V. Pershin y Leon O. Chua Massimiliano Di Ventra. Circuit elements with memory: memristors, memcapacitors and meminductors. *IEEE*, January 2009.
- [4] Sung Mo Kang Lion O. Chua. Memristive devices and systems. *IEEE*, 64(2):209–223, February 1976.
- [5] Steven La Fontaine y Massimiliano Di Ventra Yuriy V. Pershin. Memristive model of amoeba’s learning. *arXiv:0810.4179*, October 2008.
- [6] Duncan R. Stewart y R. Stanley Williams Dmitri B. Strukov, Gregory S. Snider. The missing memristor found. *Nature*, 453:80–83, May 2008.
- [7] Qing Yu Changdi Li y Bocheng Bao Mo Chen, Jingjing Yu. A memristive diode bridge-based canonical chua’s circuit. *Entropy*, 16:6464–6476, December 2014.
- [8] Omid Kavehei Soon-Ku Kang Derek Abbott y Sung-Mo Steve Kang Kamran Eshraghian, Kyoung-Rok Cho. Memristor mos content addressable memory(mcam): Hybrid architecture for future highperformance search engines. *IEEE Trans VLSI Syst*, 10(10), May 2010.
- [9] Alexander A Bessonov, Marina N Kirikova, Dmitrii I Petukhov, Mark Allen, Tapani Ryhänen, and Marc JA Bailey. Layered memristive and memcapacitive switches for printable electronics. *Nature materials*, 14(2):199, 2015.
- [10] Kuk-Hwan Kim, Siddharth Gaba, Dana Wheeler, Jose M Cruz-Albrecht, Tahir Hussain, Narayan Srinivasa, and Wei Lu. A functional hybrid memristor crossbar-array/cmos system for data storage and neuromorphic applications. *Nano letters*, 12(1):389–395, 2011.



