



**Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический университет имени
Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)**

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

Отчет по лабораторной работе №1 по курсу "Архитектура ЭВМ"

Тема Разработка СнК на ПЛИС Altera

Студент Шавиш Тарек

Группа ИУ7и-54Б

Преподаватель Попов Ю.А.

Москва — 2024 г.

Цель работы

Изучить основы построения микропроцессорных систем на ПЛИС. В ходе работы ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, получить навыки проектирования СНК в САПР Altera Quartus II, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Задание 2

System Contents		Address Map	Clock Settings	Project Settings	Instance Parameters	System Inspector	HDL Example	Generation		
Use	Connections	Name	Description	Export	Clock	Base	End	IRQ	Opcode Name	
<input checked="" type="checkbox"/>		<div>clk_0</div>	Clock Source	clk	clk_0					
<input checked="" type="checkbox"/>		<div>clk_in</div>	Clock Input	reset						
<input checked="" type="checkbox"/>		<div>clk_in_reset</div>	Reset Input	clk						
<input checked="" type="checkbox"/>		<div>clk</div>	Clock Output	clk_reset						
<input checked="" type="checkbox"/>		<div>clk_reset</div>	Reset Output							
<input checked="" type="checkbox"/>		<div>nios2_qsys_0</div>	Nios II Processor	clk	clk_0					
<input checked="" type="checkbox"/>		<div>clk</div>	Clock Input	reset_n						
<input checked="" type="checkbox"/>		<div>reset_n</div>	Reset Input	data_master						
<input checked="" type="checkbox"/>		<div>data_master</div>	Avalon Memory Mapped Master	instruction_master						
<input checked="" type="checkbox"/>		<div>instruction_master</div>	Avalon Memory Mapped Master	jtag_debug_module_re...						
<input checked="" type="checkbox"/>		<div>jtag_debug_module_re...</div>	Reset Output	jtag_debug_module						
<input checked="" type="checkbox"/>		<div>jtag_debug_module</div>	Avalon Memory Mapped Slave	custom_instruction_m...						
<input checked="" type="checkbox"/>		<div>custom_instruction_m...</div>	Custom Instruction Master							
<input checked="" type="checkbox"/>		<div>onchip_memory2_0</div>	On-Chip Memory (RAM or ROM)	clk1	clk_0					
<input checked="" type="checkbox"/>		<div>clk1</div>	Clock Input	s1						
<input checked="" type="checkbox"/>		<div>s1</div>	Avalon Memory Mapped Slave	reset1						
<input checked="" type="checkbox"/>	<div>reset1</div>	Reset Input								
<input checked="" type="checkbox"/>	<div>sysid_qsys_0</div>	System ID Peripheral	clk	clk_0						
<input checked="" type="checkbox"/>	<div>clk</div>	Clock Input	reset							
<input checked="" type="checkbox"/>	<div>reset</div>	Reset Input	control_slave							
<input checked="" type="checkbox"/>	<div>control_slave</div>	Avalon Memory Mapped Slave								
<input checked="" type="checkbox"/>	<div>uart_0</div>	UART (RS-232 Serial Port)	clk	clk_0						
<input checked="" type="checkbox"/>	<div>clk</div>	Clock Input	reset							
<input checked="" type="checkbox"/>	<div>reset</div>	Reset Input	s1							
<input checked="" type="checkbox"/>	<div>s1</div>	Avalon Memory Mapped Slave	external_connection							
<input checked="" type="checkbox"/>	<div>external_connection</div>	Conduit								

Рис 1. Функциональная схема разрабатываемой СНК

Задание 3

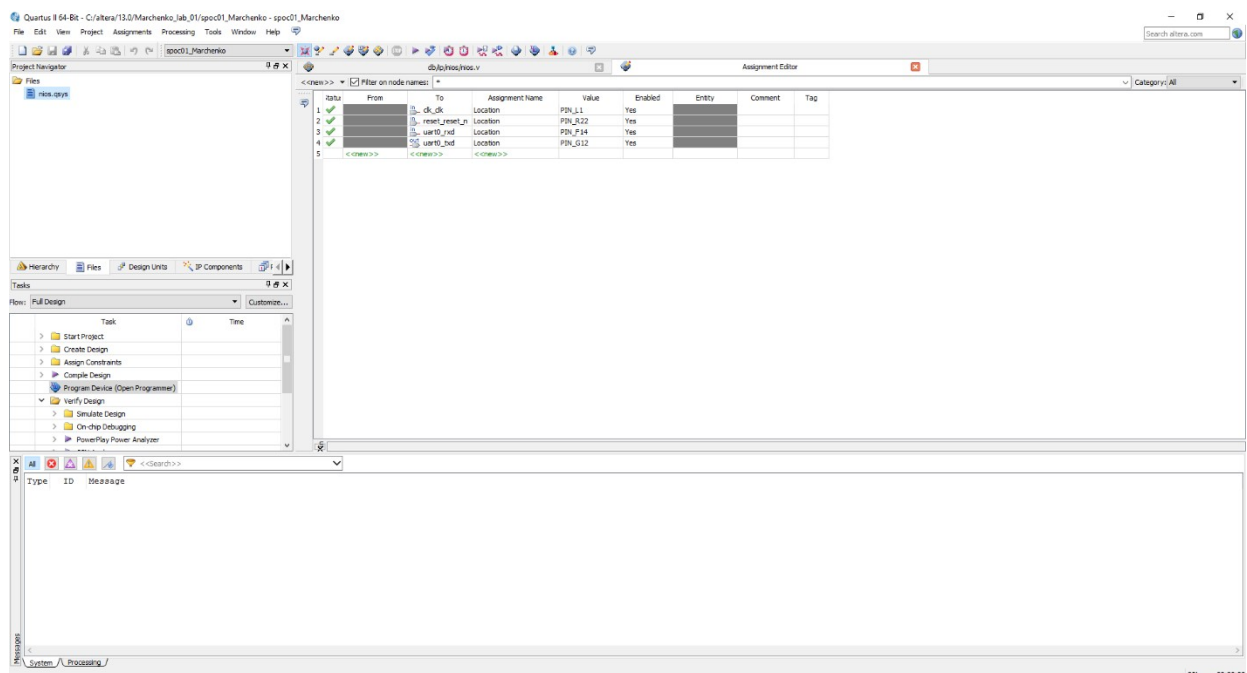


Рис 2. Копия экрана готового модуля в системе проектирования СНК Altera Qsys

Задание 4

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Differential Pair
clk_clk	Input	PIN_L1	2	B2_N1	PIN_L1	3.3-V LV...default)		24mA (default)	
reset_reset_n	Input	PIN_R22	6	B6_N0	PIN_R22	3.3-V LV...default)		24mA (default)	
uart0_rxd	Input	PIN_F14	4	B4_N1	PIN_F14	3.3-V LV...default)		24mA (default)	
uart0_bxd	Output	PIN_G12	4	B4_N1	PIN_G12	3.3-V LV...default)		24mA (default)	

Рис 3. Таблица распределения адресов модулей в СНК

Задание 5

```
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"

int main()
{
    char ch;
    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");

    int addr = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE);
    alt_putchar(addr / 0x1000 + '0');
    alt_putchar(addr / 0x100 % 0x10 + '0');
    alt_putchar(addr / 0x10 % 0x10 + '0');
    alt_putchar(addr % 0x10 + '0');

    while (1) {
        ch = alt_getchar();
        alt_putchar(ch);
    }

    return 0;
}
```

Рис 4. Код программного проекта Nios II Software Build Tools for Eclipse

Задание 6

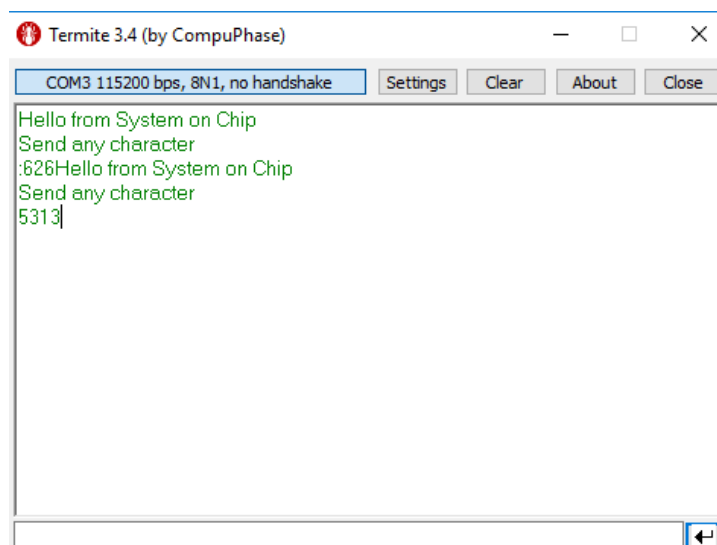


Рис 5. Результаты тестирования программируемой СНК на отладочной плате

Вывод

В ходе выполнения лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС; проведено ознакомление с принципами построения систем на кристалле на основе ПЛИС; получены навыки проектирования СНК в САПР Altera Quartus II; выполнено проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board.