



**Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический университет имени
Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)**

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

Отчет по лабораторной работе №2 по курсу "Архитектура ЭВМ"

Тема Изучение принципов работы микропроцессорного ядра RISC-V

Студент Шавиш Тарек.

Группа ИУ7и-54Б

Преподаватель Попов А.Ю.

Москва — 2024 г.

Оглавление

Введение	2
1 Основные теоретические сведения	3
2 Эксперименты	4
2.1 Задание 1	4
2.2 Задание 2	6
2.3 Задание 3	7
2.4 Задание 4	7
2.5 Задание 5	8
Заключение	12

Введение

Основной целью данной лабораторной работы является ознакомление с принципами функционирования, построения и особенностями архитектуры суперскалярных конвейерных микропроцессоров.

Целью работы является знакомство с принципами проектирования и верификации сложных цифровых устройств с использованием языка описания аппаратуры SystemVerilog и ПЛИС.

1 Основные теоретические сведения

Изучение архитектуры суперскалярных конвейерных микропроцессоров используется синтезируемое описание микропроцессорного ядра Taiga, реализующего систему команд RV32I семейства RISC-V. Данное описание выполнено на языке описания аппаратуры SystemVerilog.

Термин RISC-V является названием для семейства различных систем команд, которые строятся вокруг базового набора команд, путем внесения в него различных расширений. В данной работе исследуется набор команд RV32I, который включает в себя основные команды 32-битной целочисленной арифметики кроме умножения и деления.

2 Эксперименты

2.1 Задание 1

Дизассемблировать программу по индивидуальному варианту.

```
1      .section .text
2      .globl _start;
3      len = 8 #Размер массива
4      enroll = 4 #Количество обрабатываемых элементов за одну итерацию
5      elem_sz = 4 #Размер одного элемента массива
6
7  _start:
8      la x1, _x
9      addi x20, x1, elem_sz*len #Адрес последнего элемента
10     add x31, x0, x0
11  lp:
12     lw x2, 0(x1)
13     lw x3, 4(x1)
14     add x31, x31, x2 #!
15     add x31, x31, x3
16     lw x4, 8(x1)
17     lw x5, 12(x1)
18     add x31, x31, x4
19     add x31, x31, x5
20     addi x1, x1, elem_sz*enroll
21     bne x1, x20, lp
22     addi x31, x31, 1
23  lp2: j lp2
24
25     .section .data
26  _x:  .4byte 0x1
27       .4byte 0x2
28       .4byte 0x3
29       .4byte 0x4
30       .4byte 0x5
31       .4byte 0x6
32       .4byte 0x7
33       .4byte 0x8
```

Рис. 2.1: Код неоптимизированной программы

Создается массив из 8 элементов. Он последовательно заполняется числами от 1 до 8. Потом все элементы суммируются и в регистр x31 записывается накопленное значение. Затем содержимое регистра x31 инкрементируется.

```

1  main.elf: file format elf32-littleriscv
2
3  SYMBOL TABLE:
4  80000000 l d .text 00000000 .text
5  80000040 l d .data 00000000 .data
6  00000000 l df *ABS* 00000000 main.o
7  00000008 l *ABS* 00000000 len
8  00000004 l *ABS* 00000000 enroll
9  00000004 l *ABS* 00000000 elem_sz
10 80000040 l .data 00000000 _x
11 80000010 l .text 00000000 lp
12 8000003c l .text 00000000 lp2
13 80000000 g .text 00000000 _start
14 80000060 g .data 00000000 _end

```

Рис. 2.2: Таблица символов

```

17 Disassembly of section .text:
18 80000000 <_start>:
19 80000000: 00000097 auipc x1,0x0
20 80000004: 04008093 addi x1,x1,64 # 80000040 <_x>
21 80000008: 02008a13 addi x20,x1,32
22 8000000c: 00000fb3 add x31,x0,x0
23 80000010 <lp>:
24 80000010: 0000a103 lw x2,0(x1)
25 80000014: 0040a183 lw x3,4(x1)
26 80000018: 002f8fb3 add x31,x31,x2
27 8000001c: 003f8fb3 add x31,x31,x3
28 80000020: 0080a203 lw x4,8(x1)
29 80000024: 00c0a283 lw x5,12(x1)
30 80000028: 004f8fb3 add x31,x31,x4
31 8000002c: 005f8fb3 add x31,x31,x5
32 80000030: 01008093 addi x1,x1,16
33 80000034: fd409ee3 bne x1,x20,80000010 <lp>
34 80000038: 001f8f93 addi x31,x31,1
35 8000003c <lp2>:
36 8000003c: 0000006f jal x0,8000003c <lp2>

```

Рис. 2.3: Дизассемблированная секция текста

```

39  Disassembly of section .data:
40  80000040 <_x>:
41  80000040: 0001      c.addi x0,0
42  80000042: 0000      unimp
43  80000044: 0002      0x2
44  80000046: 0000      unimp
45  80000048: 00000003  lb x0,0(x0) # 0 <elem_sz-0x4>
46  8000004c: 0004      c.addi4spn x9,x2,0
47  8000004e: 0000      unimp
48  80000050: 0005      c.addi x0,1
49  80000052: 0000      unimp
50  80000054: 0006      0x6
51  80000056: 0000      unimp
52  80000058: 00000007  0x7
53  8000005c: 0008      c.addi4spn x10,x2,0

```

Рис. 2.4: Дизассемблированная секция данных

2.2 Задание 2

Получить снимок экрана, содержащий временную диаграмму выполнения стадий выборки и диспетчеризации команды с адресом 80000000 на 2-ой итерации.

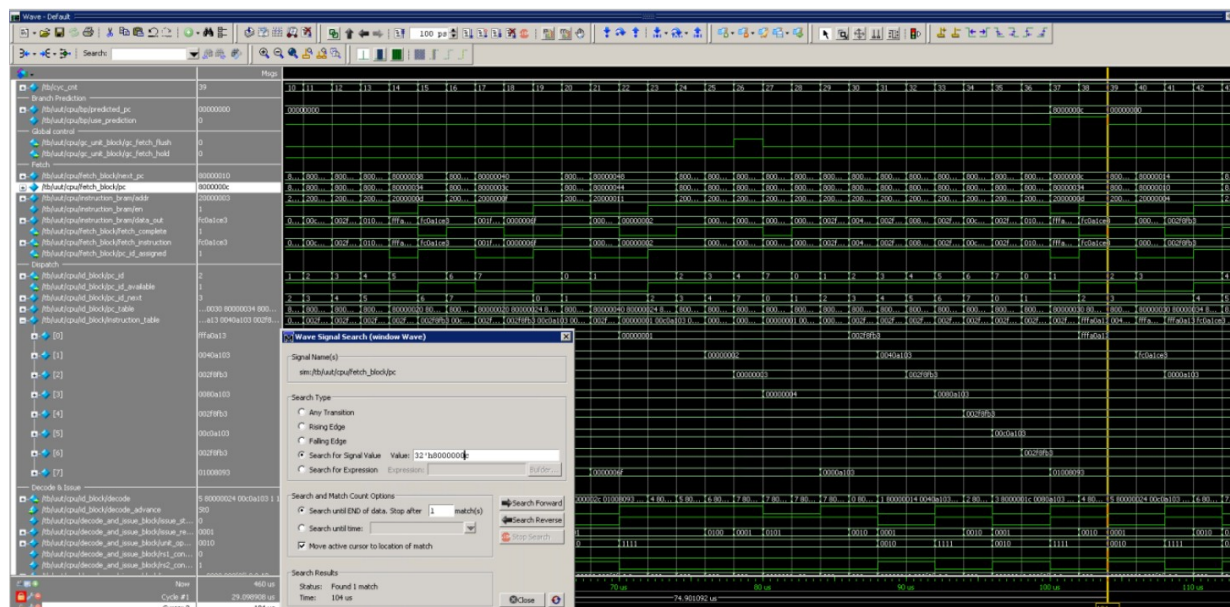


Рис. 2.5: Временная диаграмма выполнения стадий выборки и диспетчеризации команды 80000000с на 2-й итерации

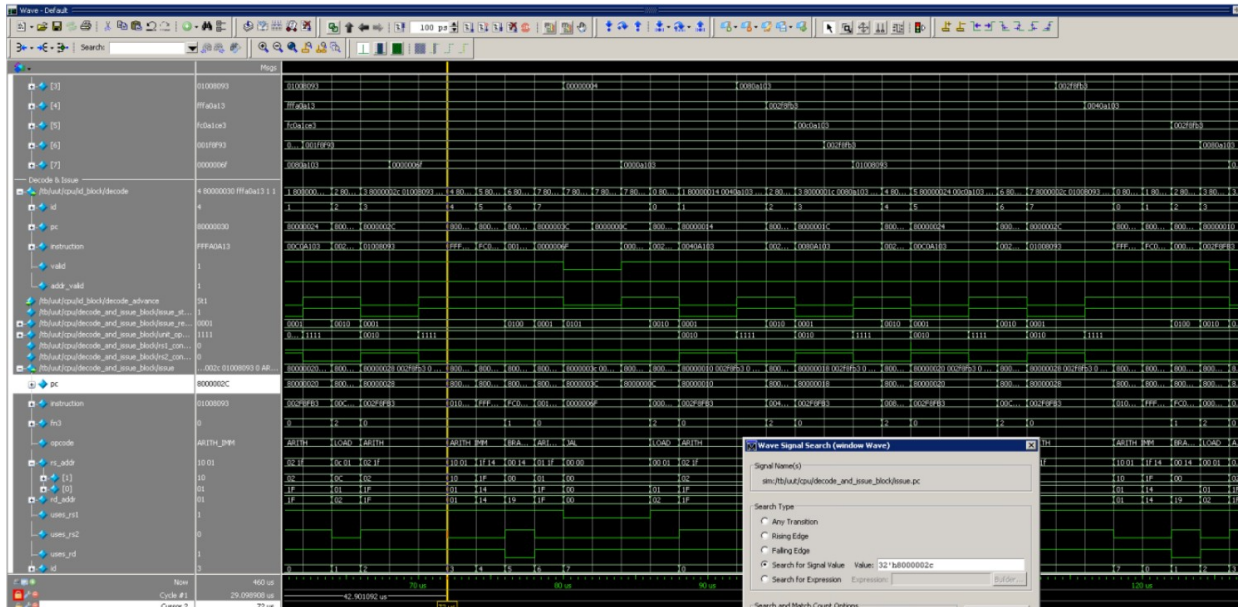


Рис. 2.7:Временная диаграмма выполнения стадии выполнения команды 8000002с на 1-й итерации

2.5 Задание 5

Оптимизировать программу.

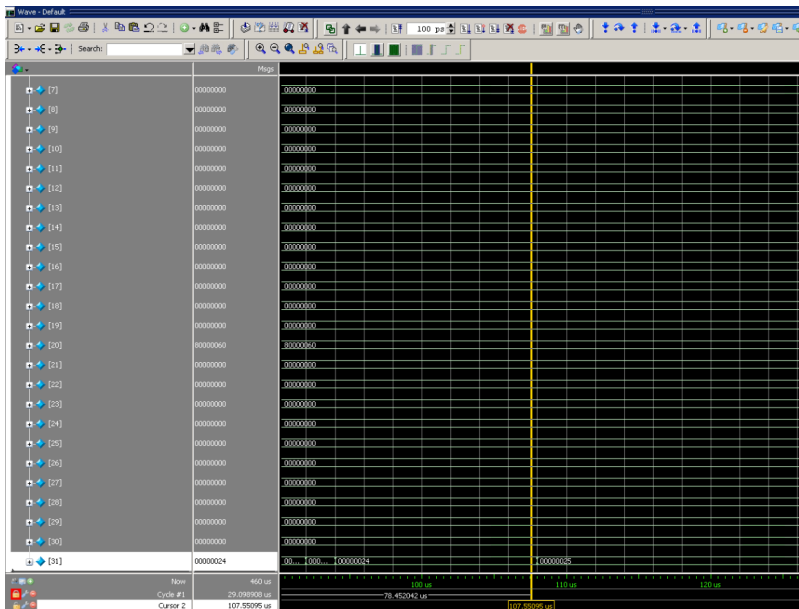


Рис. 2.8: Результат выполнения программы

Значение регистра x31 в конце выполнения программы равно 25h = 37, как и предполагалось ранее.

[illegible]

Благодаря оптимизации программы получилось избавиться от конфлик-
ТОВ.

Заключение

В ходе лабораторной работы были изучены принципы функционирования и построения, а также особенности архитектуры суперскалярных конвейерных микропроцессоров на примере микропроцессорного ядра Taiga, реализующего систему команд семейства RISC. Таким образом цель данной работы была достигнута.