

Preguntas teorías:

1) Identifique qué elementos constituyen los LEs de la FPGA Cyclone III y qué estructura tienen las LABs

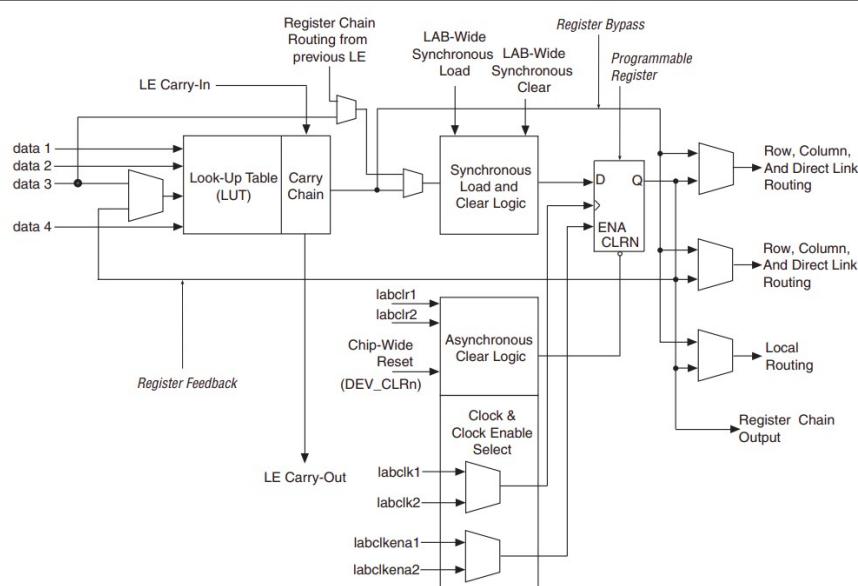
Los elementos que constituyen los LEs (Logic Elements) de la FPGA Cyclone III son los siguientes:

- **Look-Up Table (LUT) de 4 Entradas:** Implementa lógica combinacional de 4 variables.
- **Registro Programable:** Configurable como flip-flop D, T, JK o SR.
- **Lógica de Acarreo (Carry Chain):** Para implementación rápida de sumadores/contadores.
- **Modo de Empaqueamiento (Register Packing):** Permite que la LUT y el registro se usen para dos funciones diferentes al mismo tiempo, gracias a sus **tres salidas de enrutamiento independientes**.
- **Retroalimentación de Registro:** La salida del registro puede alimentar la entrada de la LUT del mismo LE.

La estructura de los LABs (Logic Array Blocks) es la siguiente:

- **Grupo de 16 LEs:** Un LAB agrupa 16 Elementos Lógicos.
- **Bloque de Control LAB-Wide:** Controla las señales síncronas para todos los LEs del bloque.
- **Interconexión Local:** Rutas dedicadas para señales dentro del LAB.
- **Cadena de Registros:** Conexiones dedicadas que permiten encadenar los registros para formar *shift registers* eficientes.

Figure 2-1. Cyclone III Device Family LEs



2) ¿De qué se trata el Nios® II?

El Nios® II es un procesador embebido soft core, es decir un procesador que no está implementado en el silicio del propio chip sino que se implementa utilizando los recursos de la propia FPGA. Están pensados para ser utilizados en la familia de dispositivos Cyclone III y Cyclone IV

3) ¿Qué diferencia existe entre IP cores y los bloques embebidos (ej multiplicador embebido) disponibles en la FPGA?

Los IP Cores son bloques lógicos diseñados por un programador utilizando lenguajes de descripción de hardware como VHDL o Verilog. Estos módulos permiten implementar funciones específicas dentro de una FPGA, de manera similar a cómo las librerías se emplean en la programación tradicional. Su uso facilita el desarrollo de sistemas digitales al reducir el tiempo de diseño y optimizar la utilización de los recursos disponibles.

Por otro lado, los bloques embebidos también cumplen funciones específicas, pero a diferencia de los IP Cores, se encuentran implementados físicamente en el silicio del dispositivo. Esto les otorga una mayor velocidad y eficiencia en la ejecución, aunque limita su disponibilidad a los modelos de FPGA que los incorporan de fábrica.

4) ¿Qué tipo de celda de programación posee el dispositivo FPGA Cyclone III?

El dispositivo FPGA Cyclone III utiliza celdas de programación del tipo SRAM, las cuales almacenan la configuración del circuito de forma volátil. Esto significa que su contenido se pierde al apagar el dispositivo, por lo que debe cargarse nuevamente al encenderlo mediante un archivo de configuración proveniente de una memoria externa, como una Flash serial o paralela. Este tipo de celda permite reconfigurar completamente la FPGA, ofreciendo gran flexibilidad y adaptabilidad en el diseño digital.

Referencias bibliográficas

Altera Corporation. (2012). *Cyclone III Device Handbook* (Vol. 1, Version 12.0). San Jose, CA: Altera Corporation. Disponible en <https://www.altera.com>