

Tabela 1. Exemplo de um mapa de memória:

Faixa de endereços (hex)	Tamanho da mem. (bytes)	Utilidade da mem	Nome do componente vhd de memória	Tecnologia da mem
0x0000 33FF – 0x0000 3000	1 KB (1024 B)	Memória de dados dinâmica (<i>stack e heap</i>)	Mem_data	RAM
0x0000 23FF – 0x0000 2000	1 KB (1024 B)	Memória de dados estática	Mem_data	RAM
0x0000 1FFF – 0x0000 1000	4 KB (4096 B)	Memória de programa	Mem_program	FLASH
0x0000 00FF – 0x0000 0000	256 B	Periféricos mapeados (I/O)	Mem_mapped	RAM

Tabela2. Exemplo de um detalhamento da região de periféricos do mapa de memória:

Endereços (hex)	Nome do registrador	Periférico	Mapa em <i>bits</i> do registrador
0x0000 0000	Rut0	UART	
0x0000 0004	Rut1	UART	
0x0000 0008	Rut2	UART	
0x0000 000C	Rut3	UART	
0x0000 0010	Rgp0	GPIO	
0x0000 0014	Rgp1	GPIO	
0x0000 0018	Rgp2	GPIO	
0x0000 001C	Rgp3	GPIO	
0x0000 0020	Rtr0	Timer	
0x0000 0024	Rtr1	Timer	
0x0000 0028	Rtr2	Timer	
0x0000 002C	Rtr3	Timer	
0x0000 0030	Rit0	Interruption	
0x0000 0034	Rit1	Interruption	
0x0000 0038	Rit2	Interruption	

0x0000 003C	Rit3	Interruption	
-------------	------	--------------	--

Observação: o exemplo acima considera que as palavras (e também os registradores) são todos de 32 bits de tamanho (4 bytes) e que o endereçamento dessa CPU é por byte, ou seja, cada byte tem o seu próprio endereço. Portanto, na região de memória reservada para o mapeamento dos registradores dos periféricos, cabe até 64 registradores de 32 bits. Preencha os detalhes da tabela 2, somente quando for implementar os periféricos do seu MCU.

- Instruções: a CPU processará instruções básicas de aritmética e lógica: adição, subtração, multiplicação, divisão, deslocamento e operações lógicas como AND, OR e NOT.
- Tamanho da instrução: tamanho fixo de 32 bits.
- Tamanho dos dados: a CPU será capaz de processar dados de 16 bits.
- Capacidade de memória: a CPU será capaz de endereçar 2kB de memória.
- Formas de endereçamento: a CPU será capaz de tratar endereçamento direto, indireto, imediato por registrador e por registrador base.
- Formas de E/S: por mapeamento de memória.
- Prioridade do uso de banco de registradores: utilizará um banco de registradores.

- Modelo: a CPU seguirá o modelo RISC-V.
- Modelo de memória: a CPU seguirá o modelo Von Neumann.
- Modelo de CPU: a CPU seguirá o modelo ciclo único.
- Endianess: a CPU usará little endian como ordenamento de bytes dentro da palavra.