

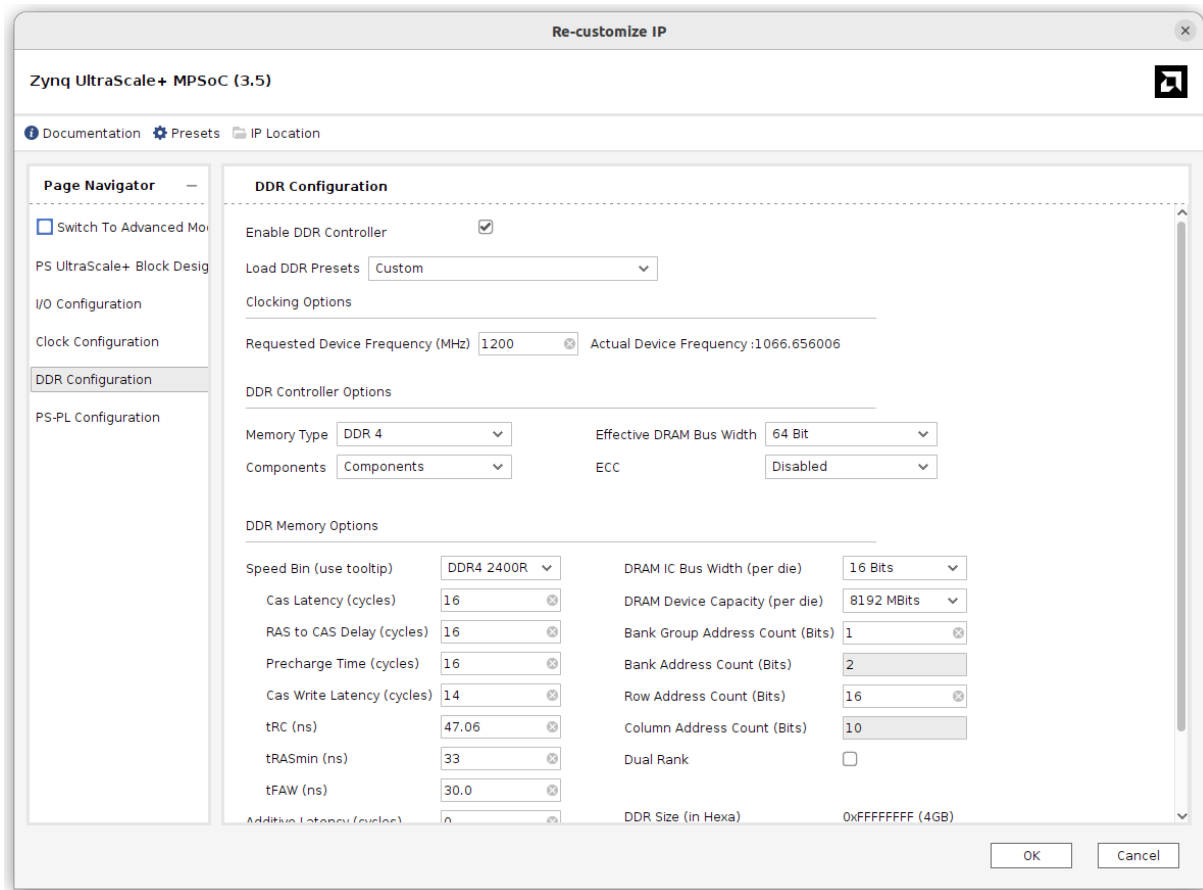
1 Guide FPGA

Aides des dossiers suivants :

- AXI GPIO documentation ABTICS
- AXI STREAM documentation ABTICS
- AXI UARTLITE documentation ABTICS

2 Vivado

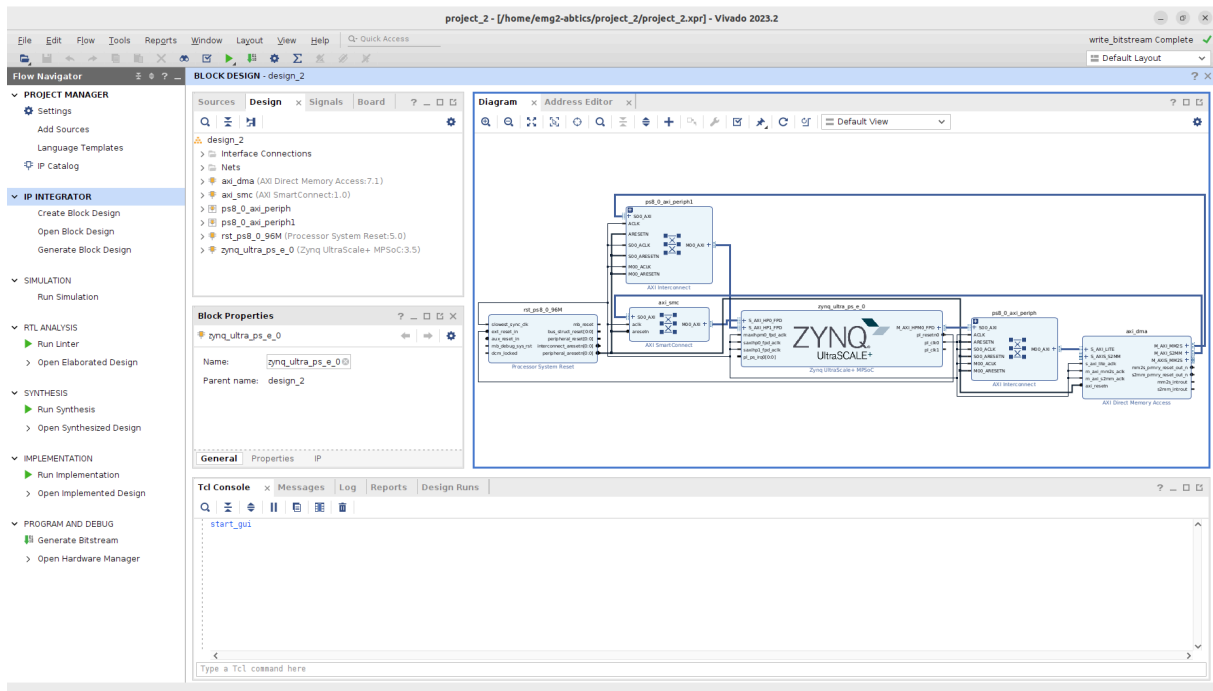
2.1 Fonctionnement de la carte Kria



Mise en place d'une documentation explicitant les changements nécessaires à faire pour faire fonctionner la carte AMD Xilinx Kria KV260 disponible dans le fichier suivant :

[zynq_modification.pdf](#)

2.2 TODO



3 Vitis HLS

Mise en place d'un code d'addition de 2 float format 32 bits simple avec un interfage axi pour Vivado.

```
#include "stdio.h"
#include "add.h"

void add(data_h in_a, data_h in_b, data_h out_c)
{
    #pragma HLS INTERFACE ap_ctrl_none port=return
    #pragma HLS INTERFACE s_axilite port=in_a
    #pragma HLS INTERFACE s_axilite port=in_b
    #pragma HLS INTERFACE s_axilite port=out_c

    out_c = in_a + in_b;
}

#ifndef _MY_ADD_H_
#define _MY_ADD_H_

typedef float data_h;

void add(data_h in_a, data_h in_b, data_h out_c);

#endif
```

Dans Vitis HLS, il est indispensable, pour que la g n ration du code VHDL, de faire un test.

```

#include "stdio.h"
#include "add.h"

int main() {
    data_h a,b,c;

    a = 1.0;
    b = 2.0;

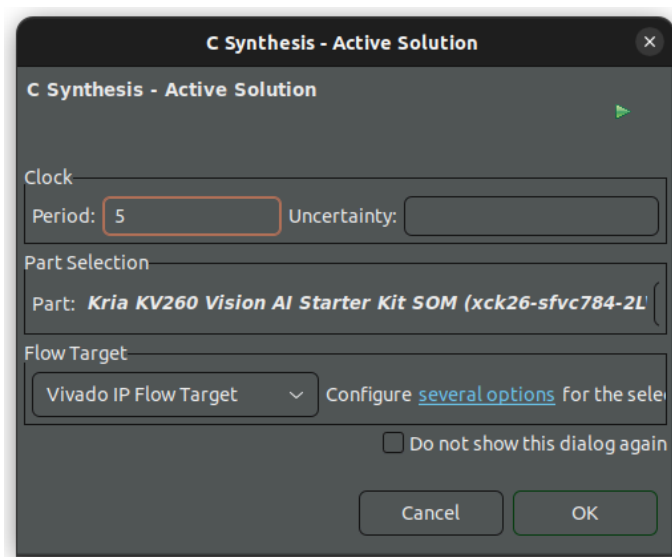
    add(a, b, c);
    if (c == 3.0){
        printf("test passed !\n");
        return 0;
    }
    return 1;
}

```

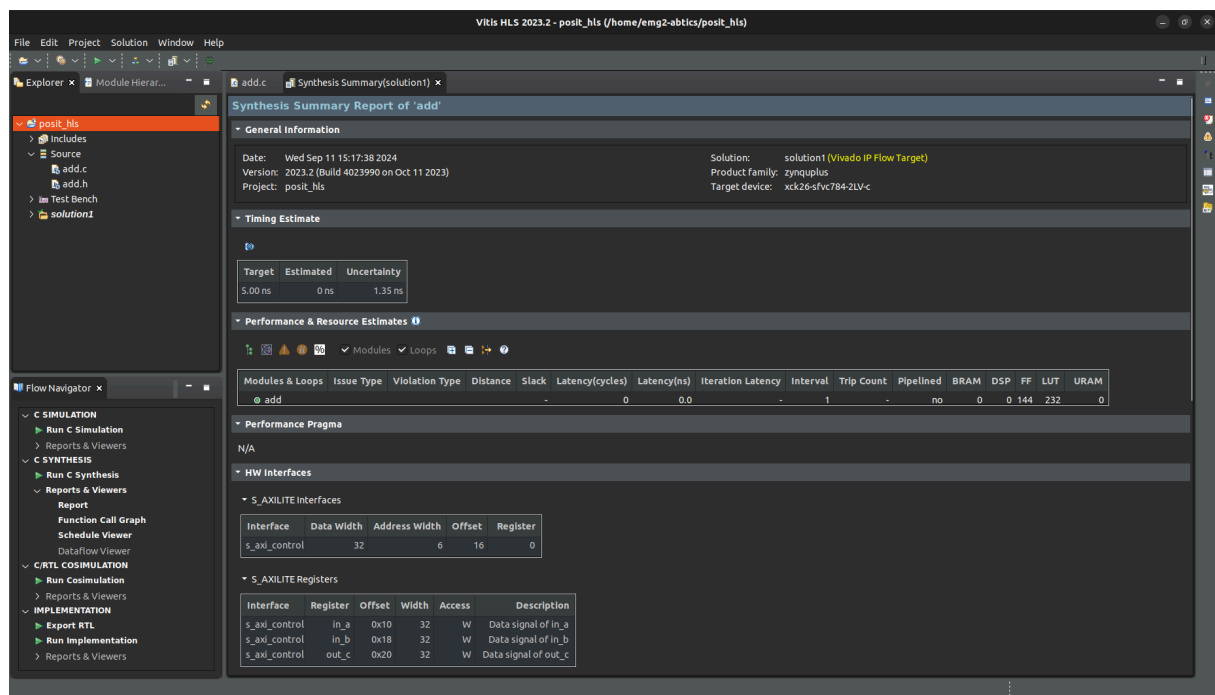
Afin de pouvoir obtenir une IP compilée il faut valider plusieurs étapes dans Vitis HLS :

- La synthèse :

Les paramètres mis :

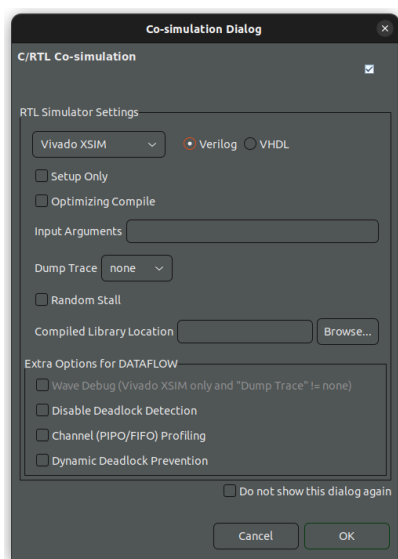


Le résultat obtenu :

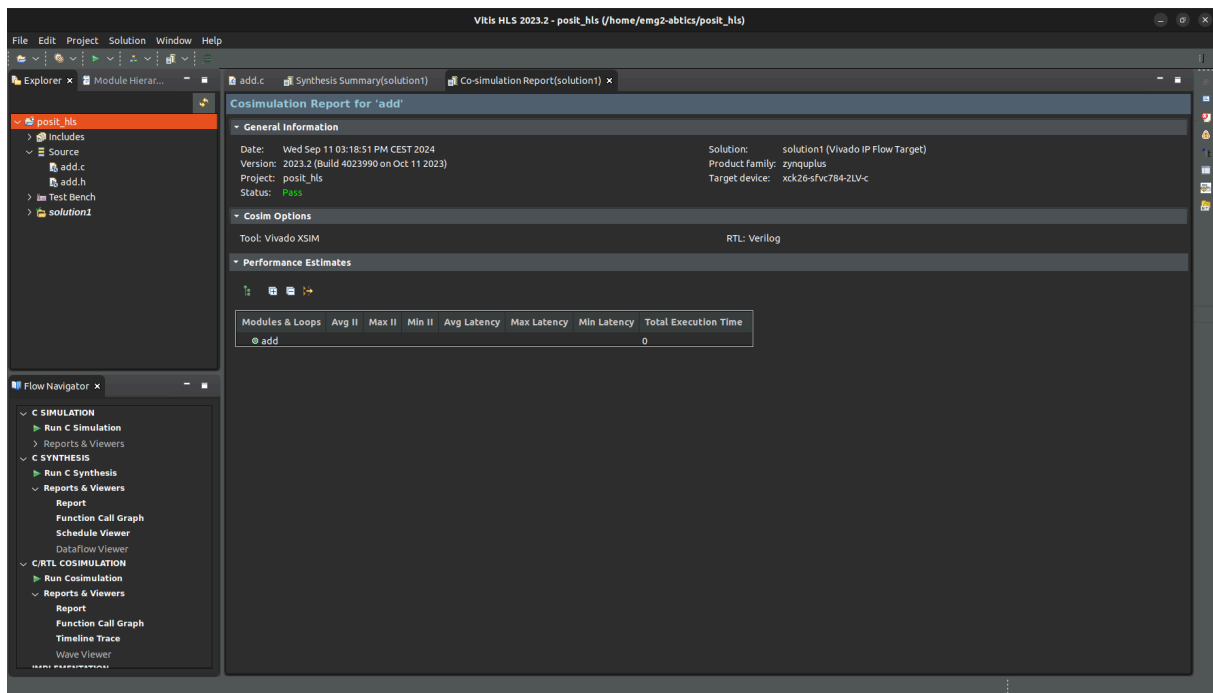


- La simulation :

Les paramètres mis :

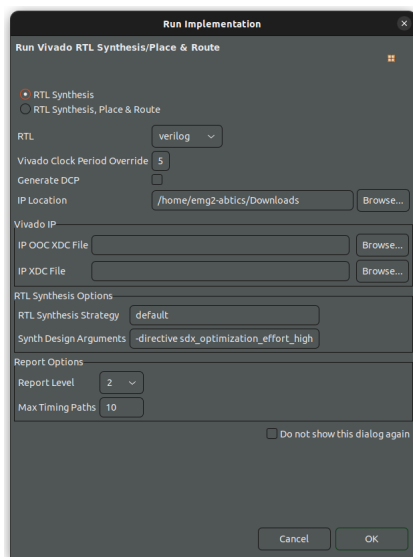


Le résultat obtenu :



- L'implémentation :

Les paramètres mis :



Le résultat obtenu :

Vitis HLS 2023.2 - posit_hls (/home/emg2-abtcs/posit_hls)

File Edit Project Solution Window Help

add.c Synthesis Summary(solution1) Co-simulation Report(solution1) Implementation(RTL Synthesis)(solution1)(add_export.rpt)

Explorer x Module Hierar...

posit_hls

- Includes
- Source
 - add.c
 - add.h
- Test Bench
- solution1

Flow Navigator x

- Run C Synthesis
- Reports & Viewers
 - Report
 - Function Call Graph
 - Schedule Viewer
 - Dataflow Viewer
- C/RTL COSIMULATION
- Run Cosimulation
- Reports & Viewers
 - Report
 - Function Call Graph
 - Timeline Trace
 - Wave Viewer
- IMPLEMENTATION
 - Export RTL
 - Run Implementation
 - Reports & Viewers

Export Report for 'add'

General Information

Report date: Wed Sep 11 15:23:21 CEST 2024
 Project: posit_hls
 Solution: solution1
 Device target: xck26-sfvc784-2LV-c
 Implementation tool: Xilinx Vivado v.2023.2

Run Constraints & Options

Name	Value
> Design Constraints & Options	
> RTL Synthesis Options	
> Reporting Options	

Resource Usage

	Verilog
SLICE	0
LUT	94
FF	139
DSP	0
BRAM	0
URAM	0
LATCH	0
SRL	0
CLB	0

Final Timing

	Verilog
CP required	S
CP achieved post-synthesis	NA

No Sequential Path

Resources

Name	LUT	FF	DSP	BRAM	URAM	SRL	Pragma	Impl	Latency	Variable	Source
inst	94	139									
> control_s_axi_U	94	139									

Fail Fast