

Universidad de Guadalajara
Centro Universitario de Ciencias
Exactas e Ingenierías



Arquitectura de computadoras
“Actividad 06: Aritmética computacional”

José Luis Chávez Gómez

Rodrigo Esaú Villegas Nuño

Mtro. Jorge Ernesto López Arce Delgado

25/03/2025

Implementación de una ALU en Verilog

Introducción

La **Unidad Aritmético-lógica (ALU)** es un componente esencial dentro de la arquitectura de un procesador, su función es ejecutar operaciones aritméticas y lógicas. La ALU es el núcleo de procesamiento para las ejecuciones de instrucciones. En esta actividad, se implementó un módulo ALU en Verilog.

En el proyecto se incluyó lo siguiente:

- Dos buses de entrada de 32 bits.
- Una salida de 32 bits.
- Operaciones: AND, OR, ADD, SUB, NOR, SLT

La práctica también incluyó la simulación de las instrucciones en formato decimal.

Objetivos

General

Implementar un módulo ALU en Verilog que ejecute operaciones aritméticas y lógicas con buses de 32 bits y simular su funcionamiento, visualizando los resultados en formato decimal.

Particulares

- Diseñar la ALU en Verilog con operaciones aritméticas y lógicas
- Implementar un módulo de memoria que almacene los datos a operar
- Realizar la simulación, verificando su funcionalidad
- Visualizar los resultados en formato decimal

Desarrollo

Descripción de la ALU

Entradas:

- 2 buses de 32 bits (a y b)
- Un selector de operación de 2 bits (op)

Salida:

- Resultado de 32 bits

Operaciones:

- 00 – ADD

- 01 – SUB
- 10 – SLT (Set on Less Than)
- 11 – SW (Store Word)

Instrucciones

Aritmética: OPCODE – RD – RS1 – RS2

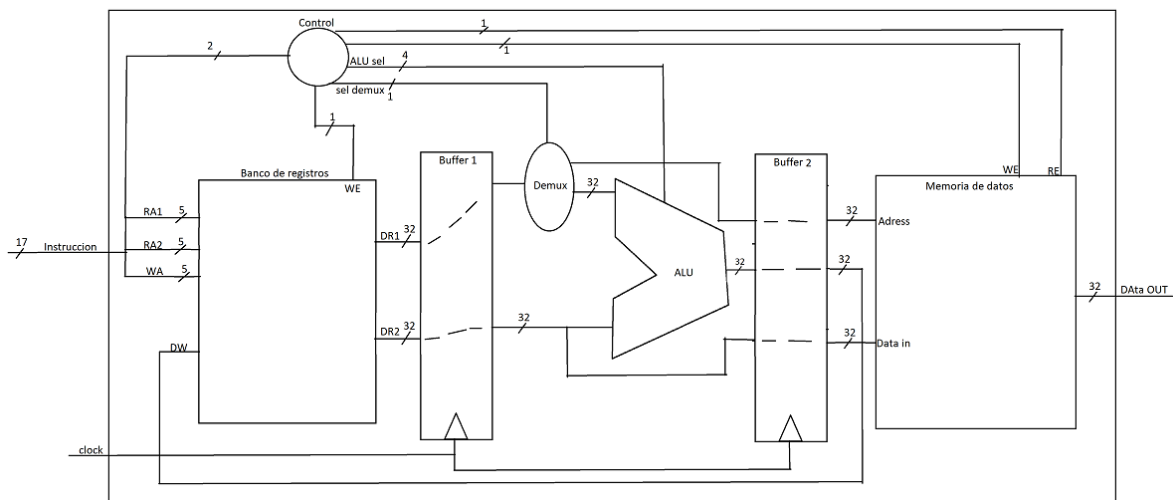
SW: OPCODE – X – Dirección – Dato

Diseño

Componentes

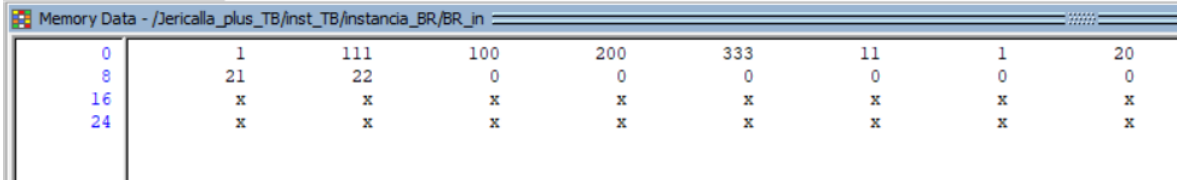
- Banco de registros
- Buffers
- Demultiplexor (demux)
- Decodificador (Etapa de control)
- Reloj (clk)
- Memoria de datos

Diagrama de referencia



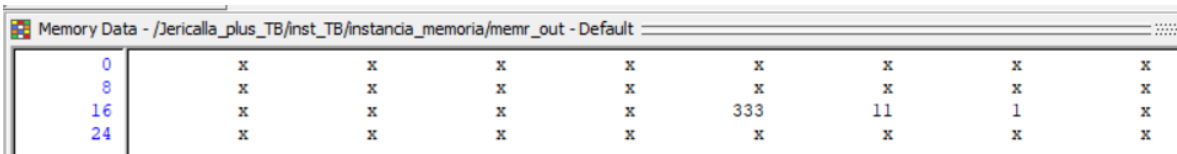
SIMULACION

La simulación se realizó utilizando un banco de pruebas del módulo general “Jericalla”, se muestran los resultados del mapa de memoria del banco de registros y la memoria de datos.



0	1	111	100	200	333	11	1	20
8	21	22	0	0	0	0	0	0
16	x	x	x	x	x	x	x	x
24	x	x	x	x	x	x	x	x

Datos de la “memoria” del banco de registros.



0	x	x	x	x	x	x	x	x
8	x	x	x	x	x	x	x	x
16	x	x	x	x	333	11	1	x
24	x	x	x	x	x	x	x	x

Datos de la memoria de salida, se respetan las direcciones que se habían colocado en el banco de registros.

TABLA INSTRUCCIONES

Numero instrucción	Opcode	RD	RS1/direccion	RS2/dato
0	Suma (00)	\$4	\$0	\$1
1	Resta (01)	\$5	\$1	\$2
2	Ternario(10)	\$6	\$2	\$3
3	SW (11)	xx	\$4	\$7
4	SW (11)	xx	\$5	\$8
5	SW (11)	xx	\$6	\$9

Conclusión

En el desarrollo de la ALU en Verilog es posible practicar la aplicación de los principios fundamentales de la arquitectura de los microprocesadores y de la descripción del hardware. En todo el proceso se han tratado aspectos muy importantes como el manejo de buses de 32 bits, la simulación de las distintas instrucciones aritméticas y lógicas en el conjunto de instrucciones y el diálogo con todos los módulos que se enmarcan en lo que se considera memoria.

Por último, la simulación nos ha permitido verificar las operaciones más elementales: ADD, SUB, SLT y SW, extrayendo los resultados obtenidos tanto en el

formato binario como en el decimal. De la misma manera, esta verificación ha servido para comprobar la corrección del diseño y su funcionamiento.

Esta actividad ayudó a aumentar la comprensión del camino que siguen los datos en un procesador, desde la lectura de los registros hasta la realización de las operaciones y el posterior almacenamiento de los datos en la memoria. También hace posible el estudio más profundo de la estructura jerárquica y modular de Verilog, que constituye un aspecto muy importante en el modelado de circuitos complejos.

Bibliografía

- Mano, M. M., & Kime, C. R. (2017). *Logic and Computer Design Fundamentals*. Pearson.
- Brown, S., & Vranesic, Z. (2013). *Fundamentals of Digital Logic with Verilog Design*. McGraw-Hill.
- IEEE. (2025). *SystemVerilog Standard: IEEE 1800-2025*.
- Harris, D. M., & Harris, S. L. (2012). *Digital Design and Computer Architecture*. Morgan Kaufmann.
- Palnitkar, S. (2003). *Verilog HDL: A Guide to Digital Design and Synthesis*. Prentice Hall.