

Contador

Rodrigo Freitas Sá Barretto

06/07/2023

1 Introdução

Para este projeto, o objetivo foi criar um contador crescente e decrescente utilizando linguagens de descrição de hardware (HDL). Para esse projeto em específico, foram utilizadas as linguagens Verilog e VHDL, visando a percepção das diferenças e semelhanças entre as duas.

2 Comparação

Inicialmente, foi observada uma maior preferência por se utilizar o Verilog que, apesar de ser uma HDL, possui uma maior semelhança com linguagens de programação de alto nível em comparação com o VHDL, o que contribuiu para um melhor entendimento da linguagem.

Além disso, como consequência do primeiro ponto, é possível perceber que o código em VHDL é mais extenso e complexo do que o código em Verilog. Um exemplo disso é a declaração do módulo em Verilog que é feito utilizando as palavras reservadas "module" e "endmodule", já no VHDL, é necessário criar 2 (dois) "módulos" utilizando "entity", "end entity", "architecture rtl of ... is" e "end architecture rtl".

Contudo, apesar das diferenças sintáticas, as duas linguagens mostraram seguir a mesma lógica de estruturação e funcionamento, desde a declaração dos inputs e outputs, ao uso do clock, estruturas condicionais, atribuição de valores, entre outros

3 Conclusão

No geral, o projeto proporcionou o entendimento de diferenças e semelhanças entre Verilog e VHDL, bem como a oportunidade de desenvolver um contador crescente e decrescente usando essas linguagens de descrição de hardware.