

國立中正大學 資訊工程學系
計算機組織 LAB6 (Trace-driven cache simulation)

■ 作業描述：

為了得出 Cache 最佳設計參數，通常我們會擷取不同 Benchmark 的 Cache 運作資訊來進行模擬 (Trace-driven cache simulation)，並調整不同的參數，得到最佳的組合。

本次實驗，學生需使用 C/C++ 編寫一個 Cache simulator，並針對 SPEC 89 benchmark 的 Cache 執行數據進行分析，分析不同設計參數下的行為與效能。

■ 測試資料與程式行為說明：

測試資料為 gcc.din、spice.din、tex.din，每列只有一筆數據，一列中有 2 欄，第 1 欄為 Label，第 2 欄為 Address。

Address 經轉換後，會到對應的 Entry 讀取資料/指令，若資料/指令已存在於 Cache 中，則 Cache hit，否則 Cache miss，若 Cache miss，則會將 Cache entry 取代或更新。

欄位說明如下：

1. Label:
 - 0: data read (讀取資料)
 - 1: data write (寫入資料)
 - 2: instruction fetch (讀取指令)
2. Address:
 - 32 bits byte-address

Label	Address
1	408ed4
0	10019d94
1	408ed8
1	10019d88
1	408edc
0	10013110
1	408ee0
1	408ee4

■ 程式輸入/輸出：

1. 輸入：
 - 支援參數：
./cache [cache size] [block size] [associativity] [replace policy] [file name]
 - 參數規格：
 - (a) cache size: 8, 16, 32, 64, 128, 256 (KB)
 - (b) block size: 4, 8, 16, 32, 64, 128 (B)
 - (c) associativity: 1 (direct mapped), 2, 4, 8, f (fully associative)
 - (d) replace-policy: FIFO, LRU
2. 輸出：
 - input file (輸入檔名)
 - demand fetch (Cache 讀寫請求次數)
 - cache hit (Cache 命中次數)
 - cache miss (Cache 未命中次數)
 - miss rate (未命中率, Cache miss / Demand fetch)
 - read data (讀資料的次數, 也就是 lable 0 數量)
 - write data (寫資料的次數, 也就是 lable 1 數量)

- byte from memory (從記憶體傳輸了多少 byte 到 Cache，miss 次數*block size)
- byte to memory (從 Cache 寫了多少 byte 到 Memory，看 dirty bit 決定是否寫入 Memory)

■ 程式執行範例：

1. ./cache 8 32 2 LRU gcc.din

```
PS C:\Users\ryan4\Desktop\CO_LAB\LAB7> ./cache 8 32 2 LRU gcc.din
Input file = gcc.din
Demand fetch = 1000002
Cache hit = 940024
Cache miss = 59978
Miss rate = 0.0600
Read data = 159631
Write data= 83030
Bytes from memory = 1919296
Bytes to memory = 231424
```

2. ./cache 8 32 2 LRU spice.din

```
PS C:\Users\ryan4\Desktop\CO_LAB\LAB7> ./cache 8 32 2 LRU spice.din
Input file = spice.din
Demand fetch = 1000001
Cache hit = 972356
Cache miss = 27645
Miss rate = 0.0276
Read data = 150699
Write data= 66538
Bytes from memory = 884640
Bytes to memory = 113920
```

3. ./cache 8 32 2 LRU tex.din

```
PS C:\Users\ryan4\Desktop\CO_LAB\LAB7> ./cache 8 32 2 LRU tex.din
Input file = tex.din
Demand fetch = 832477
Cache hit = 830234
Cache miss = 2243
Miss rate = 0.0027
Read data = 130655
Write data= 104513
Bytes from memory = 71776
Bytes to memory = 35840
```

■ 參考答案

1. gcc.din

	FIFO			LRU		
cache size/block size/ associativity	8/4/1	16/32/8	64/64/f	8/4/1	16/32/8	64/64/f
Input file	gcc.din					
Demand fetch	100002					
Cache hit	756885	968777	993034	756885	972607	994274
Cache miss	243117	31225	6968	243117	27395	5728
Miss rate	0.2431	0.0312	0.007	0.2431	0.0274	0.0057
Read data	159631					
Write data	83030					
Bytes from Mem	972468	999200	445952	972468	876640	366592
Bytes to Mem	113956	139072	70976	113956	105408	52992

2. spice.din

	FIFO			LRU		
cache size/block size/ associativity	8/4/1	16/32/8	64/64/f	8/4/1	16/32/8	64/64/f
Input file	spice.din					
Demand fetch	1000001					
Cache hit	880693	993656	998786	880693	994722	998785
Cache miss	119308	6345	1215	119308	5279	1216
Miss rate	0.1193	0.0063	0.0012	0.1193	0.0053	0.0012
Read data	150699					
Write data	66538					
Bytes from Mem	477232	203040	77760	477232	168928	77824
Bytes to Mem	71164	32288	17728	71164	25504	17472

3. tex.din

	FIFO			LRU		
cache size/block size/ associativity	8/4/1	16/32/8	64/64/f	8/4/1	16/32/8	64/64/f
Input file	tex.din					
Demand fetch	832477					
Cache hit	818011	830698	831856	818011	830882	831856
Cache miss	14466	1779	621	14466	1595	621
Miss rate	0.0174	0.0021	0.0007	0.0174	0.0019	0.0007
Read data	130655					
Write data	104513					
Bytes from Mem	57864	56928	39744	57864	51040	39744
Bytes to Mem	30648	30496	30144	30648	30176	30144

■ 評分標準

- 助教會隨機挑 2 筆不同的 cache size/block size/associativity/replace policy 參數組合做測試，並檢查 8 個 output 項目 demand fetch ~ byte to memory（每個項目 10 分，共 80%）
- 全對的話另外得 20 分（20%）

■ 作業繳交方式 (實體 Demo)

- 時間：2024/12/23 (一) 下午 2:00 ~ 5:00
- 地點：資工館 501A 實驗室

✧ 附錄：

1. Cache 讀寫流程

