

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Інститут комп'ютерних технологій, автоматики та метрології
кафедра “Електронних обчислювальних машин”



Звіт

з лабораторної роботи №4

дисципліни «МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ»

**на тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення
зі стендом Elbert V2 – Spartan 3A FPGA.»**

Варіант 21

Виконав:

студент групи KI-202

Сороківський Р.Т

Прийняв:

Козак Н.Б

Львів – 2024

ЛАБОРАТОРНА РОБОТА №1

Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.

Мета роботи: Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.

Завдання

1. Інсталяція Xilinx ISE та додавання ліцензії.
2. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Вхідні дані:

in_2	in_1	in_0	out_0	out_1	out_2	out_3
0	0	0	1	1	0	0
0	0	1	1	0	1	0
0	1	0	0	0	0	0
0	1	1	1	1	0	0
1	0	0	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	0	0	1
1	1	1	0	0	0	1

Виконання роботи

Map	Map	Map	Map														
$\bar{C} \ C$ $\bar{A}\bar{B} \ 1 \ 1$ $\bar{A}B \ 0 \ 1$ $A\bar{B} \ 0 \ 0$ $AB \ 0 \ 1$	$\bar{C} \ C$ $\bar{A}\bar{B} \ 1 \ 0$ $\bar{A}B \ 0 \ 1$ $A\bar{B} \ 0 \ 0$ $AB \ 0 \ 0$	$\bar{C} \ C$ $\bar{A}\bar{B} \ 0 \ 1$ $\bar{A}B \ 0 \ 0$ $A\bar{B} \ 0 \ 0$ $AB \ 0 \ 0$	$\bar{C} \ C$ $\bar{A}\bar{B} \ 0 \ 0$ $\bar{A}B \ 0 \ 0$ $A\bar{B} \ 1 \ 1$ $AB \ 1 \ 1$														
Map Layout	Map Layout	Map Layout	Map Layout														
$\bar{C} \ C$ $\bar{A}\bar{B} \ 0 \ 1$ $\bar{A}B \ 2 \ 3$ $A\bar{B} \ 6 \ 7$ $AB \ 4 \ 5$	$\bar{C} \ C$ $\bar{A}\bar{B} \ 0 \ 1$ $\bar{A}B \ 2 \ 3$ $A\bar{B} \ 6 \ 7$ $AB \ 4 \ 5$	$\bar{C} \ C$ $\bar{A}\bar{B} \ 0 \ 1$ $\bar{A}B \ 2 \ 3$ $A\bar{B} \ 6 \ 7$ $AB \ 4 \ 5$	$\bar{C} \ C$ $\bar{A}\bar{B} \ 0 \ 1$ $\bar{A}B \ 2 \ 3$ $A\bar{B} \ 6 \ 7$ $AB \ 4 \ 5$														
Groups	Groups	Groups	Groups														
<table><tr><td>(0,1)</td><td>$\bar{A}\bar{B}$</td></tr><tr><td>(1,3)</td><td>$\bar{A}C$</td></tr><tr><td>(1,5)</td><td>$B\bar{C}$</td></tr></table>	(0,1)	$\bar{A}\bar{B}$	(1,3)	$\bar{A}C$	(1,5)	$B\bar{C}$	<table><tr><td>(0)</td><td>$\bar{A}\bar{B}\bar{C}$</td></tr><tr><td>(3)</td><td>$\bar{A}B\bar{C}$</td></tr></table>	(0)	$\bar{A}\bar{B}\bar{C}$	(3)	$\bar{A}B\bar{C}$	<table><tr><td>(1)</td><td>$\bar{A}B\bar{C}$</td></tr></table>	(1)	$\bar{A}B\bar{C}$	<table><tr><td>(4,5,6,7)</td><td>A</td></tr></table>	(4,5,6,7)	A
(0,1)	$\bar{A}\bar{B}$																
(1,3)	$\bar{A}C$																
(1,5)	$B\bar{C}$																
(0)	$\bar{A}\bar{B}\bar{C}$																
(3)	$\bar{A}B\bar{C}$																
(1)	$\bar{A}B\bar{C}$																
(4,5,6,7)	A																
$y = A'B' + A'C + B'C$	$y = A'B'C' + A'BC$	$y = A'B'C$	$y = A$														

Рис1.1(Спрощення для Out_0 – Out_3)

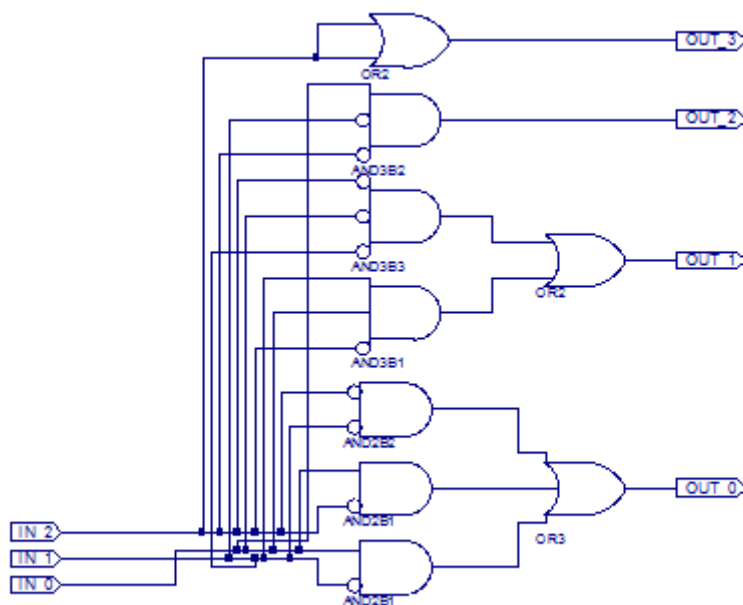


Рис.1.1 Схема дешифратора

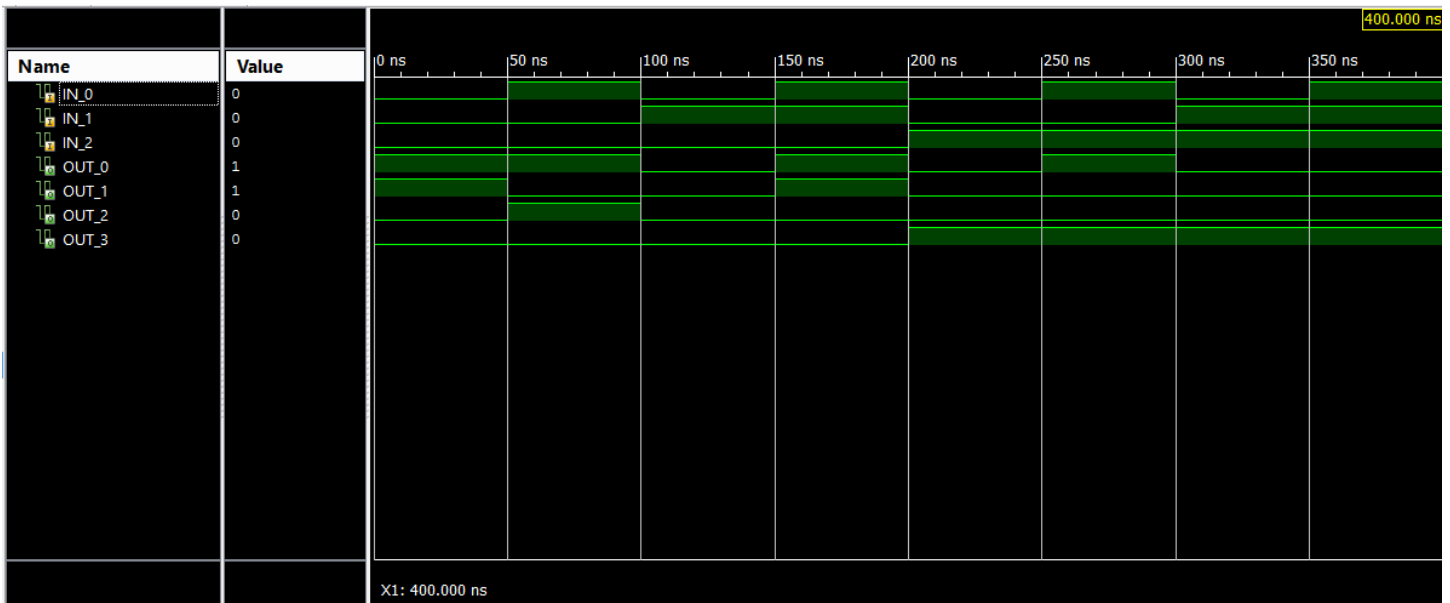


Рис.1.2 Графік частот

```
#+++++
+++++
# This file is a .ucf for ElbertV2 Development Board #
# To use it in your project : #
# * Remove or comment the lines corresponding to unused pins in the project #
# * Rename the used signals according to the your project #
#+++++
+++++

#####
#####

#
# UCF for ElbertV2 Development Board
#

#####
#####

CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz
```

#NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

#####

LED

#####

NET "OUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

NET "OUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

NET "OUT_2" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

NET "OUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

NET "OUT_4" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

NET "OUT_5" LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

NET "LED[6]" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

NET "LED[7]" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW |
DRIVE = 12;

#####

DP Switches

#####

NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW
| DRIVE = 12;

```
NET "IN_1"      LOC = P69  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW
| DRIVE = 12;

NET "IN_2"      LOC = P68  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW
| DRIVE = 12;

# NET "IN_3"     LOC = P64  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW =
SLOW | DRIVE = 12;

# NET "DPSwitch[4]"  LOC = P63  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW
= SLOW | DRIVE = 12;

# NET "DPSwitch[5]"  LOC = P60  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW
= SLOW | DRIVE = 12;

# NET "DPSwitch[6]"  LOC = P59  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW
= SLOW | DRIVE = 12;

# NET "DPSwitch[7]"  LOC = P58  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW
= SLOW | DRIVE = 12;
```

Висновок:

Навчився інсталяції та ознайомився з середовищем розробки Xilinx ISE та стендом Elbert V2 – Spartan 3A FPGA.