Finite State Machines (FSM)

Automates à états finis

A. Analyse des FSM

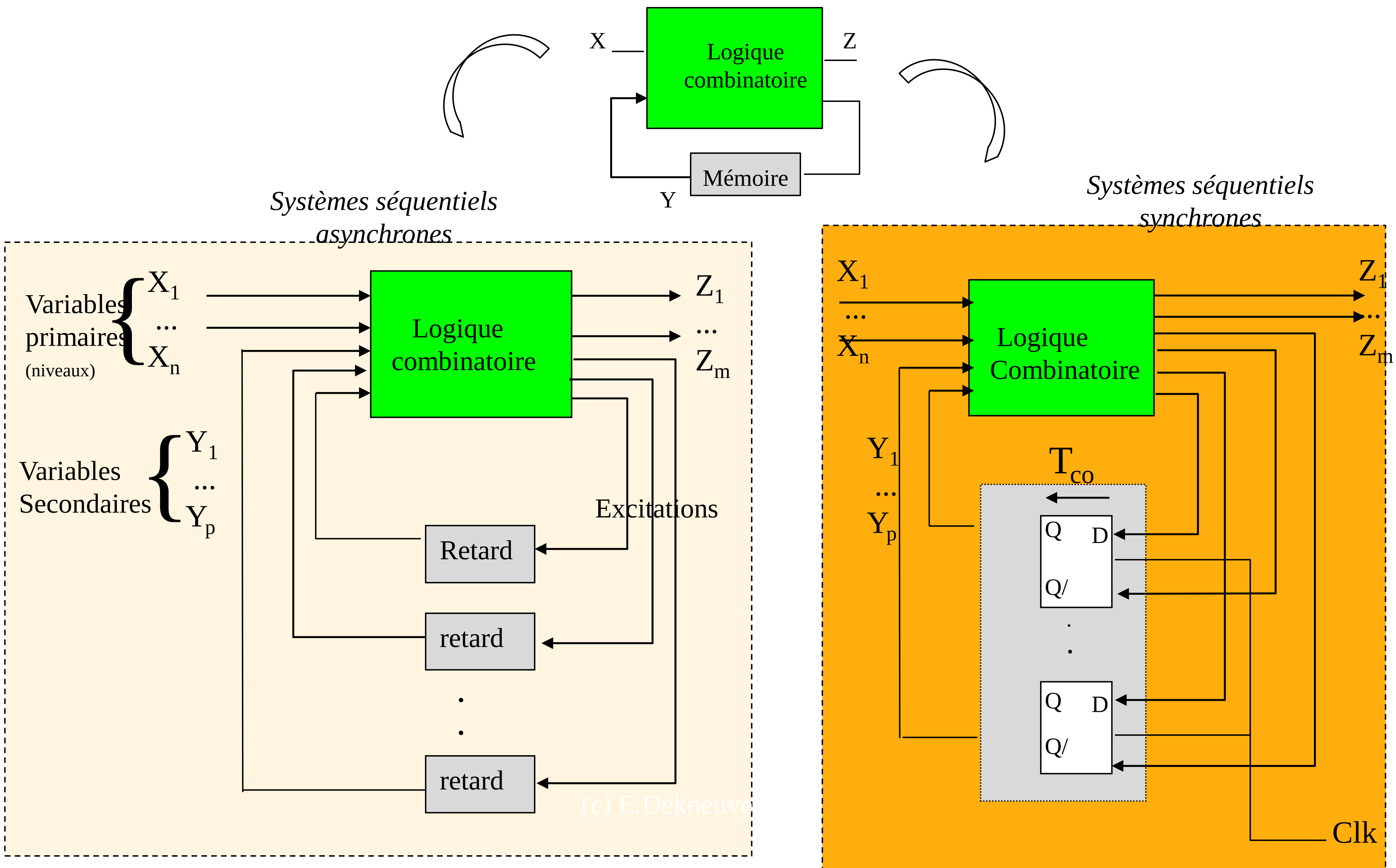
B. Synthèse des FSM

C. Analyse de timing

D. Codage des états

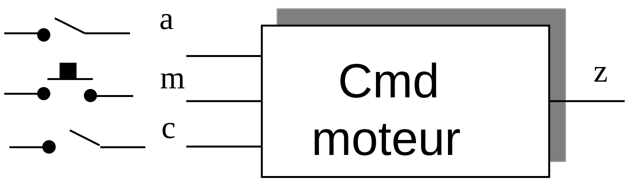
E. Réduction des machines séquentielles

Catégories de systèmes séquentiels



Système séquentiel asynchrone

Symbole



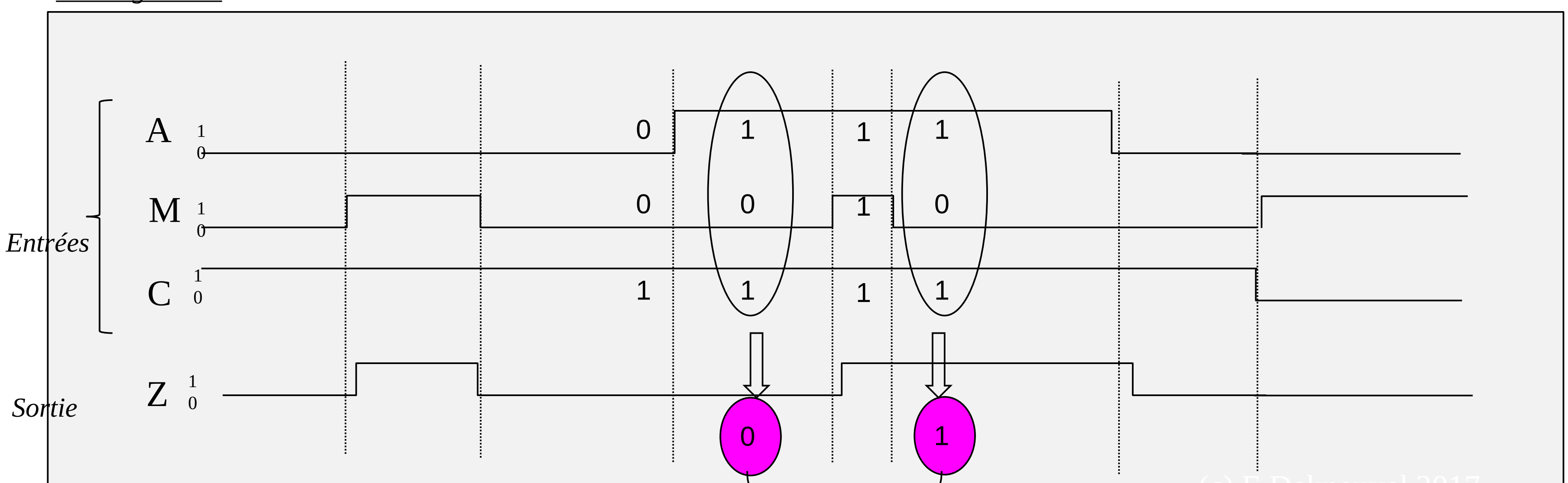
Un circuit de commande un moteur à l'aide de sortie Z. 3 entrées a,m,c permettent de commander l'évolution du système uniquement à partir de leurs niveaux.

C est un interrupteur de sécurité à deux positions. C=0 verrouille le mécanisme.

A est un interrupteur précisant le mode de fonctionnement (intermittent si *a=0* ou continu si *a=1*)

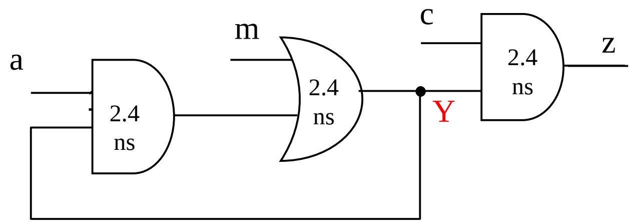
M est un bouton poussoir permettant de commander la mise en route du moteur.

chronogramme



Sorties différentes pour une méme combinaison d'entrée

Bloc diagramme



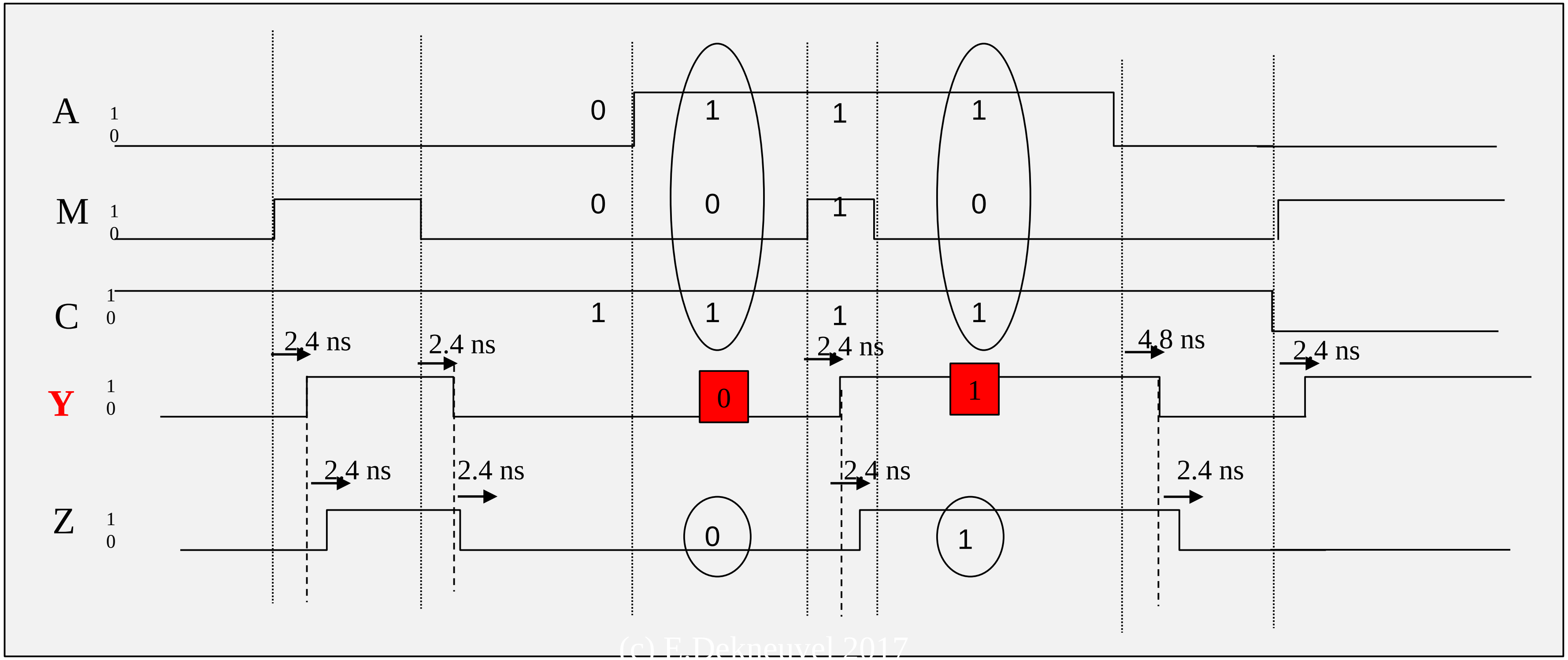
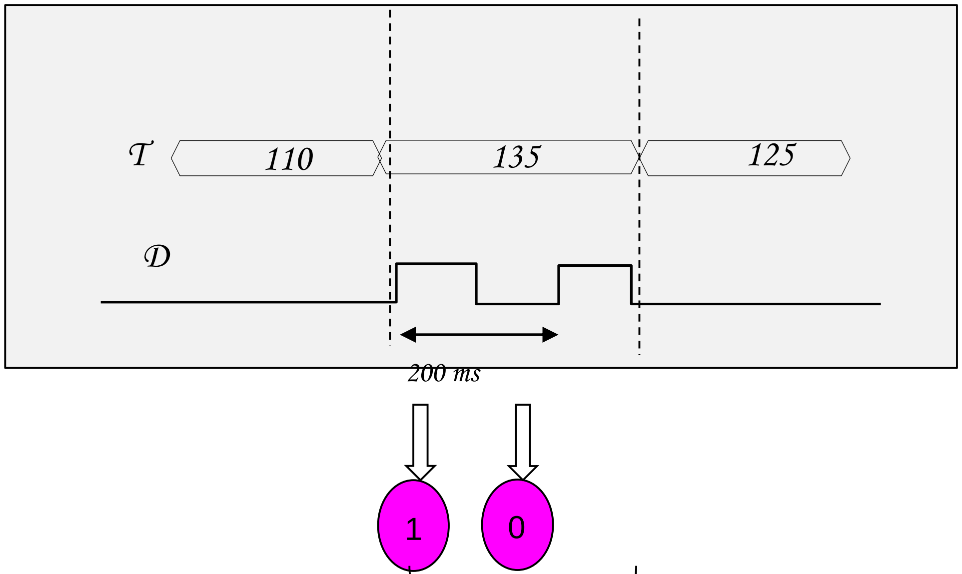


Illustration n°2

Cahier des charges

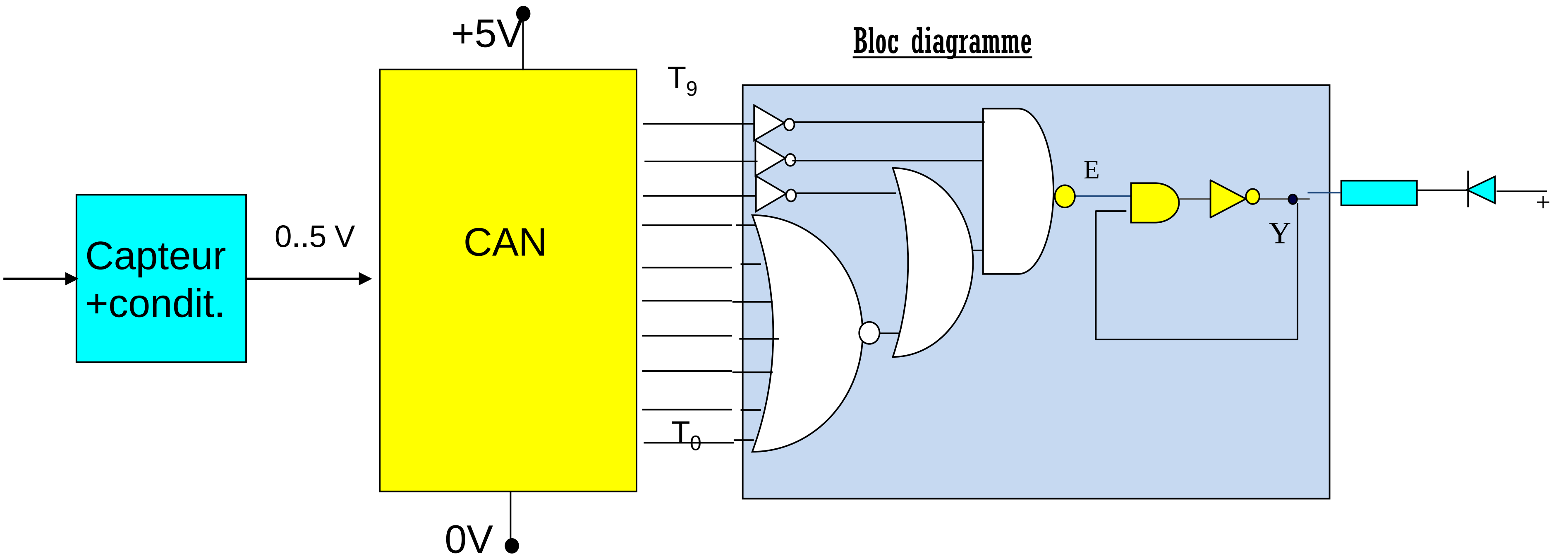
Un circuit numérique doit pouvoir commander le clignotement d'une diode électroluminescente si la grandeur de T° en entrées est supérieure à 5°1 La fréquence du clignotement de la diode sera de 5 Hz

Spécification

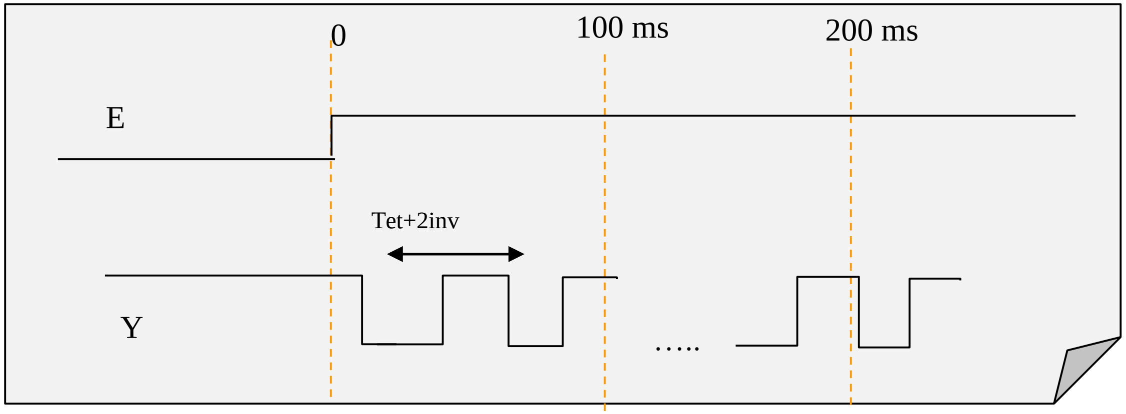


Sorties différentes pour une méme combinaison d'entrée

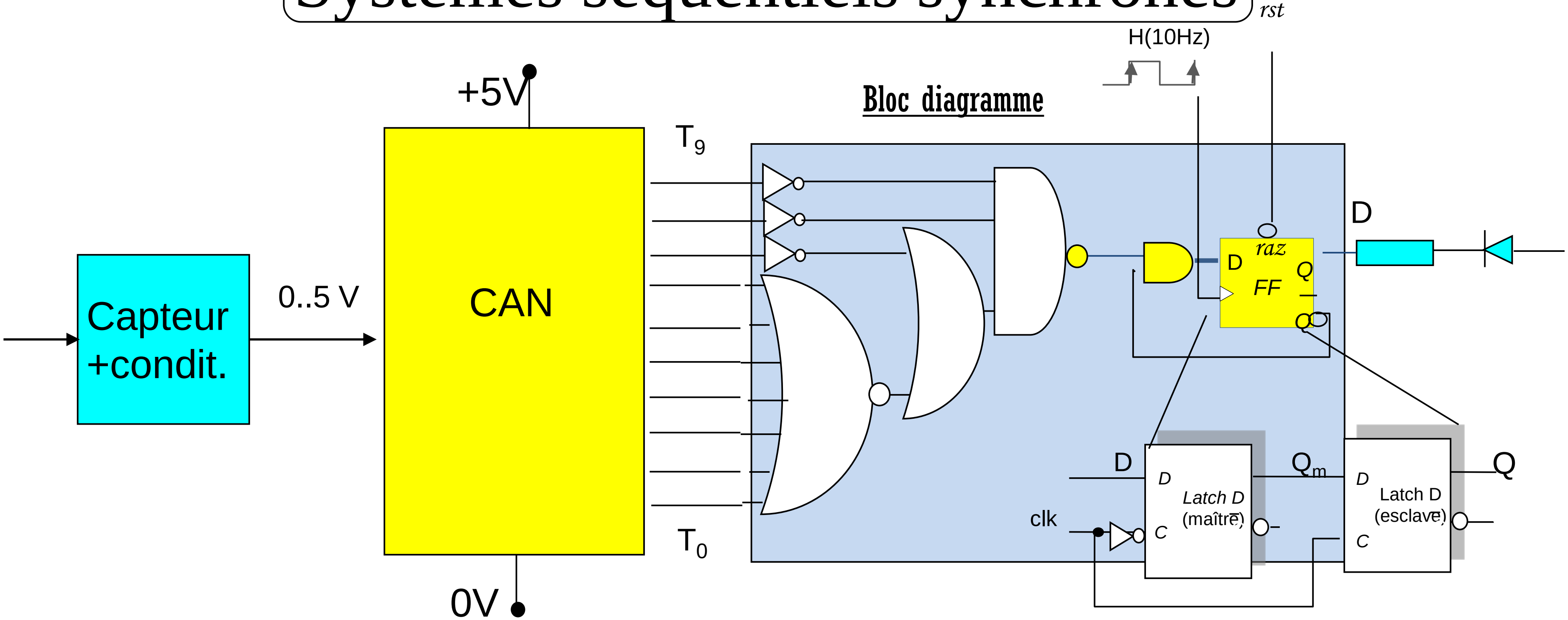
Limite des systèmes asynchrones



chronogramme



Systèmes séquentiels synchrones



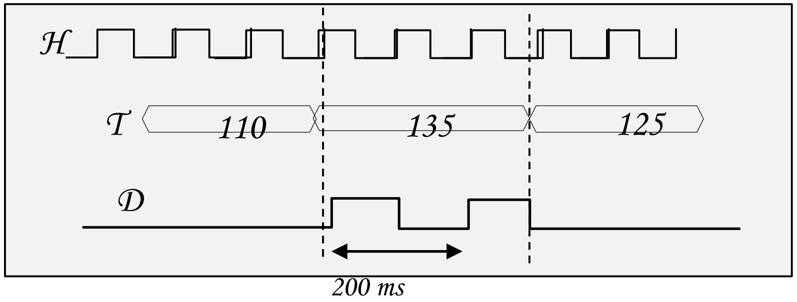
Verrouillé si H=1

Transparent si H=0

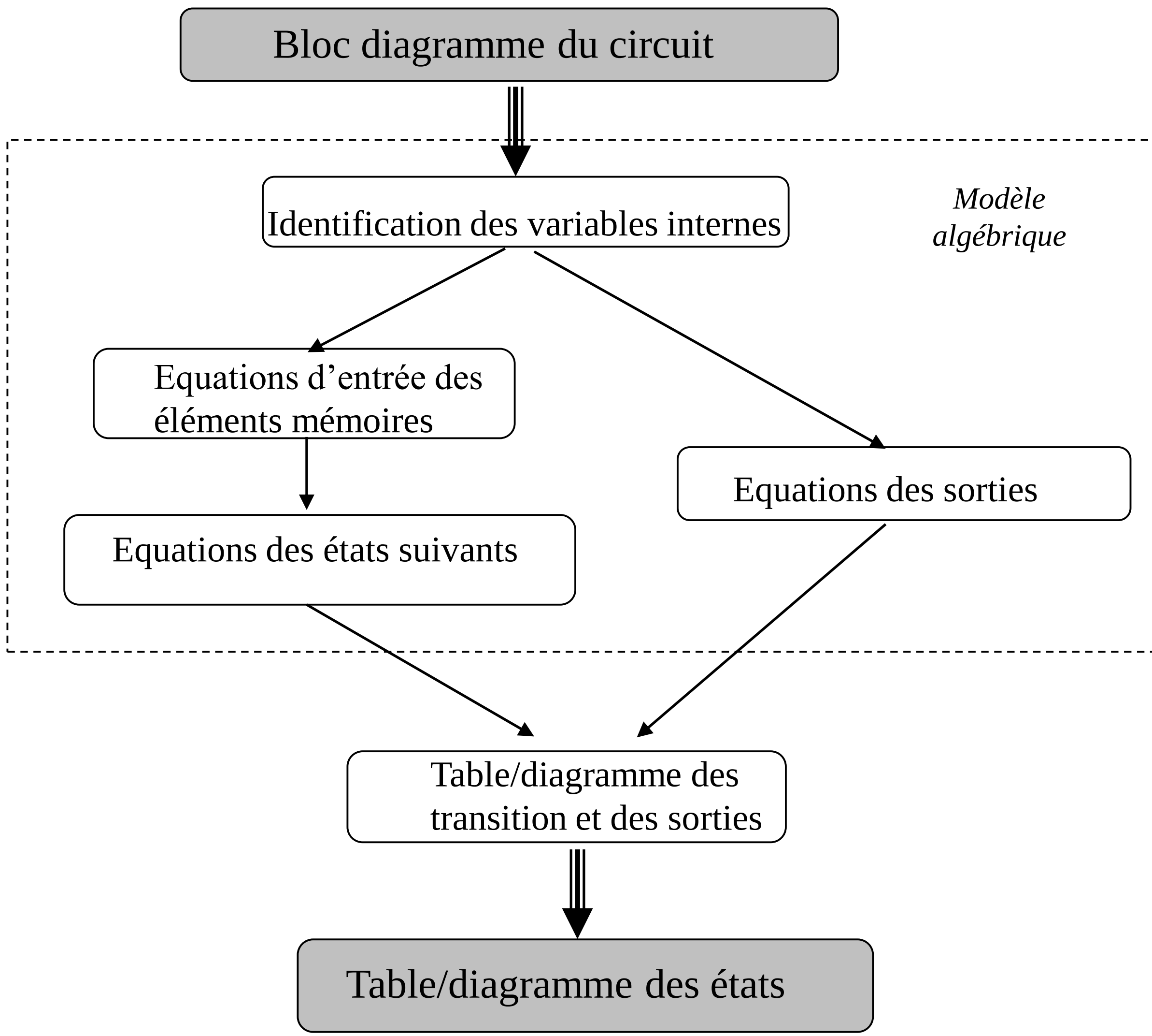
Verrouillé si H=0

Transparent si H=1

chronogramme

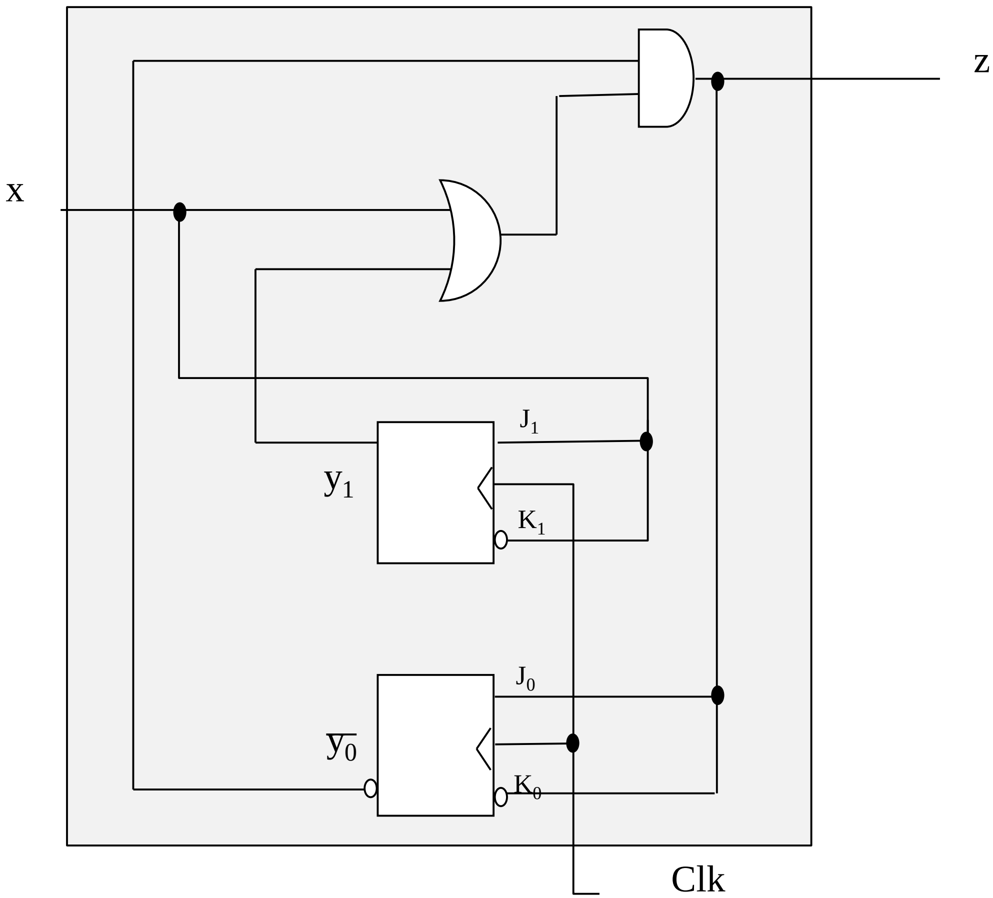


Méthode d'analyse



Illustration

Bloc diagramme



Fonctions d'excitation

$J_1 = X$ $\quad K_1 = \overline{X}$

$J_0 = (X+Y_1)\,\overline{Y_0}$ $\quad K_0 = \overline{(X+Y_1)\,\overline{Y_0}}$

Equation de la bascule JK

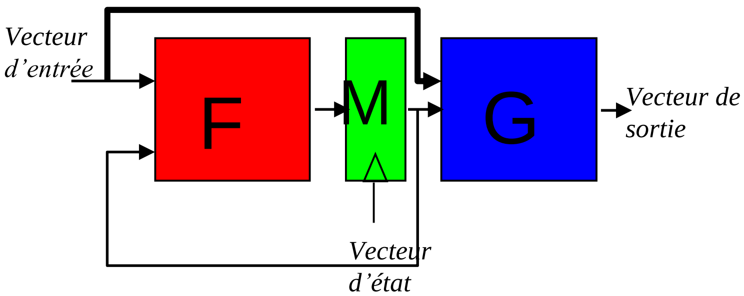
$Q^{+} = J\overline{Q} + \overline{K}Q$

Modèle algébrique

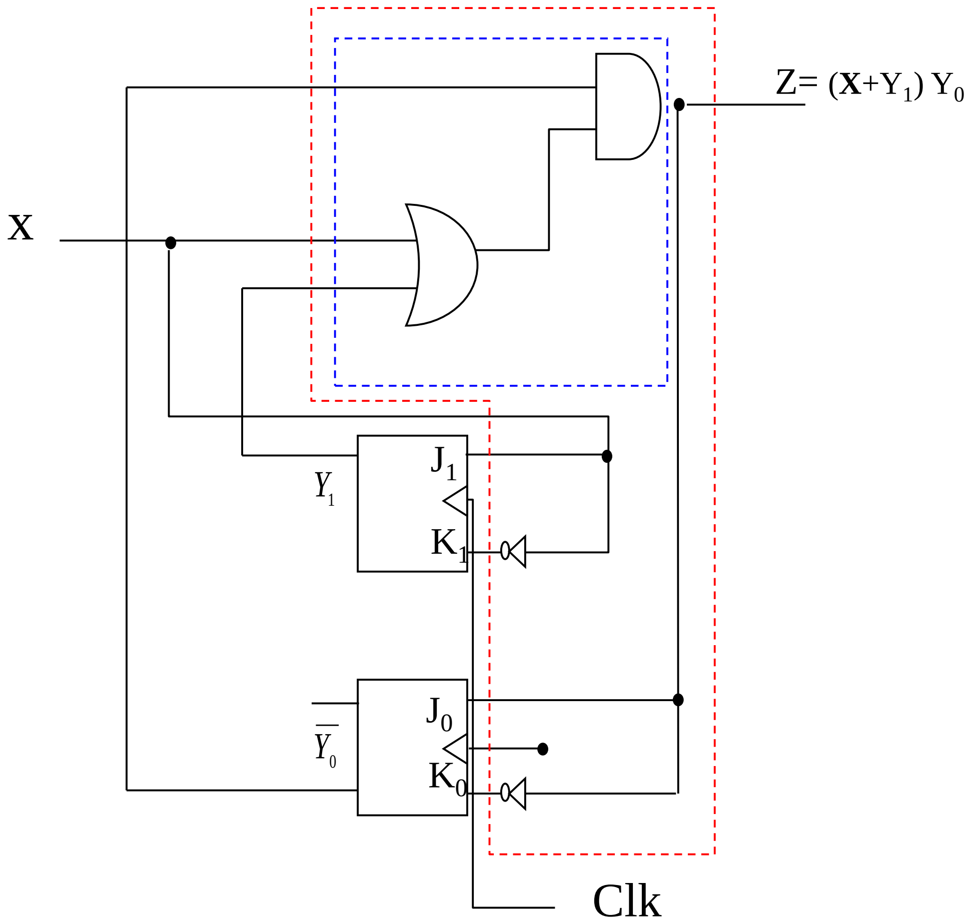
$Y_1^{+} = X$

$Y_0^{+} = (X+Y_1)\,\overline{Y_0}$

$Z = (X+Y_1)\,\overline{Y_0}$

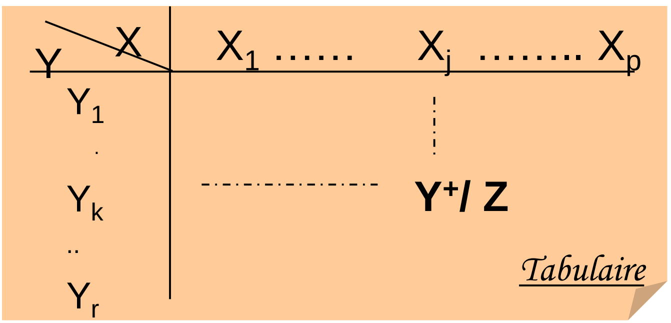


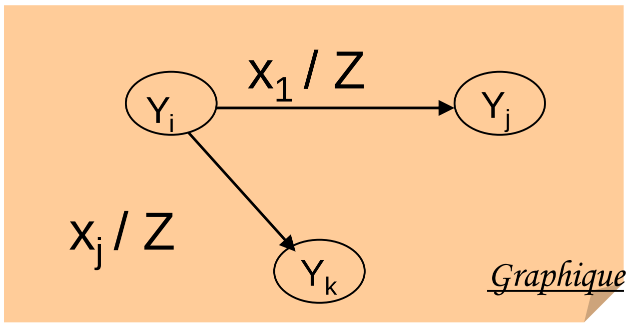
Machine de Mealy



Algébrique

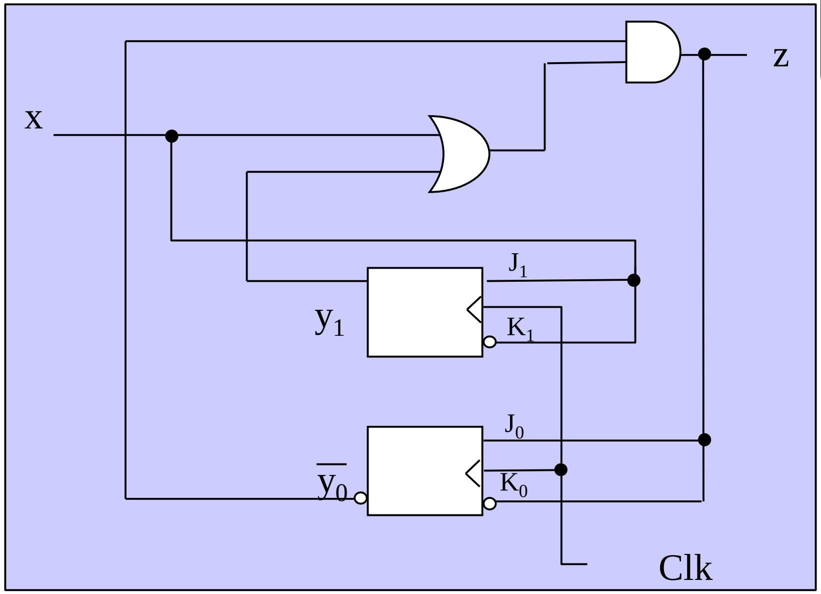
Z = G(X,Y)





Diagramme/table des transitions

Bloc diagramme



Modèle algébrique

$$Y_0^{+}= (X+Y_1)\,\overline{Y}_0$$
$$Y_1^{+}=X$$
$$Z= (X+Y_1)\,\overline{Y}_0$$

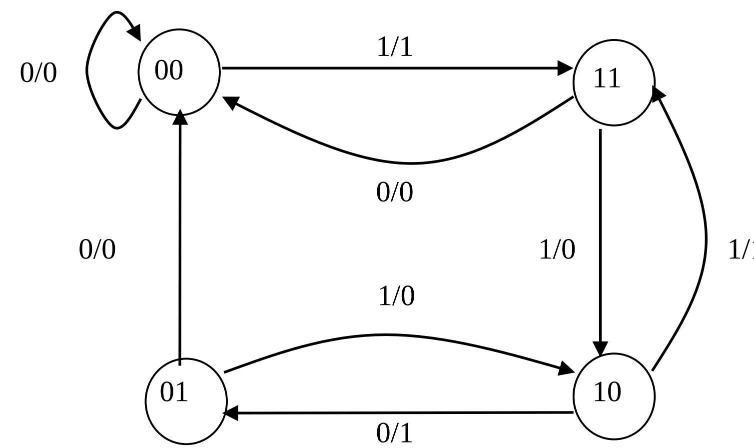
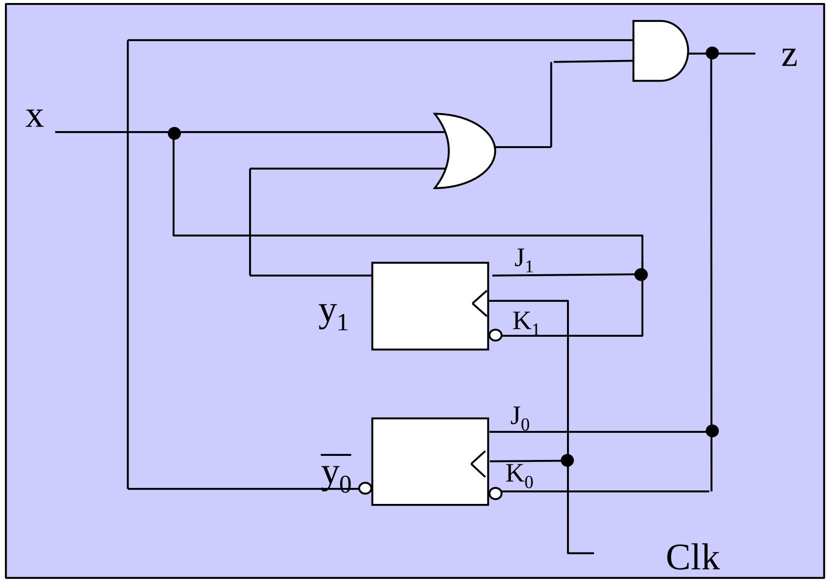


Diagramme des transitions

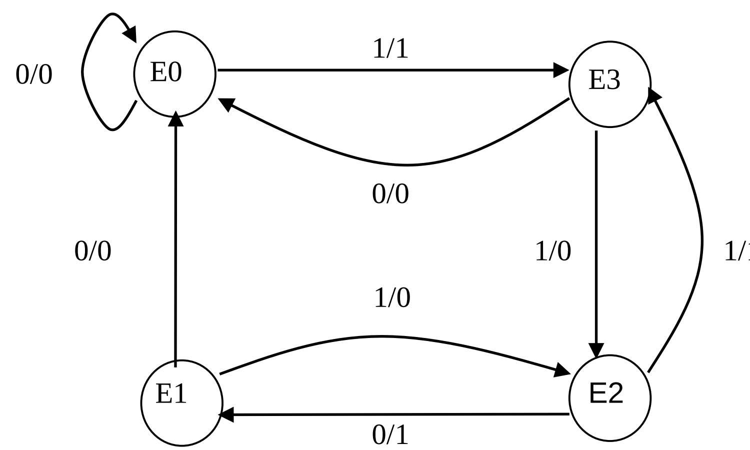
X / Y_1Y_0	**0**	**1**
00	00/0	11/1
01	00/0	10/0
10	01/1	11/1
11	00/0	10/0

Table des transitions $Y_1^{+}Y_0^{+}/Z$

Diagramme/table des états



Bloc diagramme



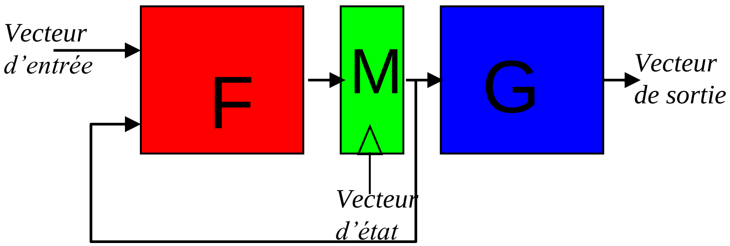
X / Y_1Y_0	**0**	**1**
E0	E0/0	E3/1
E1	E0/0	E2/0
E2	E1/1	E3/1
E3	E0/0	E2/0

Table des états

$Y_1^+Y_0^+/Z$

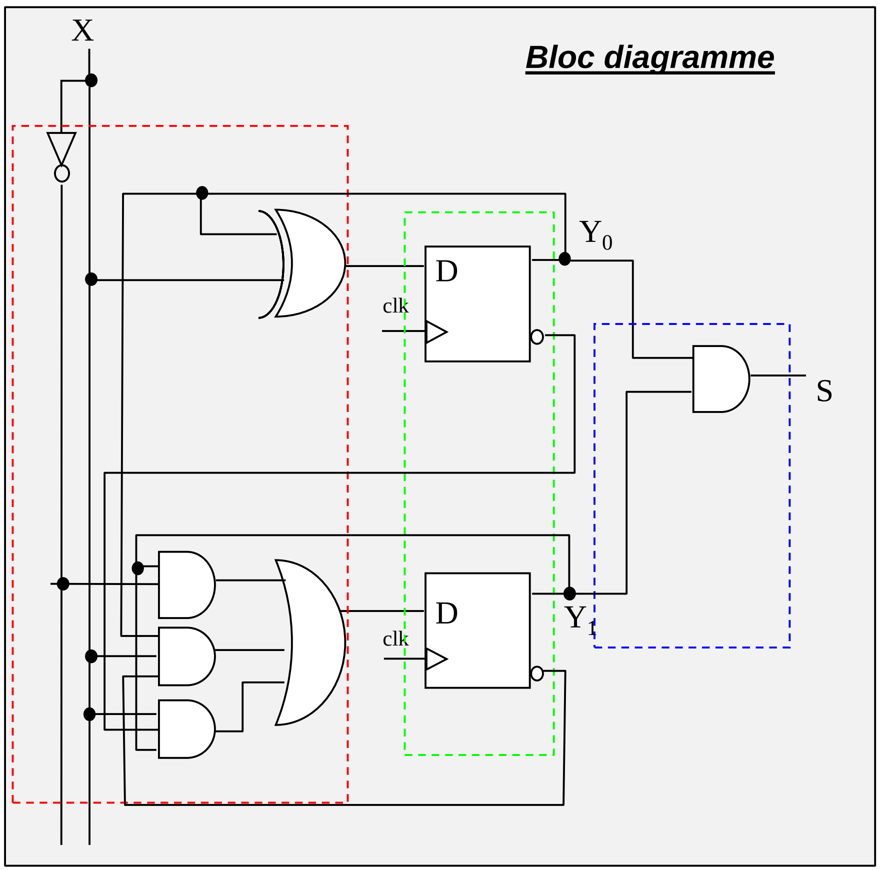
Diagramme des états

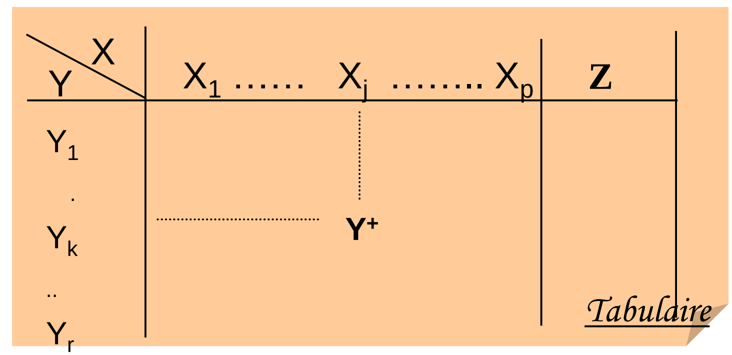
Machine de MOORE

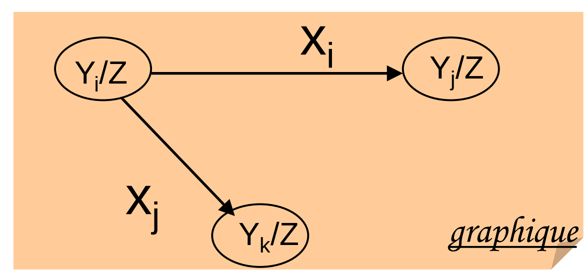


Algébrique

$Z = G(Y)$

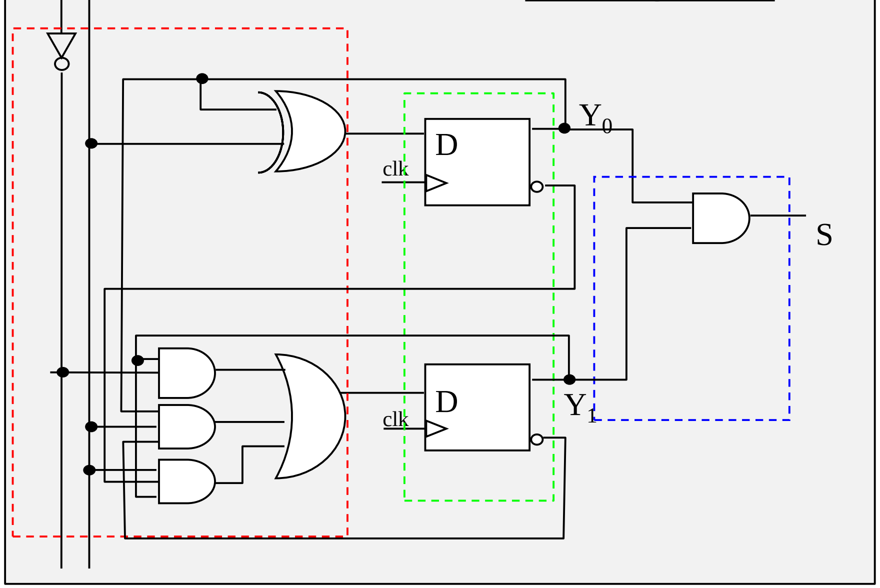






Analyse

Bloc diagramme



Foncions d'excitation

$$D_0 = Y_0 \oplus X$$
$$D_1 = \overline{X}.Y_1 + X.\overline{Y_1}.Y_0 + X..Y_1.\overline{Y_0}$$

Modèle algébrique

$$S = Y_1.Y_0$$
$$Y_1^+ = D_1$$
$$Y_0^+ = D_0$$

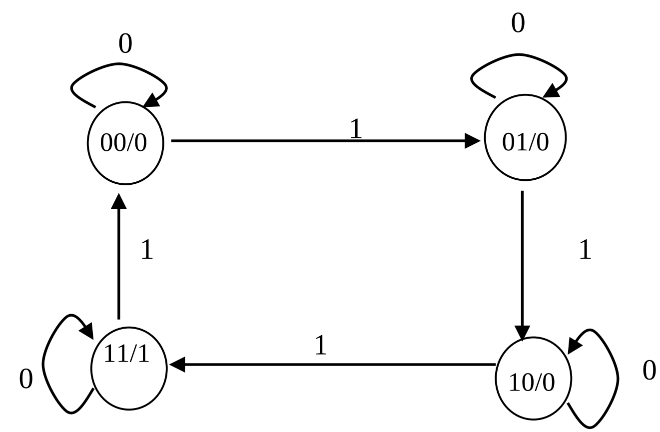


Diagramme des transitions

X / Y_1Y_0	**0**	**1**	S
00	00	01	0
01	01	10	0
10	10	11	0
11	11	00	1

Table des transitions

$Y_1^+Y_0^+/Z$

Automates à états finis

A. Analyse des FSM

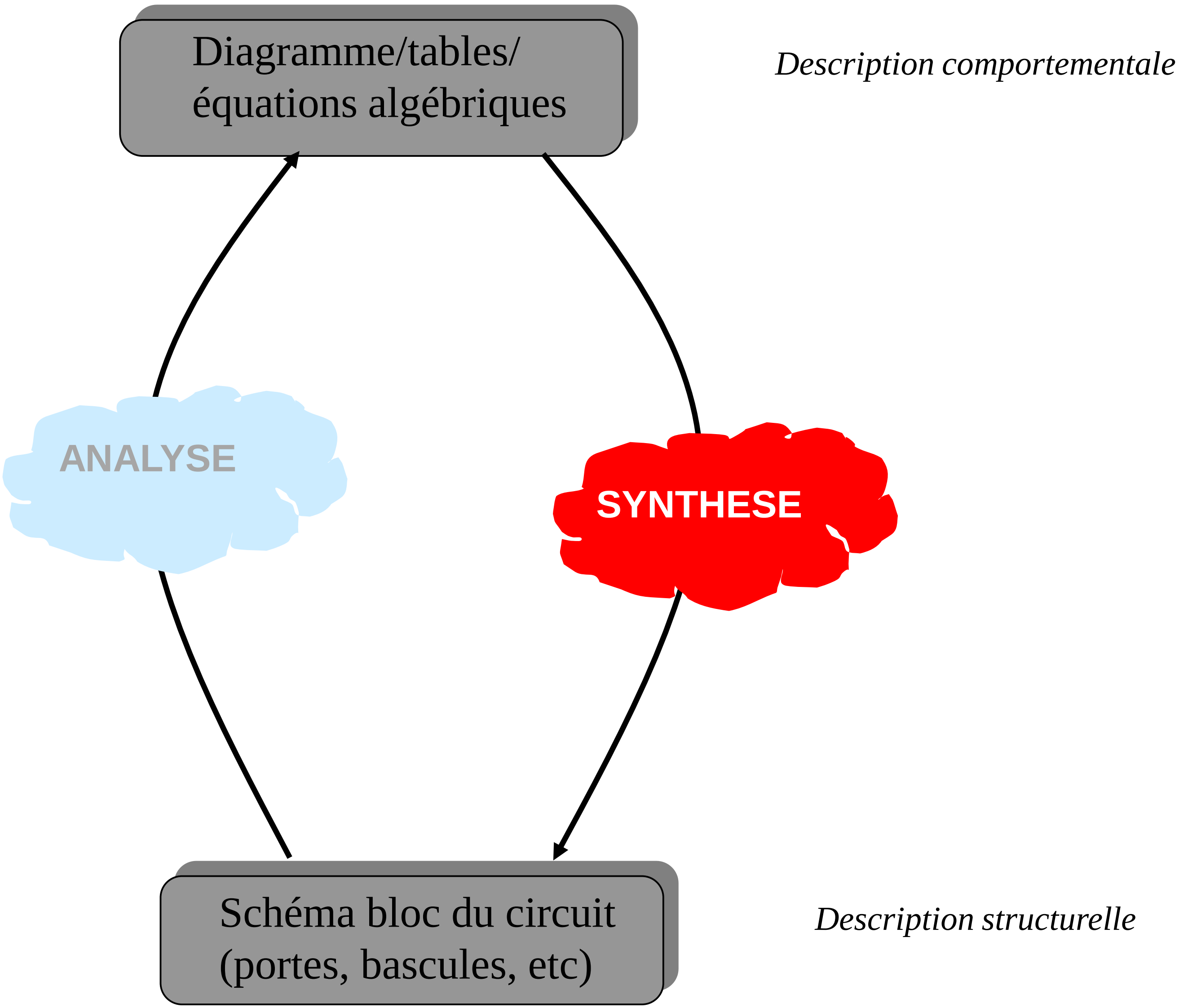
B. Synthèse des FSM

C. Analyse de timing

D. Codage des états

E. Réduction des machines séquentielles

Synthèse des FSM



Méthode de synthèse tabulaire

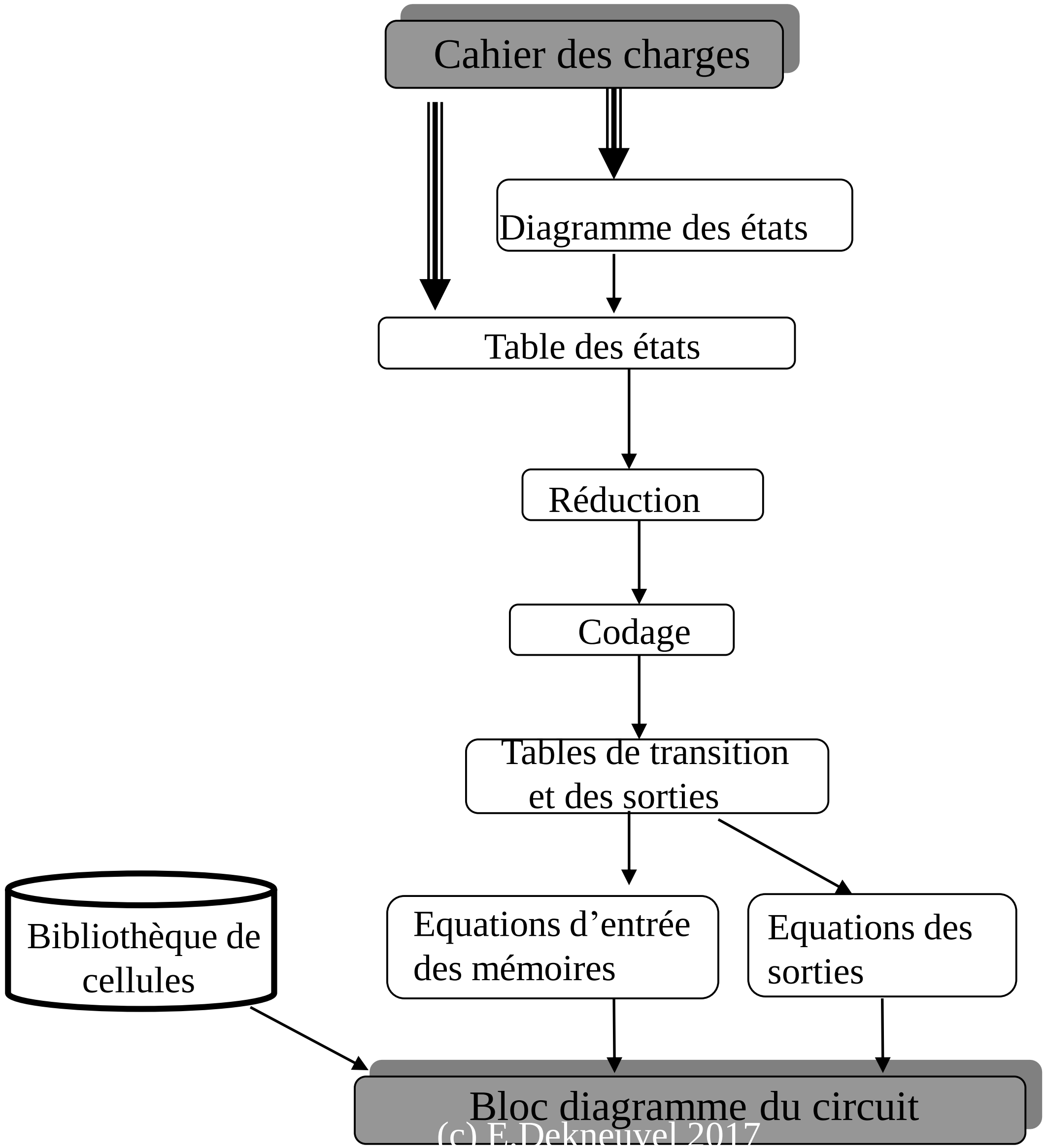
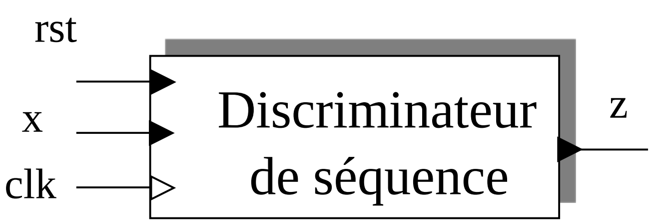


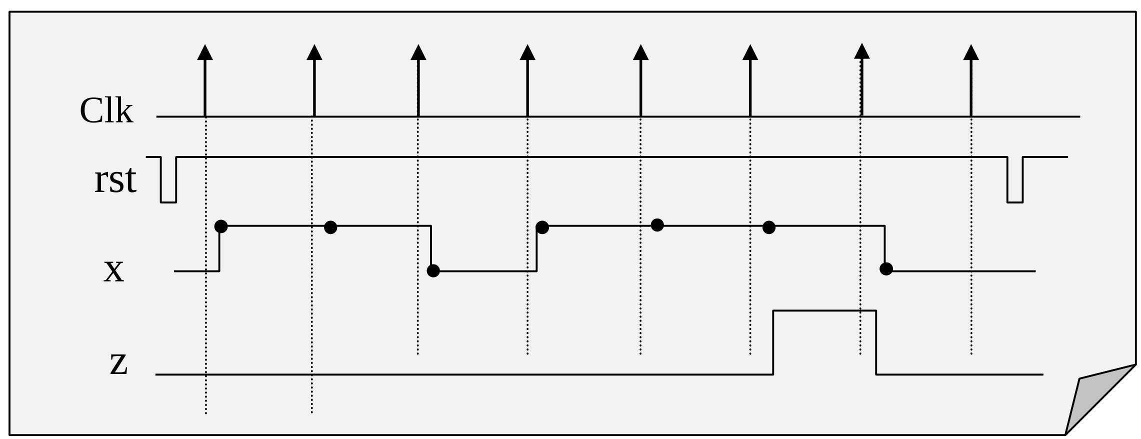
Illustration: discriminateur de séquences



Le système à concevoir doit détecter l'apparition d'une séquence (ex: début d'un message) composé de 3 '1' consécutifs dans un signal *x*. Les données de la ligne sont synchronisées à partir d'une source d'impulsions d'horloge *clk*. Le circuit voit sa sortie *z* passer de 0 à 1 en coïncidence avec le front montant de l'horloge à partir du moment où la séquence est reconnue. La sortie repasse à zéro dans la période d'horloge suivante. Le circuit ne peut revenir sur son état initial que sur intervention externe. Un nouveau cycle complet ne peut donc s'effectuer que suite à un *rst*.

0 1 0 0 ..

Fob security key



Description comportementale

Diagramme des états symboliques

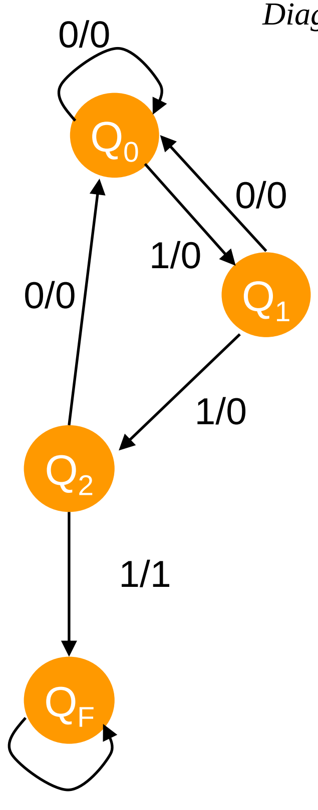
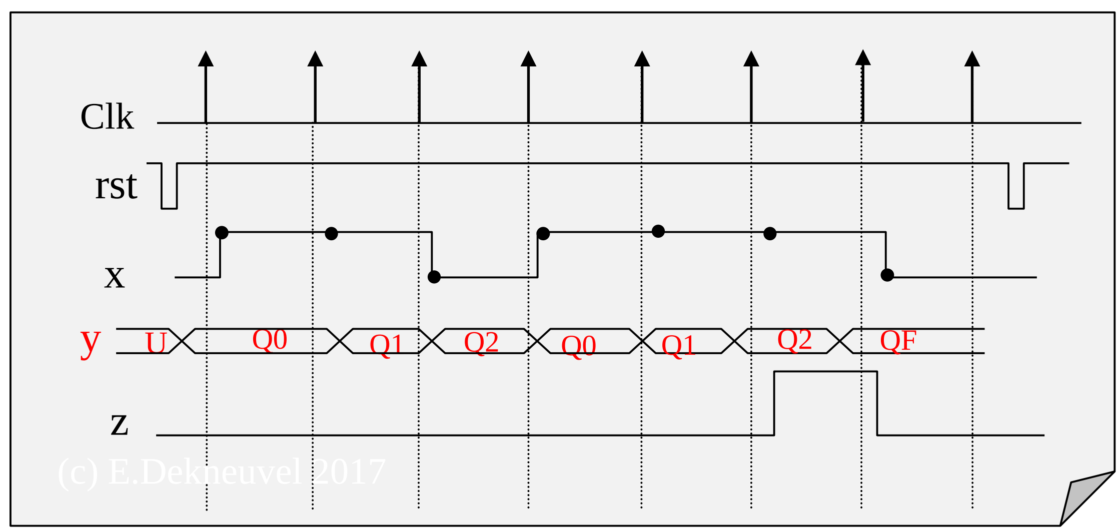


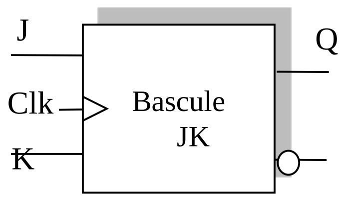
Table des états symboliques

Y \ X	**0**	**1**
$\mathbf{Q_0}$	$Q_0/0$	$Q_1/0$
$\mathbf{Q_1}$	$Q_0/0$	$Q_2/0$
$\mathbf{Q_2}$	$Q_0/0$	$Q_F/1$
$\mathbf{Q_F}$	$Q_F/0$	$Q_F/0$

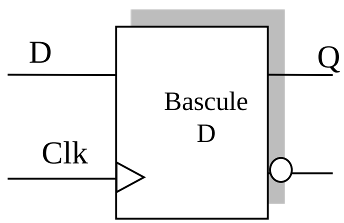
Validation fonctionnelle



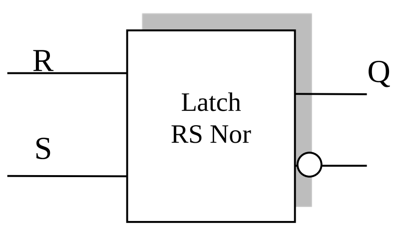
Identification des entrées des bascules



Transition	J	K
$0 \rightarrow 0$	0	X
$1 \rightarrow 1$	X	0
$1 \rightarrow 0$	X	1
$0 \rightarrow 1$	1	X



Transition	D
$0 \rightarrow 0$	0
$1 \rightarrow 1$	1
$1 \rightarrow 0$	0
$0 \rightarrow 1$	1



Transition	S	R
$0 \rightarrow 0$	0	X
$1 \rightarrow 1$	X	0
$1 \rightarrow 0$	0	1
$0 \rightarrow 1$	1	0

Codage séquentiel/FF JK

Table des transitions

X / Y_1Y_0	**0**	**1**
00	00/0	01/0
01	00/0	10/0
10	00/0	11/1
11	11/0	11/0

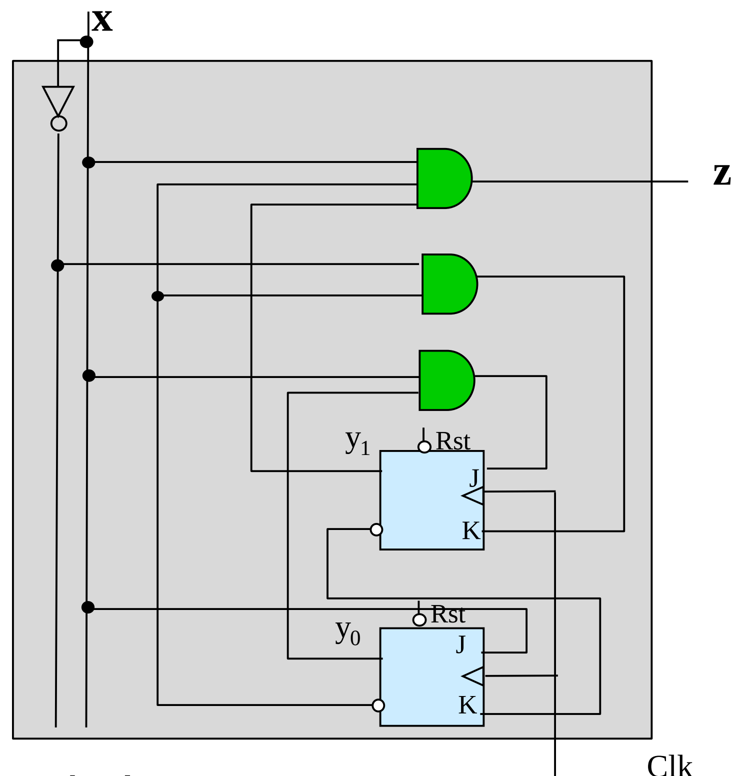
$Y_1^+Y_0^+/Z$

Table des excitations

0 $J_1K_1\ J_0K_0$	**1** $J_1K_1\ J_0K_0$
0X 0X	0X 1X
0X X1	1X X1
X1 0X	X0 1X
X0 X0	X0 X0

Equations des entrées mémoires et sortie

$J_1 = xy_0$
$K_1 = \bar{x}\bar{y}_0$
$J_0 = x$
$K_0 = \bar{y}_1$
$z = xy_1\overline{y_0}$



Bloc diagramme

Codage séquentiel/FF D

Table des transitions

X / Y_1Y_0	**0**	**1**
00	00/0	01/0
01	00/0	10/0
10	00/0	11/1
11	11/0	11/0

$Y_1^+Y_0^+/Z$

Table des excitations

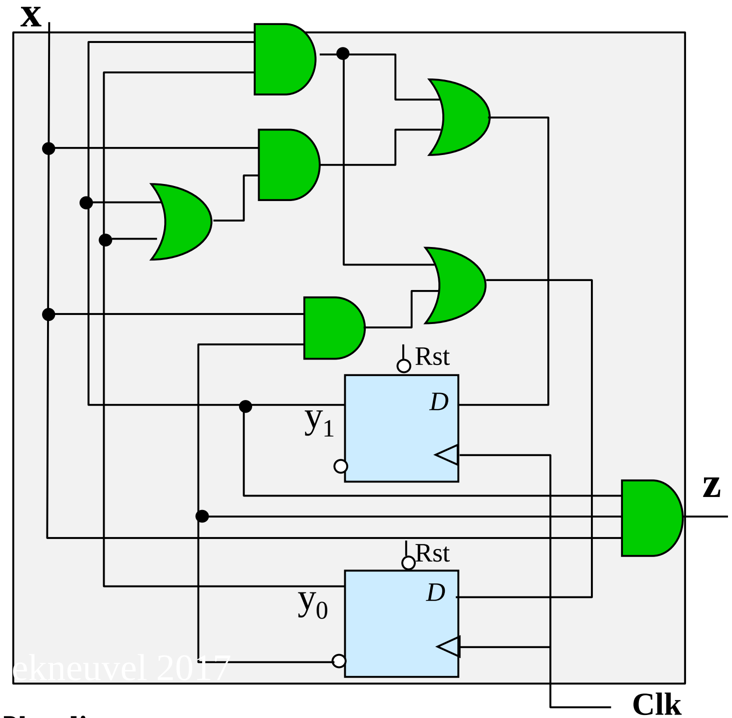
0 D_1D_0	**1** D_1D_0
00	01
00	10
00	11
11	11

Equations des entrées mémoires et sortie

$D_1=y_0y_1 + (y_0+y_1)x$

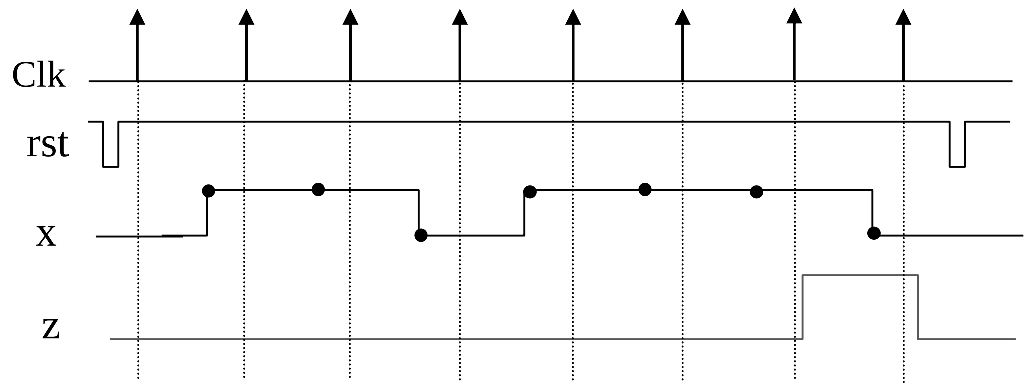
$D_0=x\bar{y}_0+y_1y_0$

$z=xy_1\bar{y}_0$



Bloc diagramme

Discriminateur de séquences(Moore)



Le système à concevoir doit détecter l'apparition d'une séquence (ex: début d'un message) composé de 3 un consécutifs dans un signal *x*. Les données de la ligne sont synchronisées à partir d'une source d'impulsions d'horloge *clk*. Le circuit voit sa sortie *z* passer de 0 à 1 **sur le front montant de l'horloge suivant l'échantillonnage du 3ème '1' de la séquence**. La sortie repasse à zéro dans la période d'horloge suivante. Le circuit ne peut revenir sur son état initial que sur intervention externe. Un cycle complet de détection ne peut donc s'effectuer que suite à un *rst*.

0 1 0 0 ..

Description de Moore

Diagramme des états

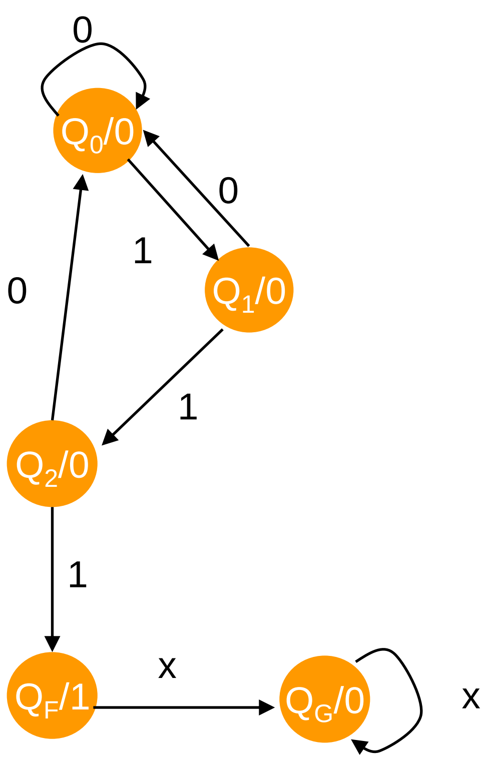


Table des états

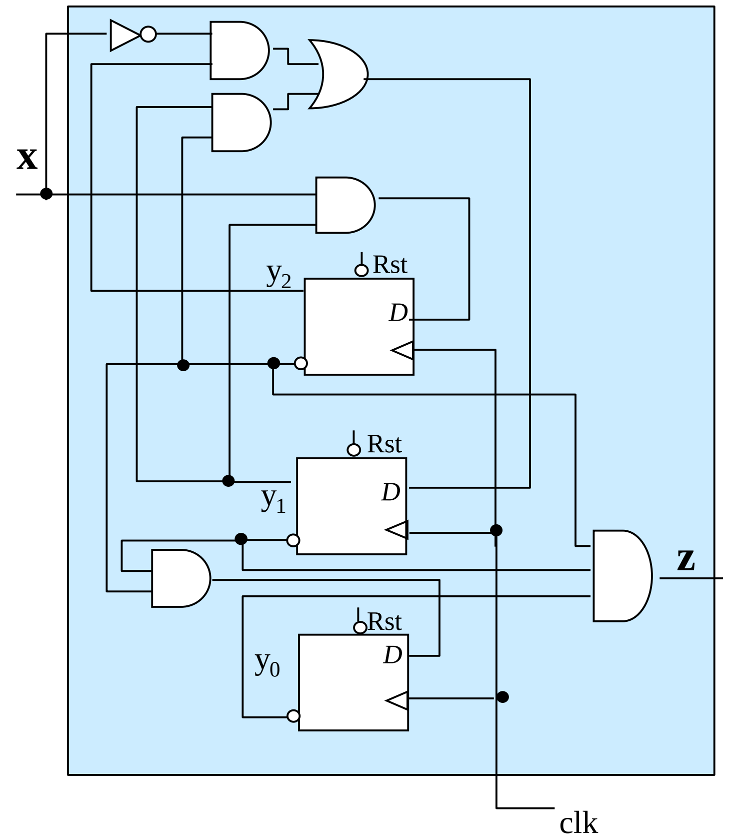
X / Y	**0**	**1**	Z
$\mathbf{Q_0}$	Q_0	Q_1	0
$\mathbf{Q_1}$	Q_0	Q_2	0
$\mathbf{Q_2}$	Q_0	Q_F	0
$\mathbf{Q_v}$	Q_G	Q_G	1
$\mathbf{Q_G}$	Q_G	Q_G	0

Synthèse logique

Table des transition(codage séquentiel)s

Y \ X	**0**	**1**	Z
000	000	001	0
001	000	010	0
010	000	011	0
011	100	100	1
100	100	100	0

Bloc diagramme



Automates à états finis

A. Analyse des FSM

B. Synthèse des FSM

C. Analyse de timing

D. Codage des états

E. Réduction des machines séquentielles

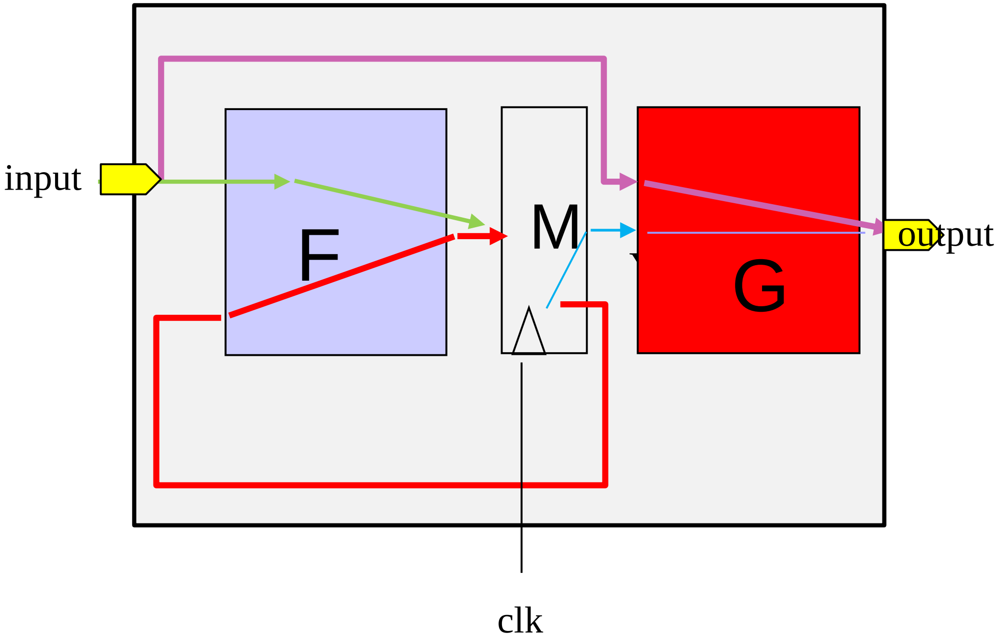
Table des délais

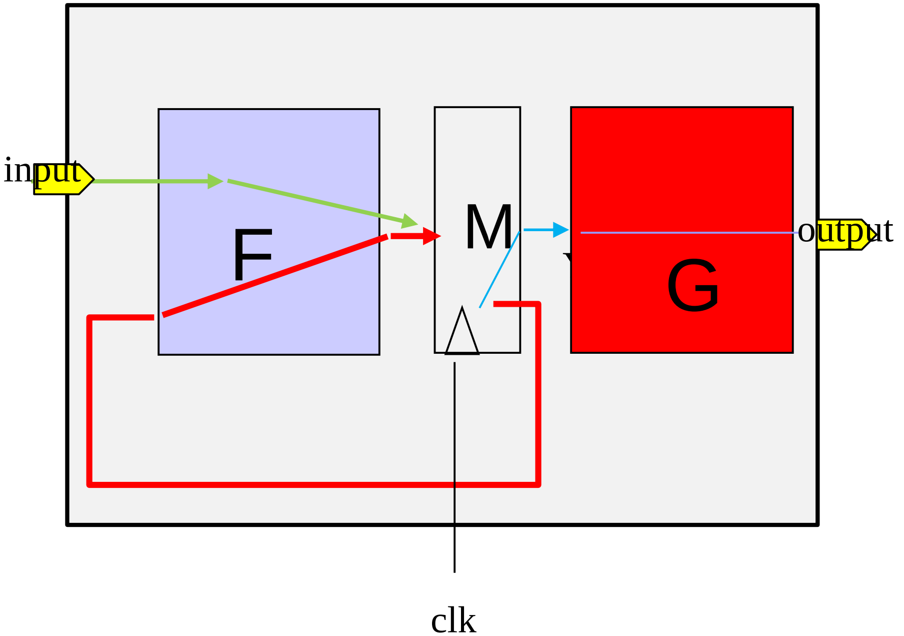
MEALY

chemin	Délai critique
clk to clk	
clk to output	
Input to clk	
Input to output	

MOORE

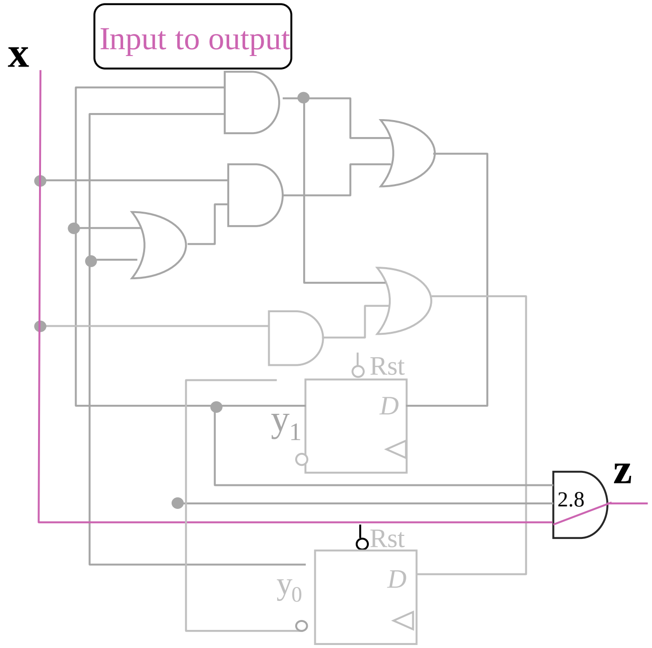
chemin	Délai critique
clk to clk	
clk to output	
Input to clk	

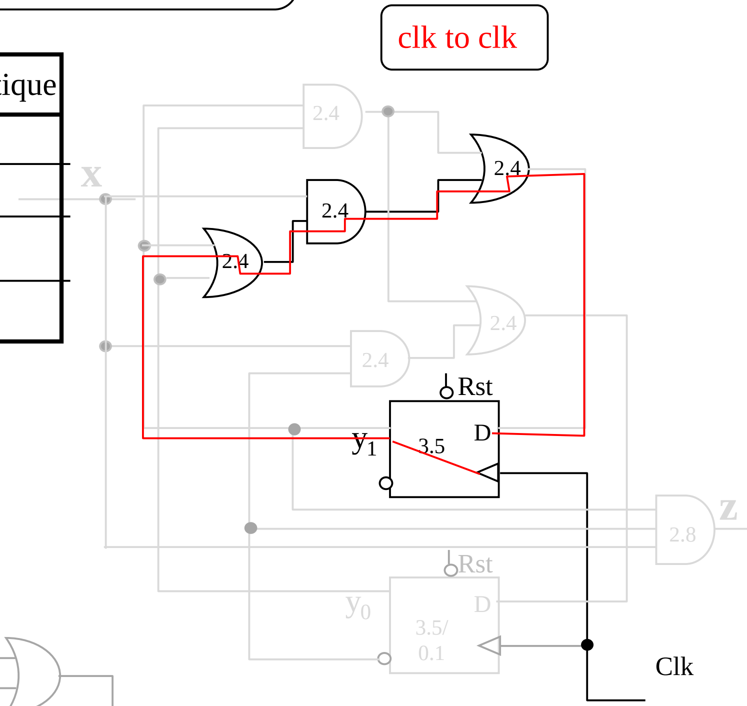


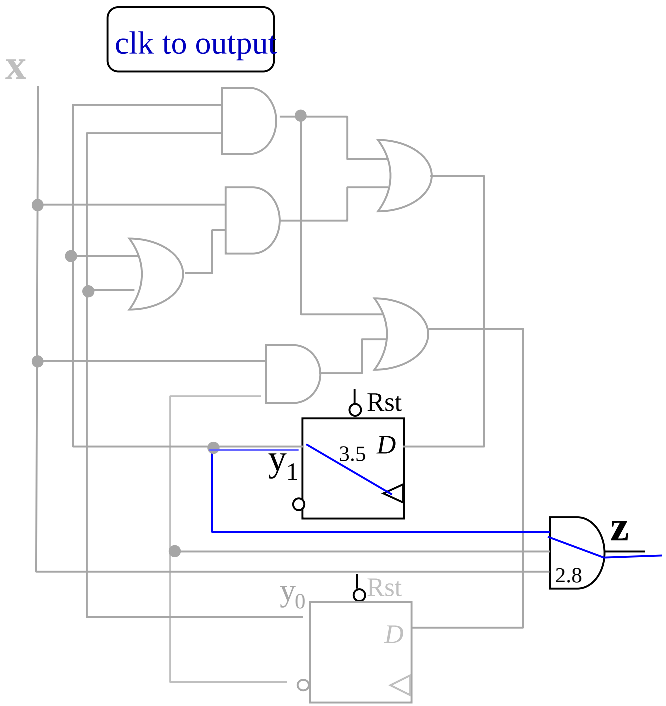


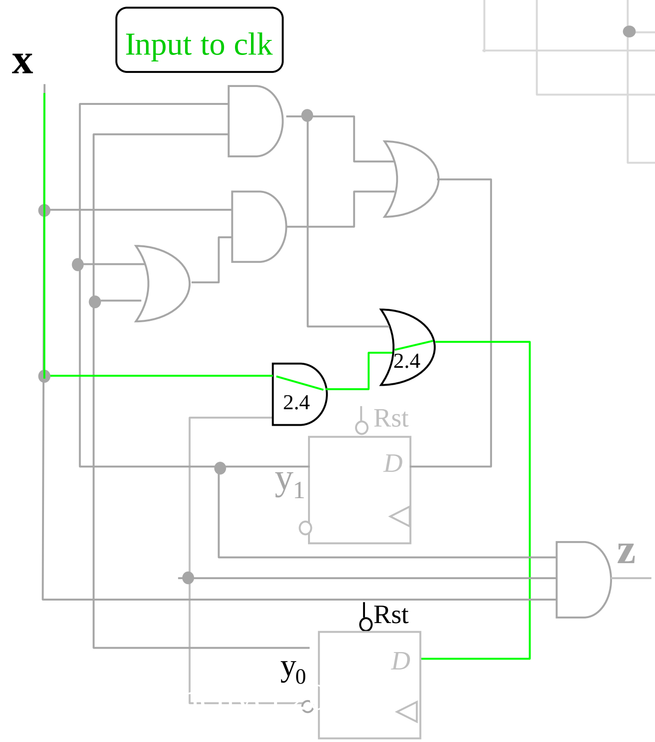
Illustration(Mealy)

chemin	Délai critique
clk to clk	10.7 ns
Input to clk	4.8 ns
clk to output	6.3 ns
Input to output	2.8 ns

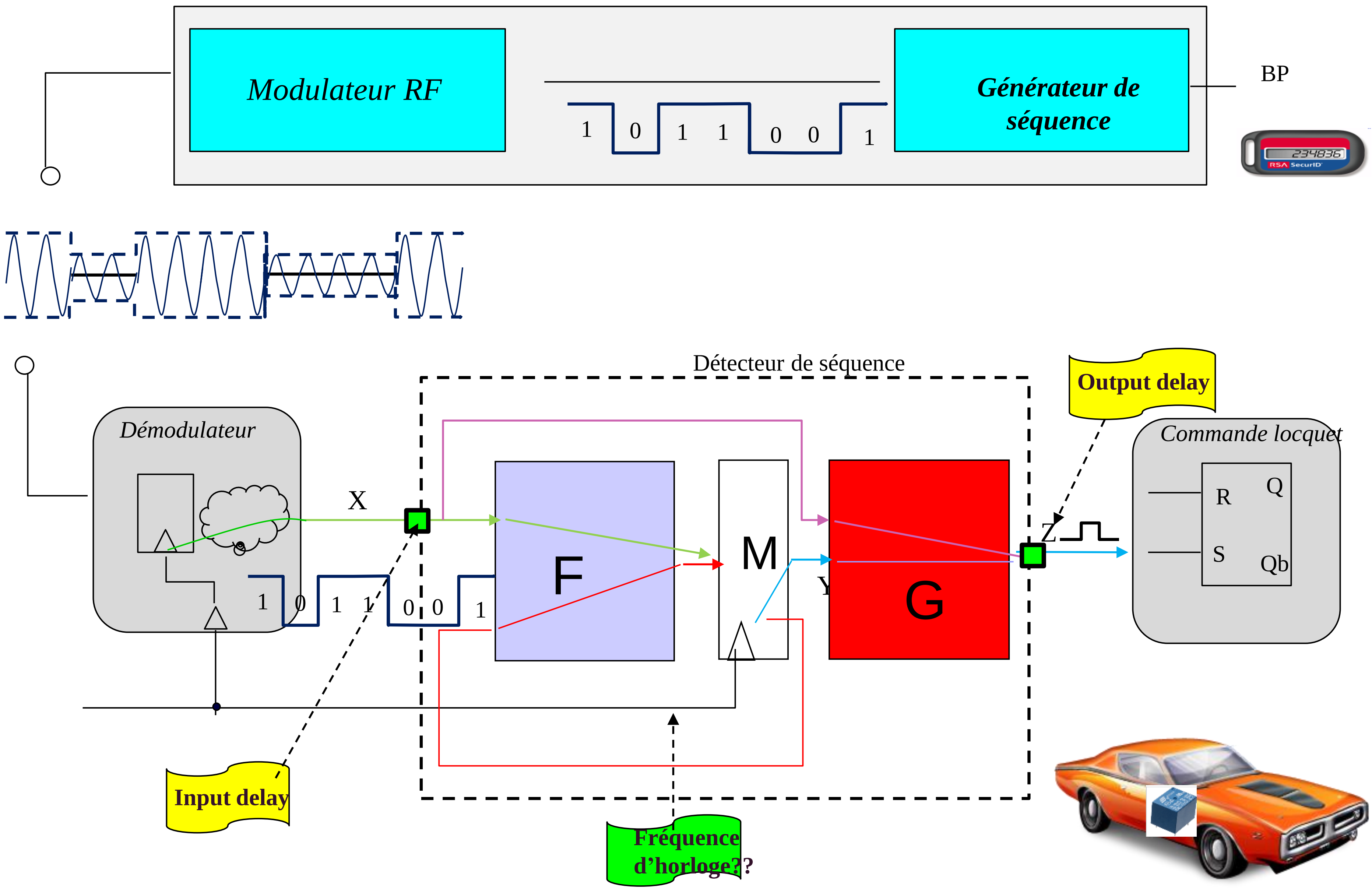




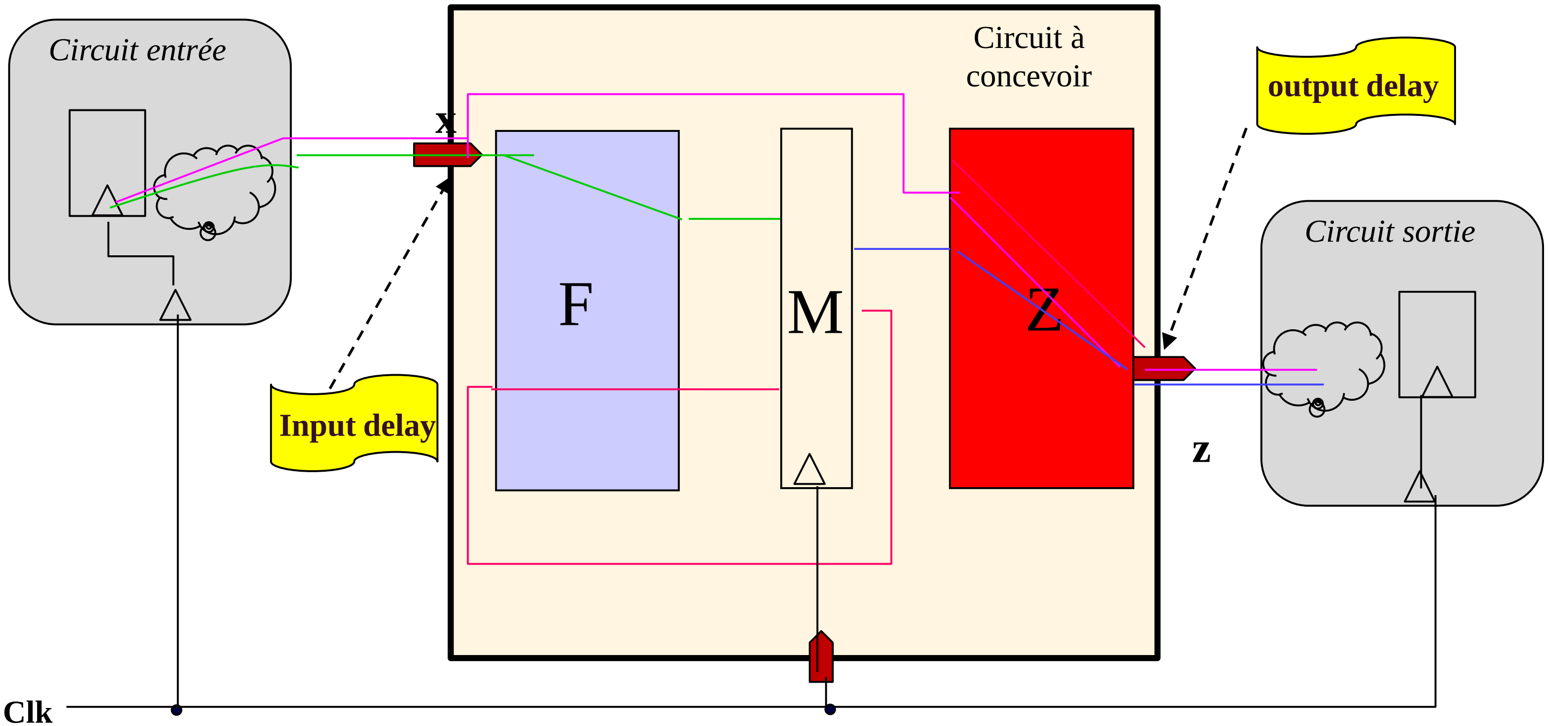




Contraintes du design



Période minimale/Fréquence maximale d'horloge

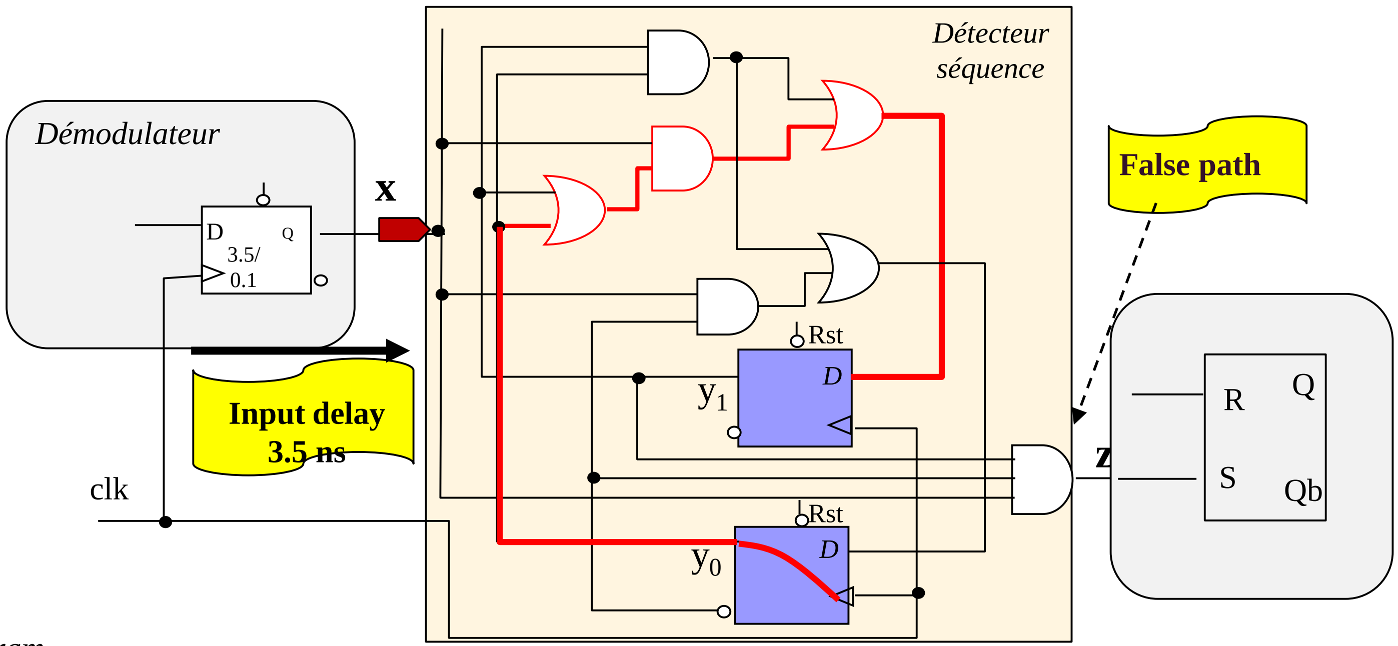


chemin	Délai critique
clk to clk	
clk to output	
Input to clk	
Input to output	

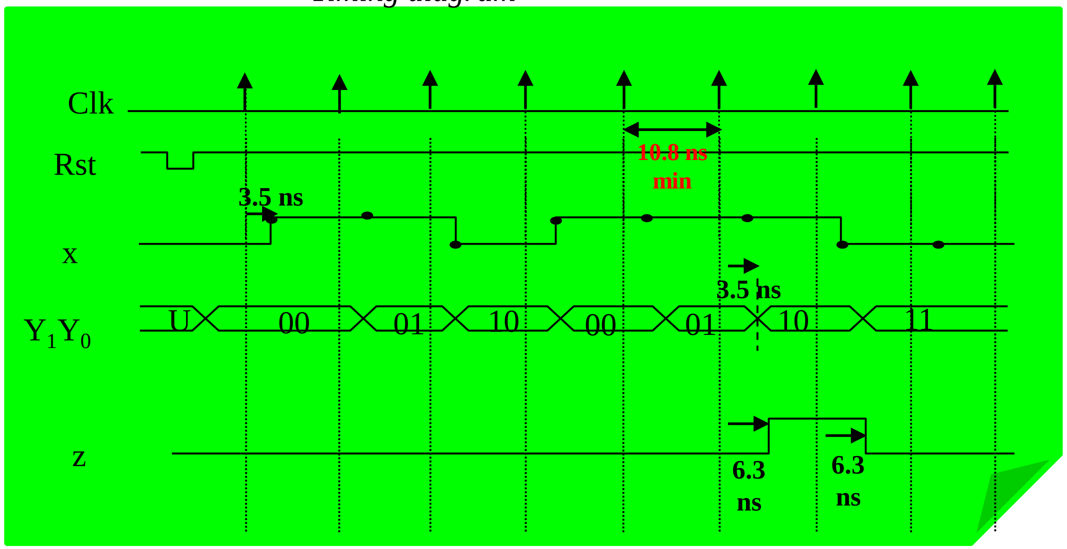
Max {
Input delay+input to clk+ tsetup
clk to clk+tsetup
Clk to output+output delay
Input delay inputto output+output delay[MEALY]
}

Illustration

chemin	Délai critique
clk to clk	10.7 ns
clk to output	6.3 ns
Input to clk	4.8 ns
Input to output	2.8 ns



Timing diagram



Static timing analyzeur

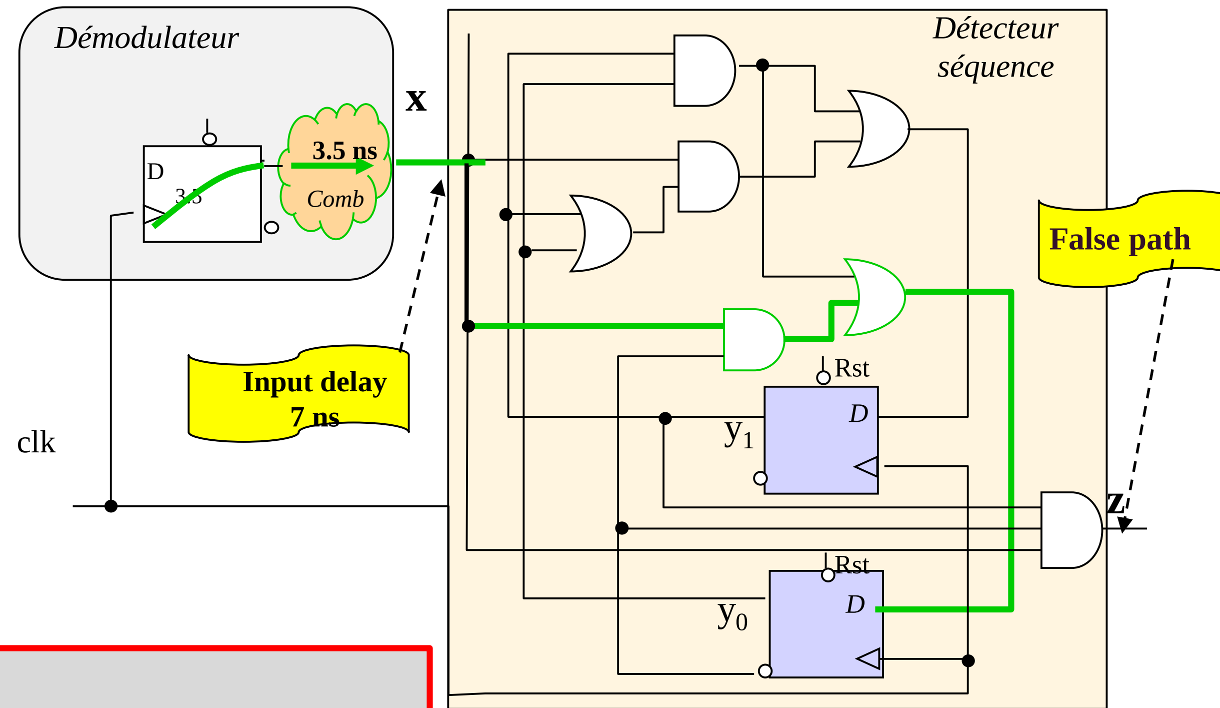
$T_{clk\ to\ clk} + T_{setup} = 10.8$ ns

Input delay+$T_{intoclk}$+T_{setup}=**8.4 ns**

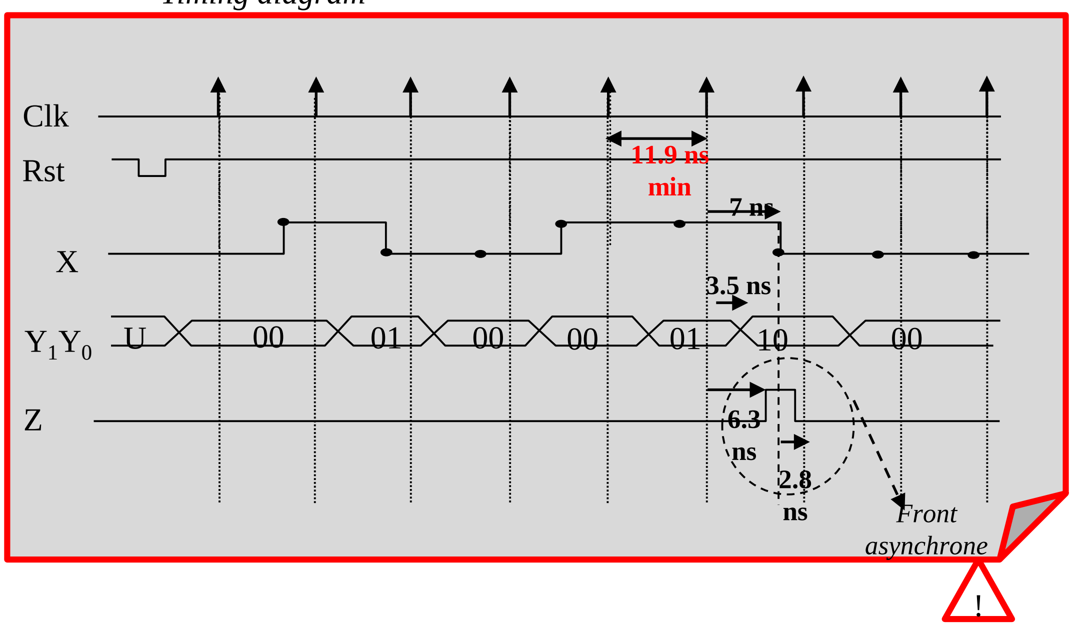
F_{max} = **92,5 Mhz**

Limite des machines de MEALY

chemin	Délai critique
clk to clk	10.7 ns
clk to output	6.3 ns
Input to clk	4.8 ns
Input to output	2.8 ns



Timing diagram



Static timing analyzeur

Clk to clk+Tsetup=10.8 ns

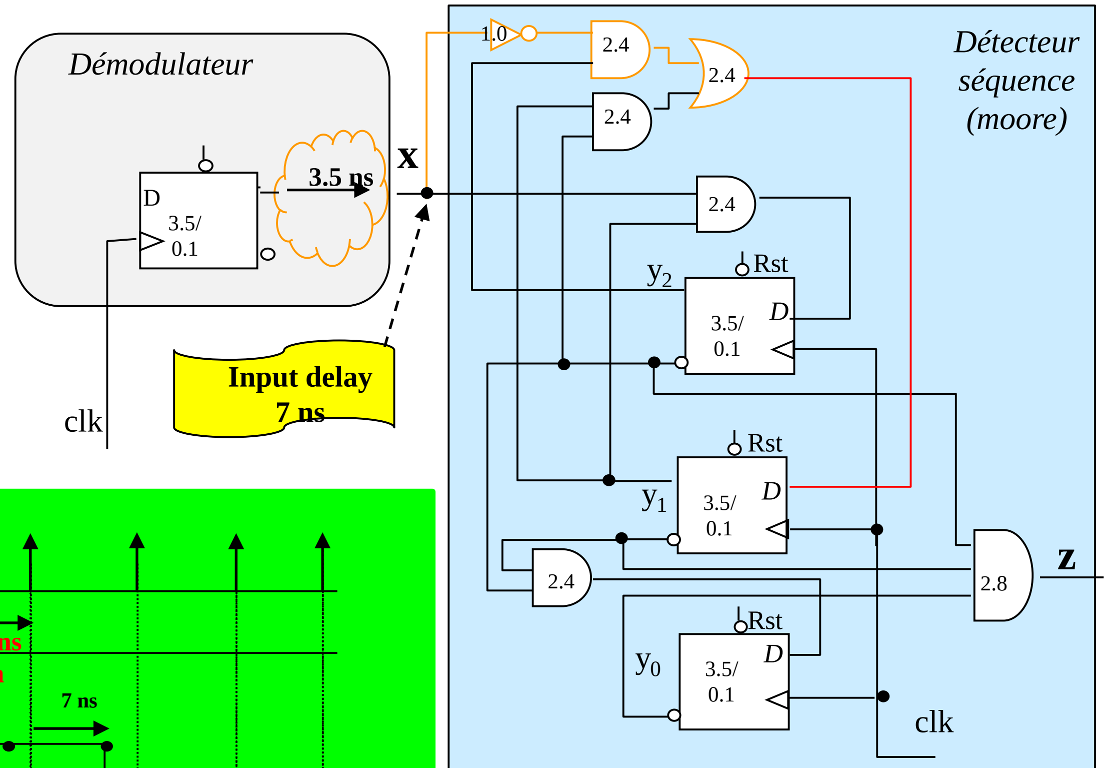
Input delay+T_{xaclk}+ T_{setup}= 11.9 ns

F_{max} =**84 Mhz**

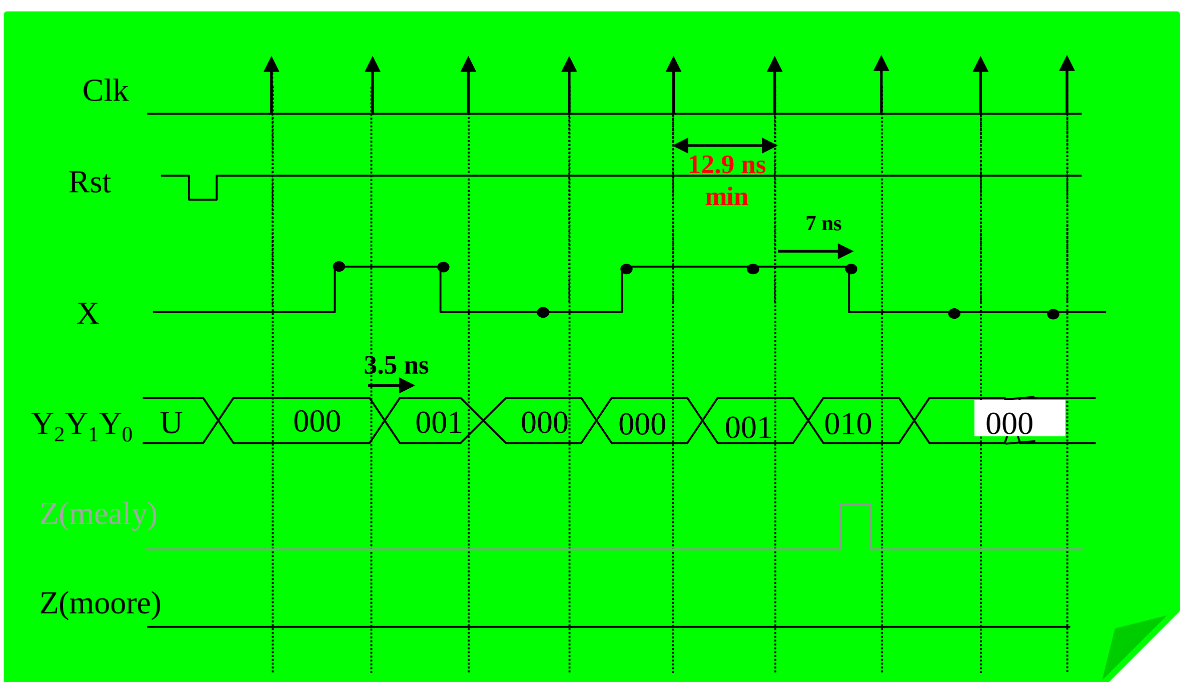
Analyse de timing (Moore)

Table des délais

chemin	Délai critique
clk à clk	8.3 ns
X à clk	5.8 ns
clk à Z	6.3 ns



Timing diagram



Static timing analyzeur

Cl→clk+tsetup=8.3+0.1=8.4 ns
Input delay+Xàclk+ T_{setup}= 12.9 **ns**

F_{max} =77.5 **Mhz**

Automates à états finis

A. Analyse des FSM

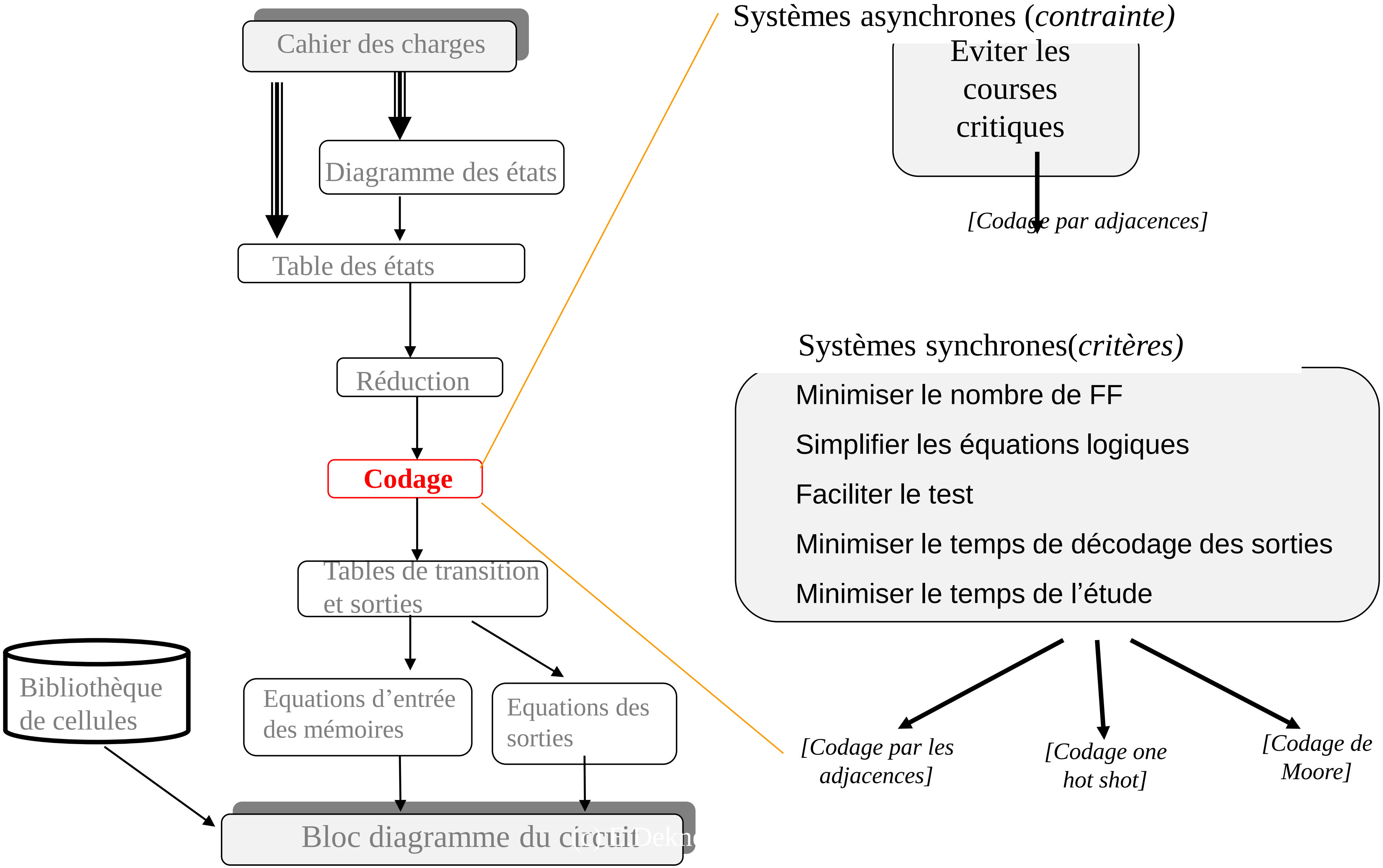
B. Synthèse des FSM

C. Analyse de timing

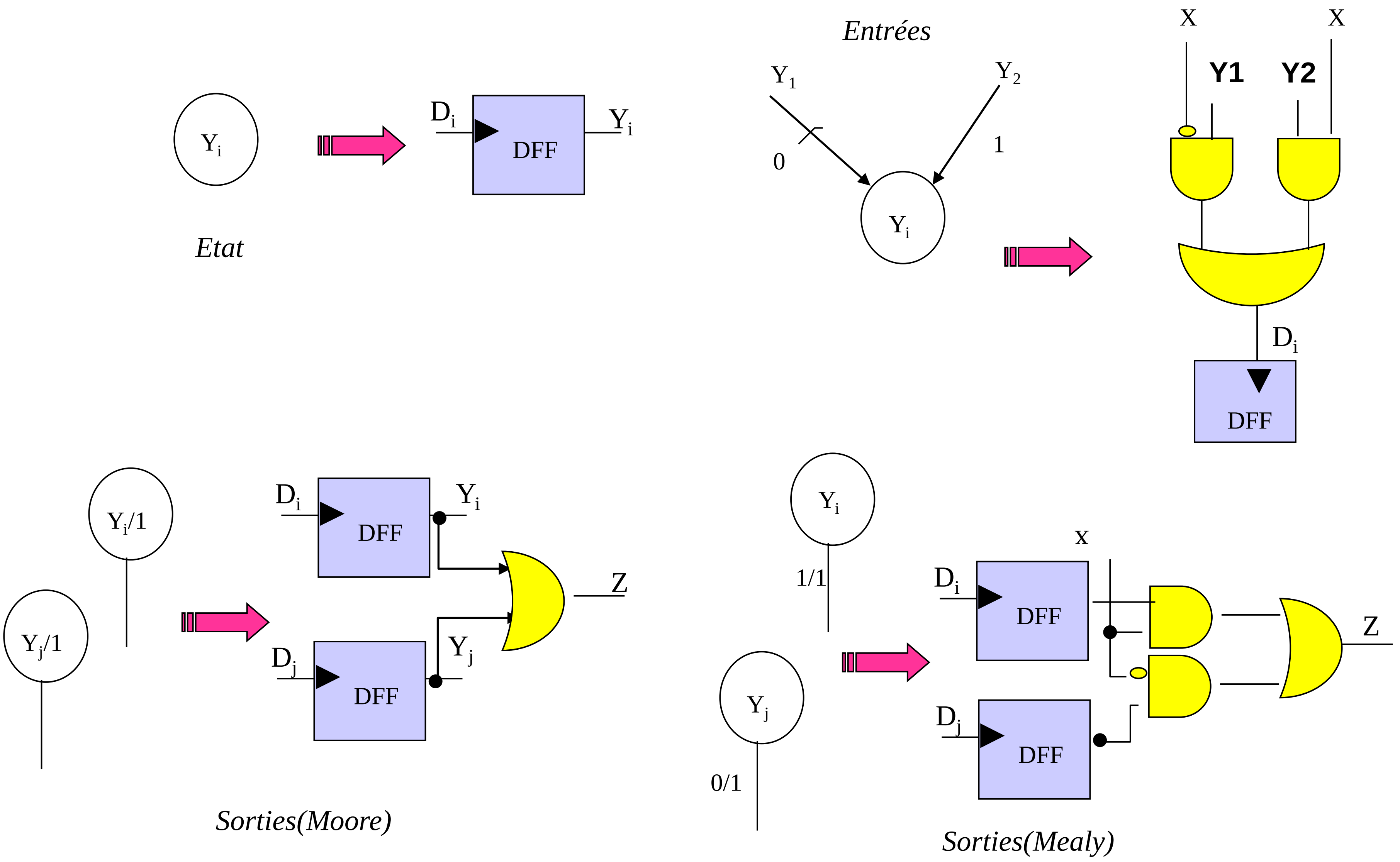
D. Codage des états

E. Réduction des machines séquentielles

Contraintes et critères



Codage une bascule/état



Illustration

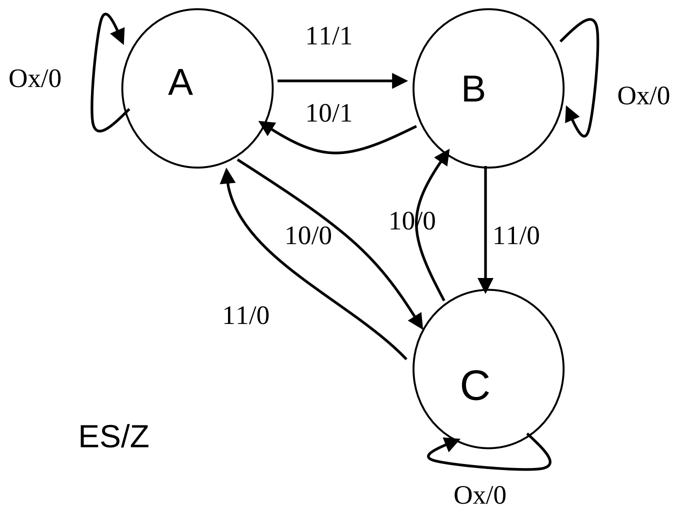
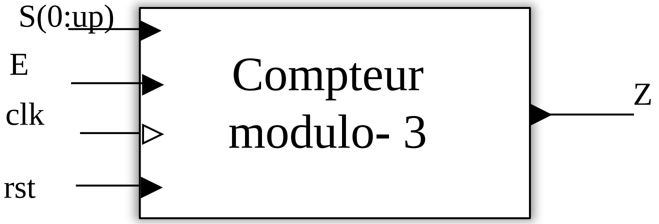
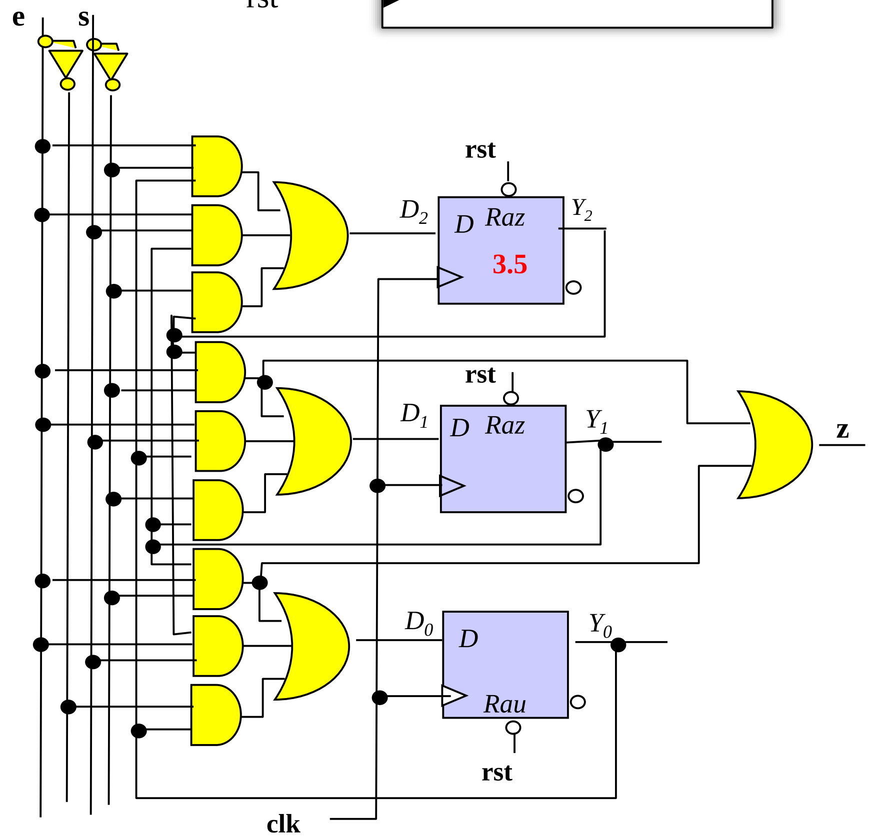


Diagramme des états

Symbole

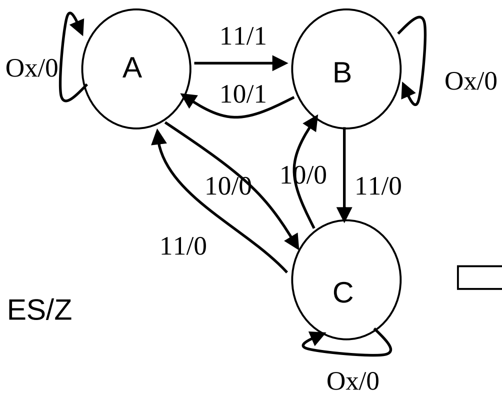




Bloc diagramme

Méthode traditionnelle

Diagramme des états



codage

	Y_2	Y_1	Y_0
A	0	0	1
B	0	1	0
C	1	0	0

Diagramme des transitions

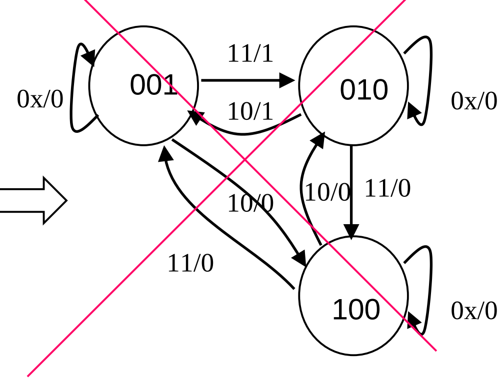


Table des transitions

E S / $Y_2\,Y_1\,Y_0$	0x	10	11
000	xxx/x	xxx/x	xxx/x
010	001/0	100/0	010/1
100	100/0	010/0	001/0
011	xxx/x	xxx/x	xxx/x
101 à 111	xxx/x	xxx/x	xxx/x

$Y_2^+\,Y_1^+\,Y_0^+/Z$

Table des excitation

E S / Y_1Y_0	0x $D_2D_1D_0$	10 $D_2D_1D_0$	11 $D_2D_1D_0$
000	xxx/x	xxx/x	xxx/x
010	001/0	100/0	010/1
100	100/0	010/0	
011	xxx/x	xxx/x	xxx/x
101 à 111	xxx/x	xxx/x	xxx/x

Equations des états suivants

$$D_2 = Y_2.\bar{e} + Y_1.s.e + Y_0.e.\bar{s}$$

$$D_1 = Y_1.\bar{e} + Y_0.s.e + Y_2.e.\bar{s}$$

$$D_0 = Y_0.\bar{e} + Y_2.s.e + Y_1.e.\bar{s}$$

Equation de la sortie

$$Z = Y_1.e.\bar{s} + Y_0.s.e$$

Impact du codage binaire

Table d'états

Y \ X	0	1
Q_0	Q_0	Q_1
Q_1	Q_0	Q_2
Q_2	Q_2	Q_3
Q_3	Q_2	Q_3

Q_0	0 0
Q_1	1 1
Q_2	0 1
Q_3	1 0

Q_0	0 0
Q_1	0 1
Q_2	1 1
Q_3	1 0

Tables de transition

Y Y_1Y_0 \ X	0	1	0 D_1D_0	1 D_1D_0
0 0	00	11	0 0	1 1
1 1	00	01	0 0	0 1
0 1	01	10	0 1	1 0
1 0	01	10	0 1	1 0

Y Y_1Y_0 \ X	0	1	0 D_1D_0	1 D_1D_0
0 0	00	01	0 0	0 1
0 1	00	11	0 0	1 1
1 1	11	10	1 1	1 0
1 0	11	10	1 1	1 0

Equations

D_1

D_0

$$D_1 = \overline{Y_1}x + \overline{Y_0}x$$

$$D_0 = \overline{Y_1}\,\overline{Y_0}x + \overline{Y_1}Y_0\overline{x} + Y_1Y_0x + Y_1\overline{Y_0}\,\overline{x}$$

D_1

D_0

$$D_1 = Y_0x + Y_1$$

$$D_0 = Y_1\overline{x} + \overline{Y_1}x$$

Y_1Y_0 \ X	0	1
00	0	1
01	0	1
11	1	0
10	1	0

Codage binaire naturel

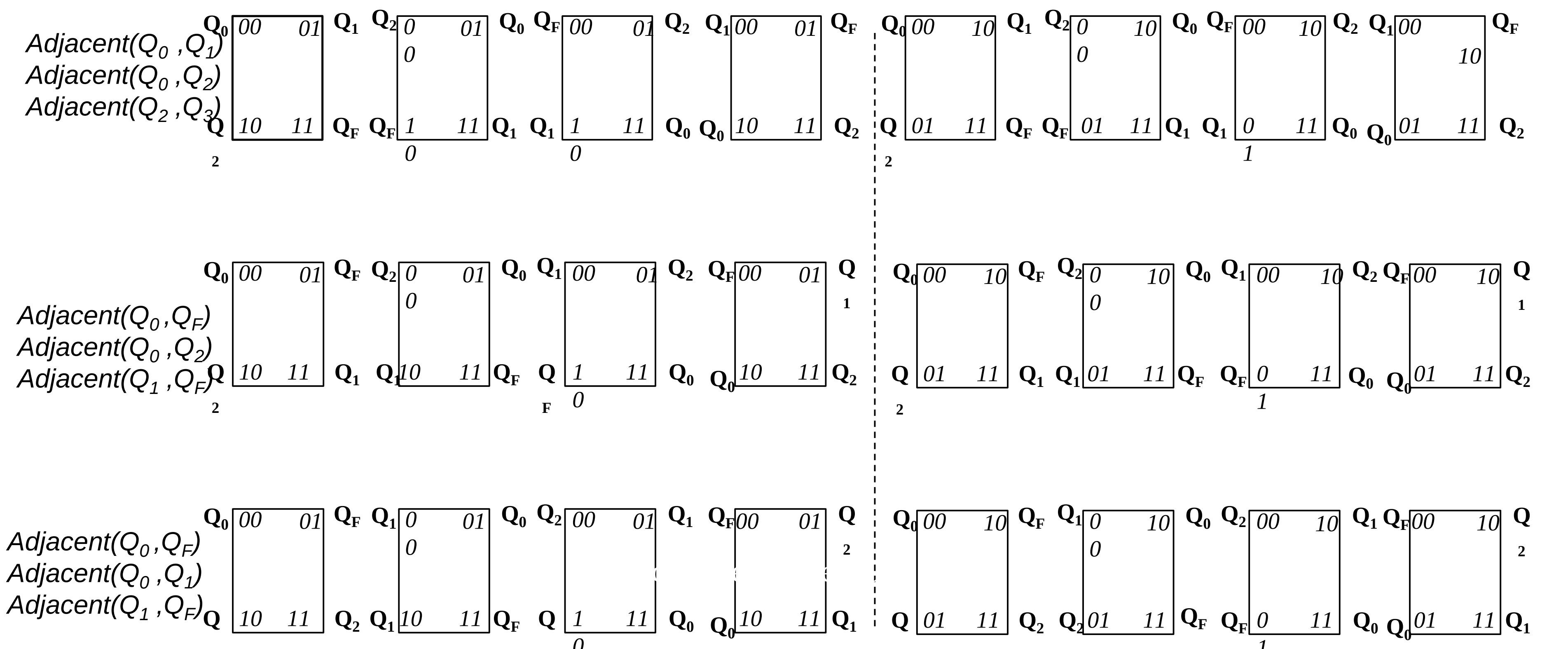
N	n	Nbre de codes total $A_{2^n}^N = \frac{(2^n)!}{(2^n - N)!}$	Nbre de codes ≠ $\frac{A_{2^n}^N}{n! 2^n} = \frac{(2^n - 1)!}{n!(2^n - N)!}$
2	1	2	1
3	2	24	3
4	2	24	3
5	3	6720	140
6	3	20160	420
7	3	40320	840
8	3	40320	840
9	4	4.10^9	10.810.800
..	..	…	…
16	5	2.10^{13}	5.10^{10}

Codage du détecteur

Table des états symboliques

Y \ X	**0**	**1**
Q_0	$Q_0/0$	$Q_1/0$
Q_1	$Q_0/0$	$Q_2/0$
Q_2	$Q_0/0$	$Q_F/1$
Q_F	$Q_F/0$	$Q_F/0$

24 affectations
3 codes différents



Règles heuristiques

+

I. (a) Chercher les lignes de la table d'états qui ont des états suivants identiques. Coder ces lignes par des codes adjacents. Si possible, les états suivants de ces lignes recevront des codes adjacents

(b) Chercher les lignes qui ont les mêmes états suivants mais dans un ordre différent. Choisir des codes adjacents pour ces lignes si on peut coder les états suivants par des codes adjacents.

priorité

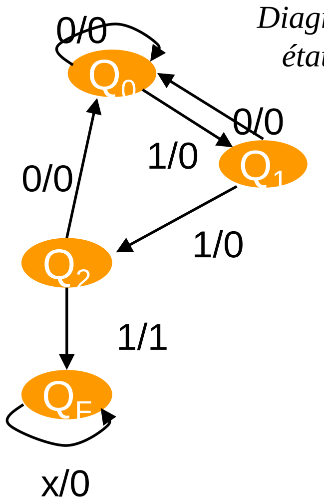
(c) Des lignes avec quelques états suivants identiques recevront des codes adjacents. On considère tout d'abord les lignes ayant le plus de colonnes identiques.

II. Les états suivants d'une ligne recevront des codes adjacents.

III. Les codages sont tels qu'ils simplifient les tables de sortie.

-

Application règle I au détecteur



Diagramme/table des états symboliques

Y \ X	**0**	**1**
$\mathbf{Q_0}$	Q_0/0	Q_1/0
$\mathbf{Q_1}$	Q_0/0	Q_2/0
$\mathbf{Q_2}$	Q_0/0	Q_F/1
$\mathbf{Q_F}$	Q_F/0	Q_F/0

REGLE Ia Chercher les lignes de la table d'états qui ont des états suivants identiques. Coder ces lignes par des codes adjacents. Si possible, les états suivants de ces lignes recevront des codes adjacents

Non applicable

REGLE Ib Chercher les lignes qui ont les mêmes états suivants mais dans un ordre différent. Choisir des codes adjacents pour ces lignes si on peut coder les états suivants par des codes adjacents.

Non applicable

Adjacences

Q_0 et Q_1
Q_0 et Q_2
Q_1 et Q_2
Q_2 et Q_f

REGLE Ic Des lignes avec quelques états suivants identiques recevront des codes adjacents. On considère tout d'abord les lignes ayant le plus de colonnes identiques.

Application règle II au détecteur

Table des états symboliques

Y \ X	**0**	**1**
$\mathbf{Q_0}$	$Q_0/0$	$Q_1/0$
$\mathbf{Q_1}$	$Q_0/0$	$Q_2/0$
$\mathbf{Q_2}$	$Q_0/0$	$Q_F/1$
$\mathbf{Q_F}$	$Q_F/0$	$Q_F/0$

Adjacences souhaitées

(issues règle I)

Q_0 et Q_1
Q_0 et Q_2
Q_1 et Q_2
Q_2 et Q_f

Q_0 Q_1

Adjacent(Q_0 ,Q_1)
Adjacent(Q_0 ,Q_2)
Adjacent(Q_2 ,Q_F)

Q_2 Q_F

Sol 1

Q_0 Q_1

Adjacent(Q_0 ,Q_1)
Adjacent(Q_1 ,Q_2)
Adjacent(Q_2 ,Q_F)

Q_F Q_2

Sol 2

REGLE II Les états suivants d'une ligne recevront des codes adjacents.

Adjacences retenues(sol 1)

$$\left.\begin{array}{l} Q_0 \text{ et } Q_1 \\ Q_0 \text{ et } Q_2 \end{array}\right\} \text{Règle II}$$

Q_2 et Q_f

Affectations

Q_0: 00
Q_1: 01
Q_2: 10
Q_F: 11

Equations du détecteur de séquence

Adjacent(Q_0 ,Q_1)
Adjacent(Q_0 ,Q_2)
Adjacent(Q_2, Q_f)

Affectation 1A

Q_0: 00
Q_1: 01
Q_2: 10
Q_F: 11

$J_1 = x y_0$
$K_1 = \overline{x}\,\overline{y}_0$
$J_0 = x$
$K_0 = \overline{y}_1$
$z = x y_1 \overline{y}_0$

Gate Input Cost:
2+2+3=7

Affectation 1B

Q_0: 11
Q_1: 01
Q_2: 10
Q_F: 00

$J_1 = y_0$
$K_1 = x$
$J_0 = \overline{x} y_1$
$K_0 = x\,\overline{y}_1$
$z = x y_1 \overline{y}_0$

Permutation(Q_0, Q_F)

Affectation 1C

Q_0: 11
Q_1: 10
Q_2: 01
Q_F: 00

$J_1 = \overline{x} y_0$
$K_1 = x\overline{y}_0$
$J_0 = \overline{x}$
$K_0 = \overline{y}_1$
$z = x\overline{y}_1 y_0$

Permutation(Q_1, Q_2)

(c) E.Dekneuvel

Adjacent(Q_0 ,Q_1)
Adjacent(Q_2 ,Q_F)

Affectation n°2

Q_0: 00
Q_1: 01
Q_2: 11
Q_F: 10

$J_1 = x y_0$
$K_1 = \overline{x} y_0$
$J_0 = x\overline{y}_1$
$K_0 = \overline{x} + y_1$
$z = x y_1 y_0$

Gate Input Cost
2+2+2+2+3=11

Non respect regle II

Adjacent(Q_0 ,Q_2)

Affectation n°3

Q_0: 00
Q_1:11
Q_2:01
Q_F:10

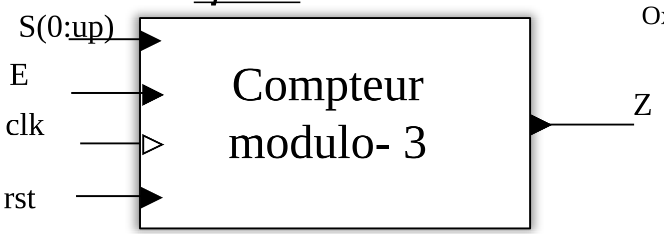
$J_1 = x$
$K_1 = y_0$
$J_0 = x\overline{y}_1$
$K_0 = \overline{x} + \overline{y}_1$
$z = x\overline{y}_1 y_0$

Gate Input Cost:
2+2+3=7

Non respect regle Ic

Illustration de la règle III

Symbole



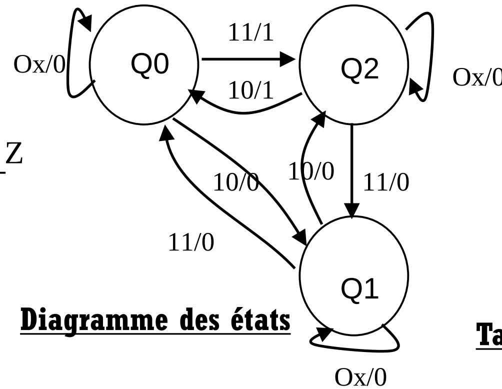


Diagramme des états

Table des états

E S / Y	0x	10	11
Q_0	Q_0 /0	Q_1/0	Q_2/1
Q_1	Q_1/0	Q_2/0	Q_0/0
Q_2	Q_2/0	Q_0/1	Q_1/0

Y^+/Z

III. Les codages sont tels qu'ils simplifient les tables de sortie.

Affectations((respect règle III)

Q_0: 01
Q_1:00
Q_2:10

(Q_0,Q_1)
(Q_1,Q_2)

Affectations (non respect regle III)

Q_0: 00
Q_1:10
Q_2:01

(Q_0,Q_1)
(Q_1,Q_2)

Table des transitions

E S / Y_1 Y_0	0x	10	11
01	01/0	00/0	10/1
00	00/0	10/0	01/0
10	10/0	01/1	00/0
11	xx/x	xx/x	xx/x

Y^+/Z

Table des transitions

E S / Y_1 Y_0	0x	10	11
00	00/0	10/0	01/1
10	10/0	01/0	00/0
01	01/0	00/1	10/0
11	xx/x	xx/x	xx/x

Y^+/Z

Equation de la sortie

$$\boxed{Z = Y_1.\bar{s}.e + Y_0.s.e}$$

.

Equation de la sortie(moins bon)

$$\boxed{Z = Y_0.\bar{s}.e + \bar{Y}_1\bar{Y}_0.s.e}$$

.

One-hot vs binaire

Equations des états suivants

$$D_2 = Y_2.\bar{e} + Y_1.s.e + Y_0.e.\bar{s}$$
$$D_1 = Y_1.\bar{e} + Y_0.s.e + Y_2.e.\bar{s}$$
$$D_0 = Y_0.\bar{e} + Y_2.s.e + Y_1.e.\bar{s}$$

Equation de la sortie

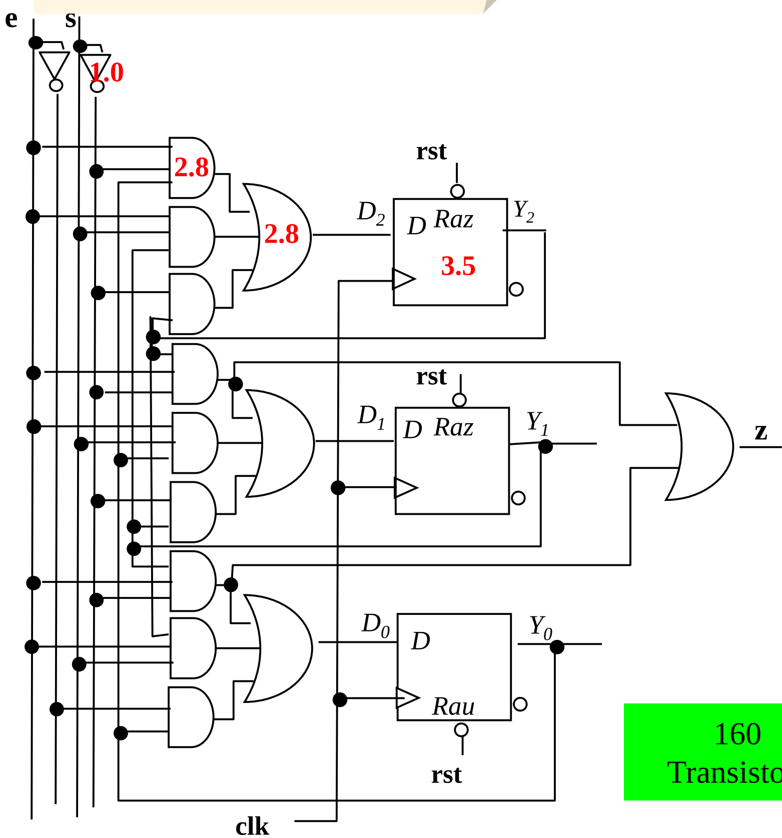
$$Z = Y_1.e.\bar{s} + Y_0.s.e$$

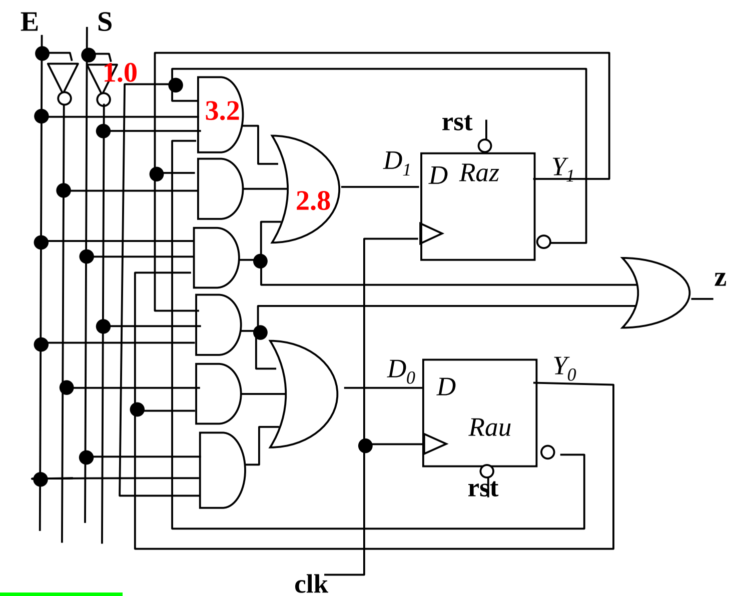
Equations des états suivants

$$D_1 = Y_1.\bar{e} + Y_0.s.e + \bar{Y_1}.\bar{Y_0}.e.\bar{s}$$
$$D_0 = Y_0.\bar{e} + Y_1.\bar{s}.e + \bar{Y_1}.e.s$$

Equation de la sortie

$$Z = Y_1.\bar{s}.e + Y_0.s.e$$





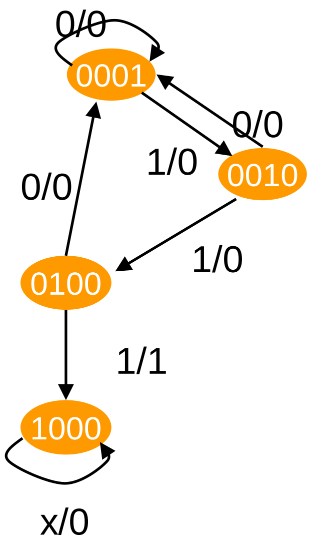
160
Transistors

112
Transistors

Tmin=input delai(3.5)+inouttoclk(2.*2.8+1.0)+Tsetup(0.1)= **10.2** ns

Tmin=input delay(3.5)+inputtoclk(2.8+3.2+1.0)+Tsetup(0.1)= **10.6** ns

Contre exemple

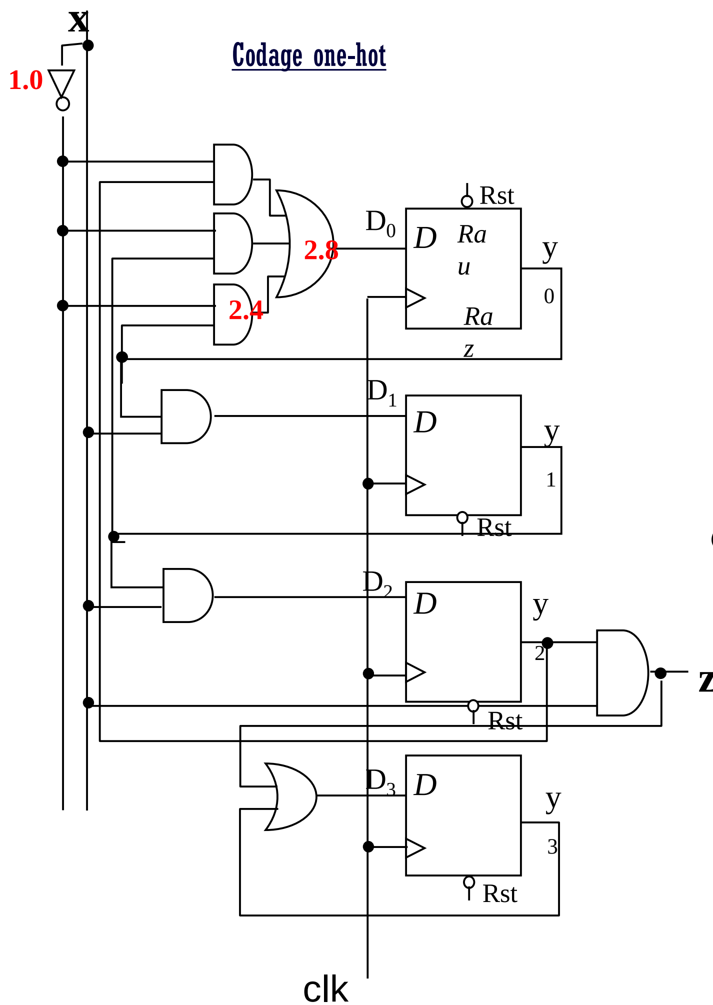


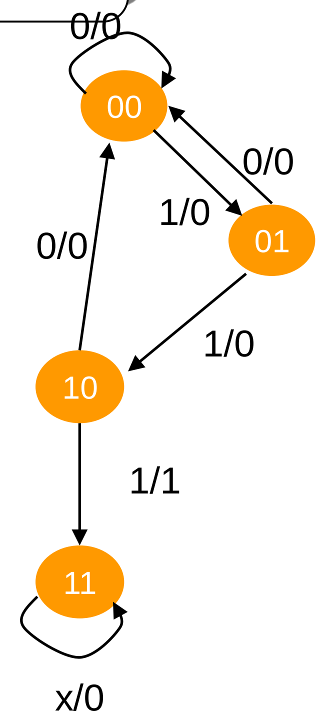
$D_0= y_0\overline{x}+ y_1\overline{x}+y_2\overline{x}$
$D_1=y_0x$
$D_2=y_1x$
$D_3=y_2x+y_3$

$Z=y_2x$

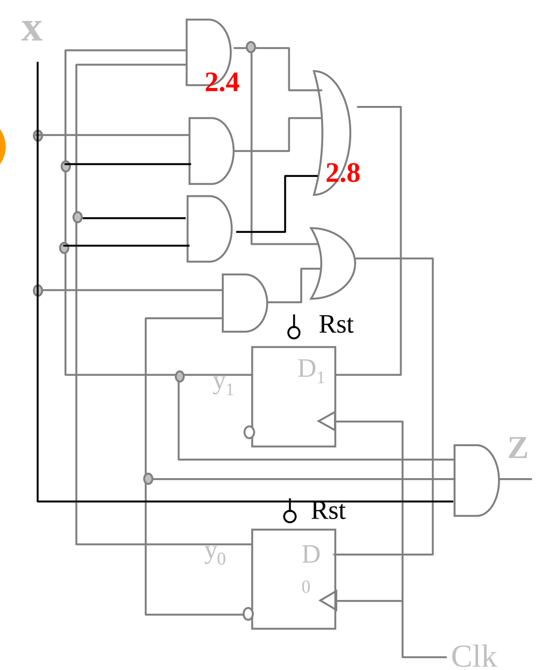
Equations FF/sorties

Codage one-hot





Codage binaire adjacent



$D_1=y_0y_1+xy_0+xy_1$
$D_0=x\underline{y_0}+y_1y_0$

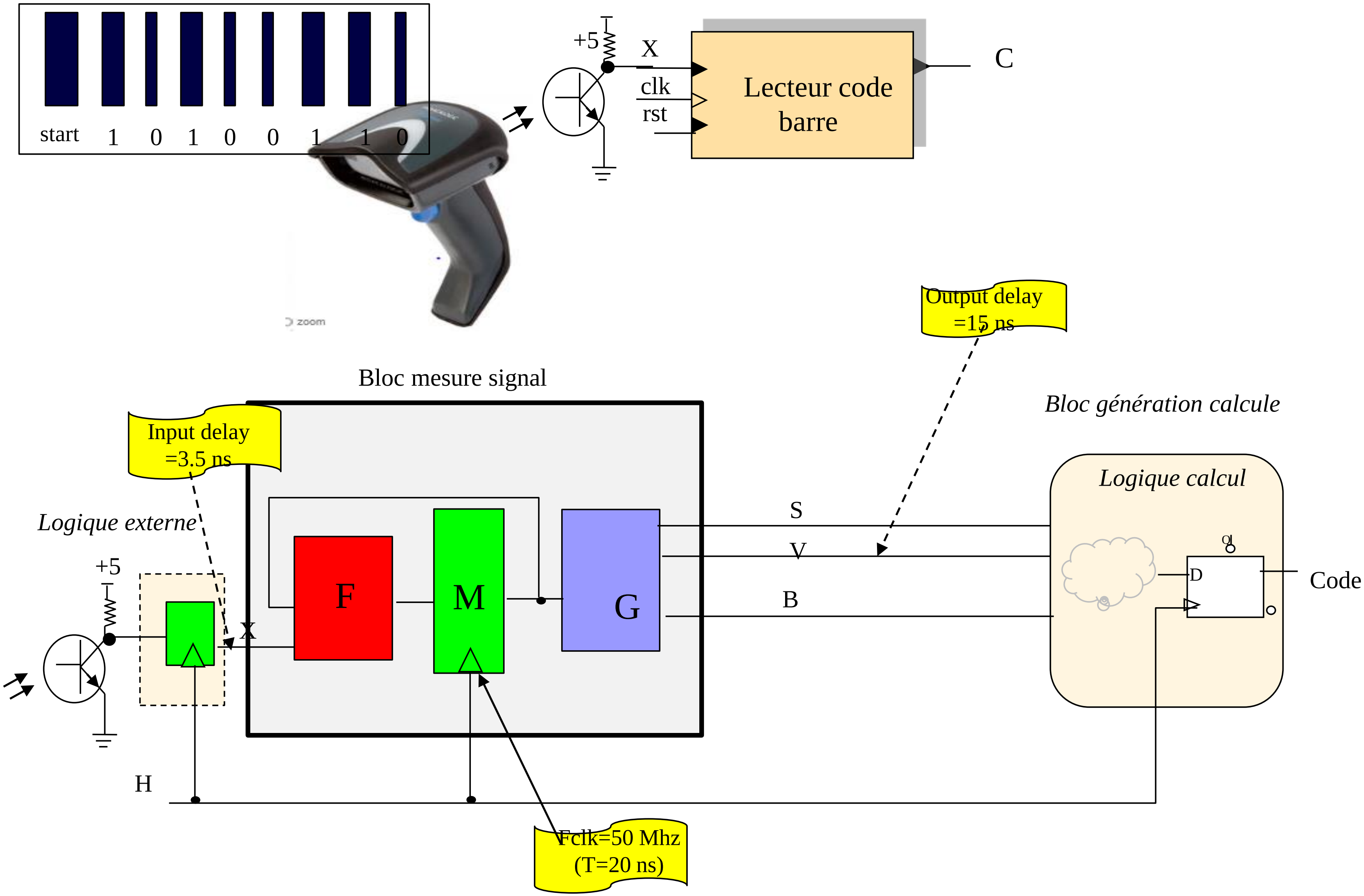
$z=xy_1y_0$

Equations FF/sorties

Tmin=input delay(3.5)+Inuttoclk(2.4+2.8+1.0)+Tsetup(0.1)= **9.8** ns
clk to Z=3.5+ 2.4=**5.9** ns

Tmin=Input delay(3.5)+inputtoclk(2.4+2.8)+Tsetup(0.1)= **8.8** ns
clk to Z= 3.5+2.8=**6.3** ns

Borne intéractive



Mesure d’un signal

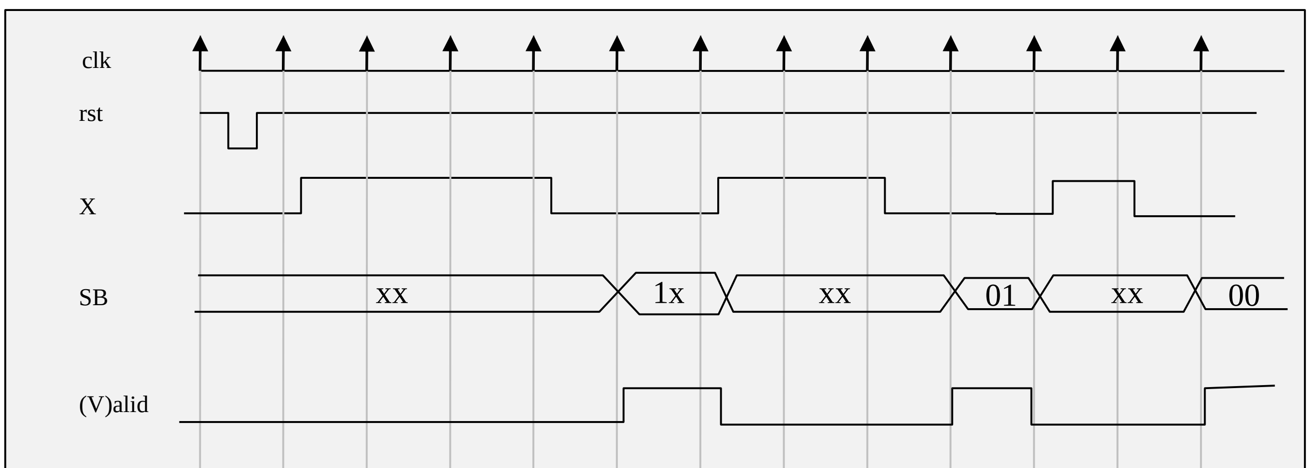
Cahier des charges

On souhaite réaliser un circuit capable de mesurer la largeur des impulsions en entrée. Le signal est synchronisé avec l’entrée d’horloge clk. Le rôle du circuit est de produire des sorties S_1S_0 dont la valeur détermine si l’impulsion est :

- courte (sorties SB = 00) : l’impulsion dure une période d’horloge: on est en présence d’un bit de donnée à 0
- moyenne (sorties SB = 01) : l’impulsion dure deux périodes d’horloge: on est en présence d’un bit de donnée à 1
- longue (sorties SB= 1x) : l’impulsion dure trois périodes d’horloge.: on est en présence d’une barre de start

On notera qu’une impulsion de *x* dure au maximum 3 périodes d’horloge. Il est donc **impossible** d’avoir à mesurer une impulsion sur 4 périodes d’horloge ou plus. Un signal *valid* permet de préciser l’intervalle de validation des sorties.

Les différentes impulsions sont **obligatoirement** séparées d’au **minimum** deux périodes d’horloge durant lesquelles le signal d’entrée est maintenu à zéro.



Description MOORE

Diagramme des états

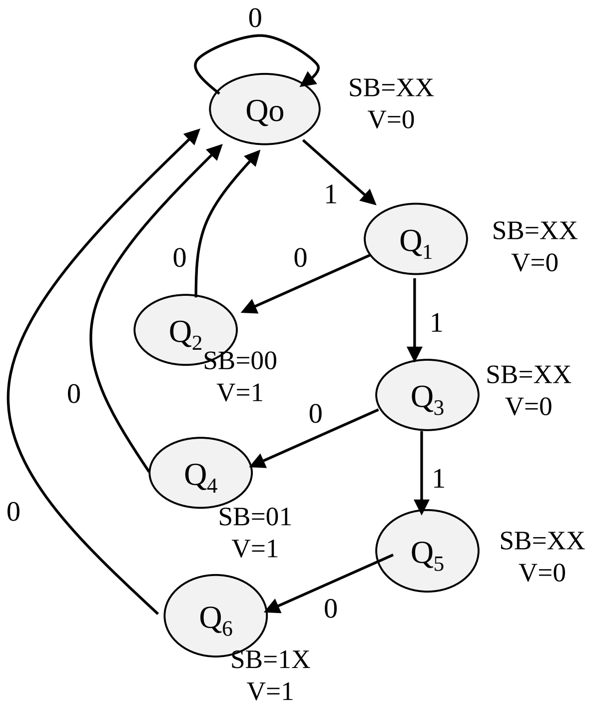


Table des états

Y	X=0	X=1	V S B
Q_0	Q_0	Q_1	0 - -
:Q_1	Q_2	Q_3	0 - -
Q_2	Q_0	-	1 0 0
Q_3	Q_4	Q_5	0 - -
Q_4	Q_0	-	1 0 1
Q_5	Q_6	-	0 - -
Q_6	Q_0	-	1 1 x

Codage binaire adjacences?

Table des états

Y	X=0	X=1	V S B
Q_0	Q_0	Q_1	0 - -
:Q_1	Q_2	Q_3	0 - -
Q_2	Q_0	-	1 0 0
Q_3	Q_4	Q_5	0 - -
Q_4	Q_0	-	1 0 1
Q_5	Q_6	-	0 - -
Q_6	Q_0	-	1 1 -

Affectations

Q_0:011
Q_1:111
Q_2:000
Q_3:100
Q_4:001
Q_5:101
Q_6:010

Table des transitions

$Y_2Y_1Y_0$	X=0	X=1	V S B
011	011	111	0 - -
111	000	100	0 - -
000	011	-	1 0 0
100	001	101	0 - -
001	011	-	1 0 1
101	010	-	0 - -
010	011	-	1 1 -
110	-	-	x x x

Equations des entrées FF

$$D_0 = \overline{Y_2} + \overline{Y_0}$$
$$D_1 = \overline{Y_2} + \overline{Y_1}.Y_0$$
$$D_2 = x$$

Equations des sorties

$$V = Y_1\overline{Y_0} + \overline{Y_2}\,\overline{Y_1}$$
$$S = Y_1$$
$$B = \overline{Y_2}Y_0$$

Analyse des performances

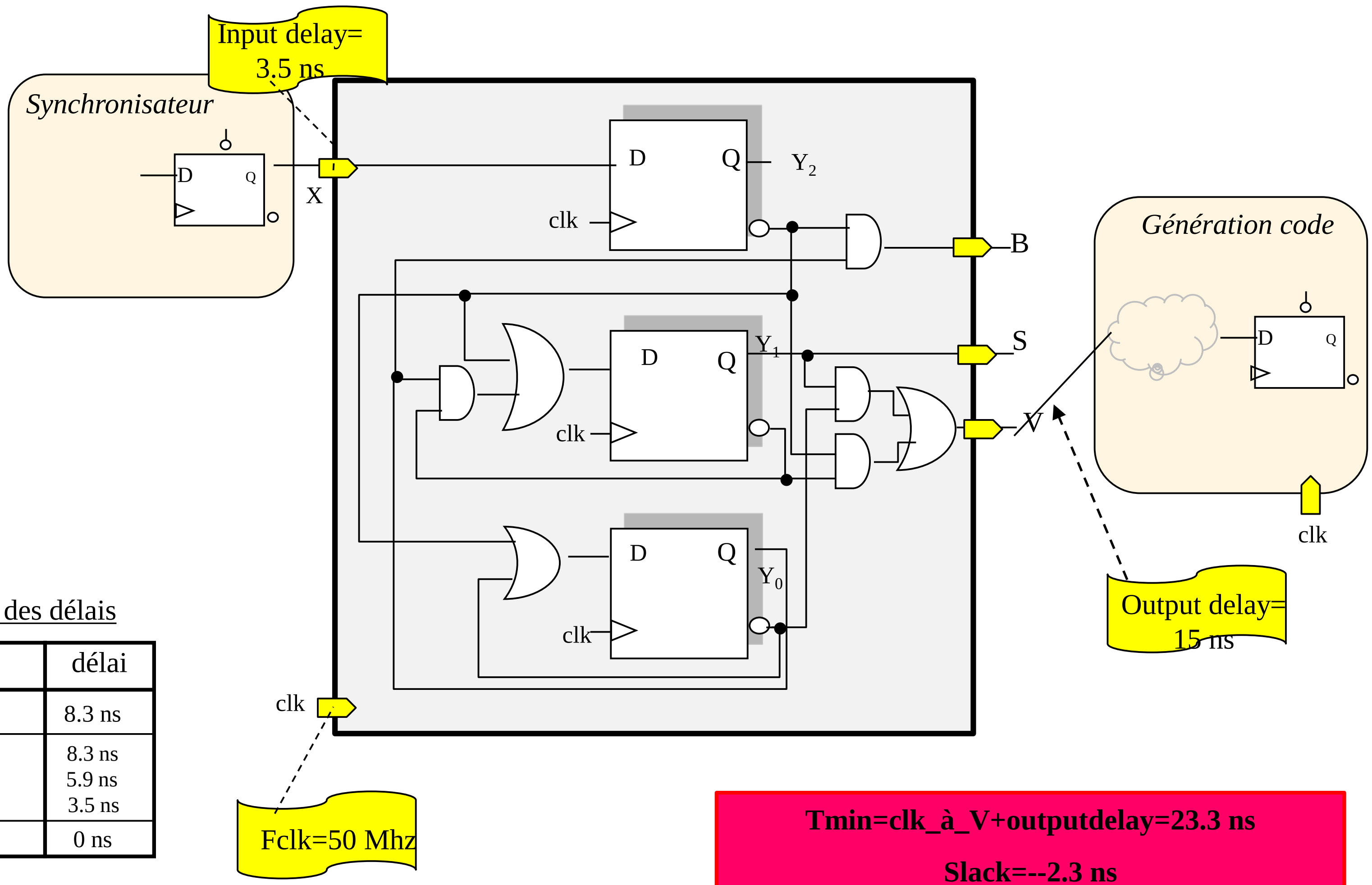


Table des délais

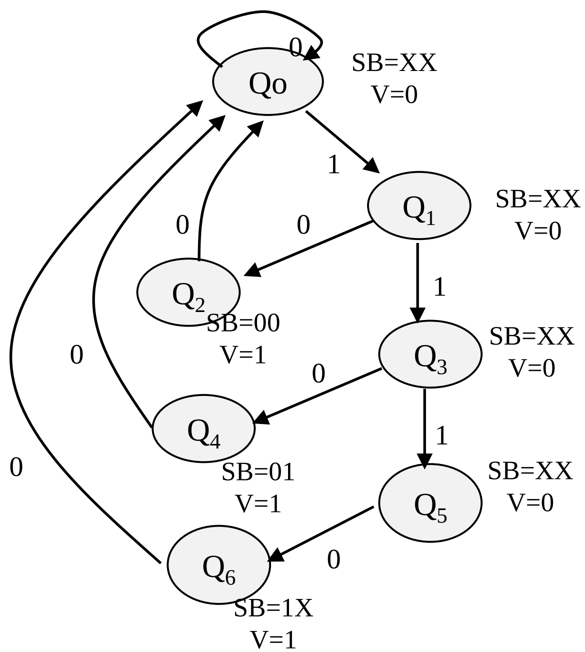
chemin	délai
clk à clk	8.3 ns
clk à V clk à B clk à S	8.3 ns 5.9 ns 3.5 ns
X à clk	0 ns

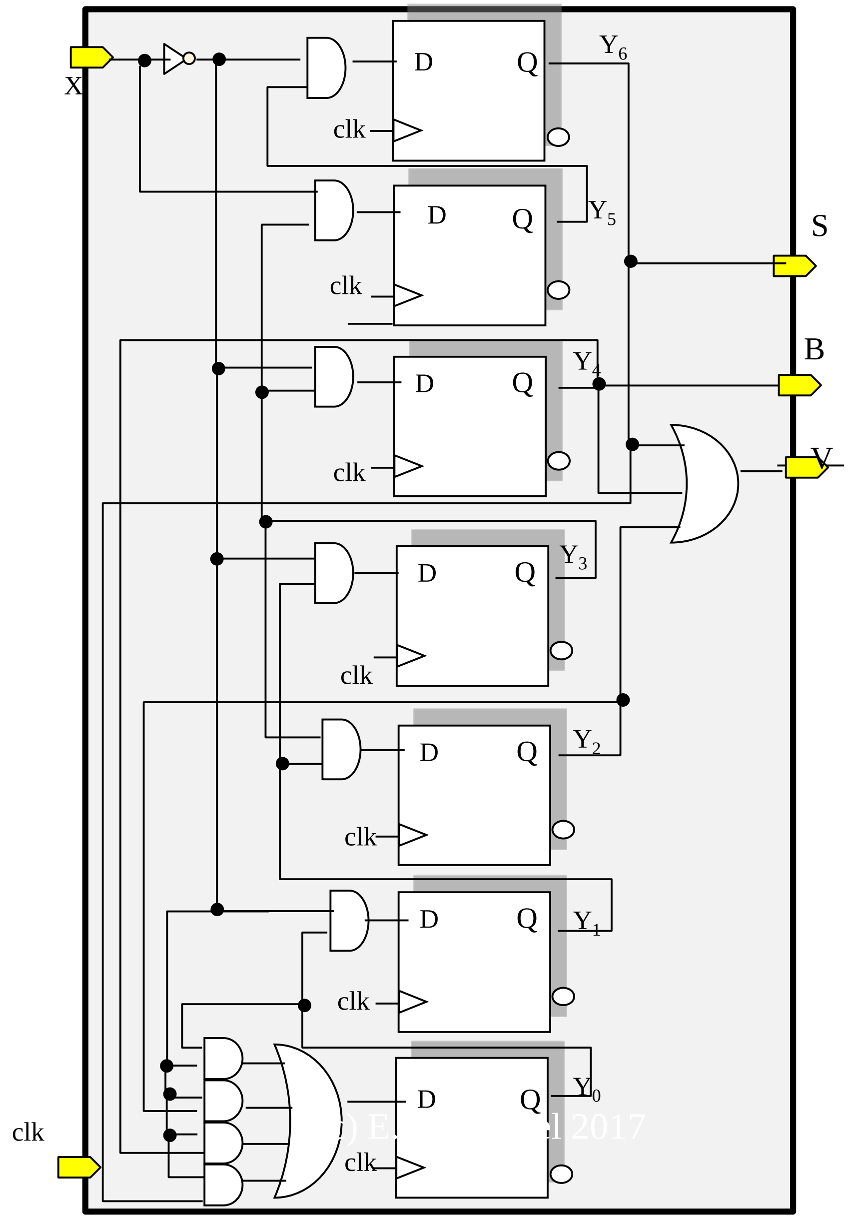
Tmin=clk_à_V+outputdelay=23.3 ns

Slack=--2.3 ns

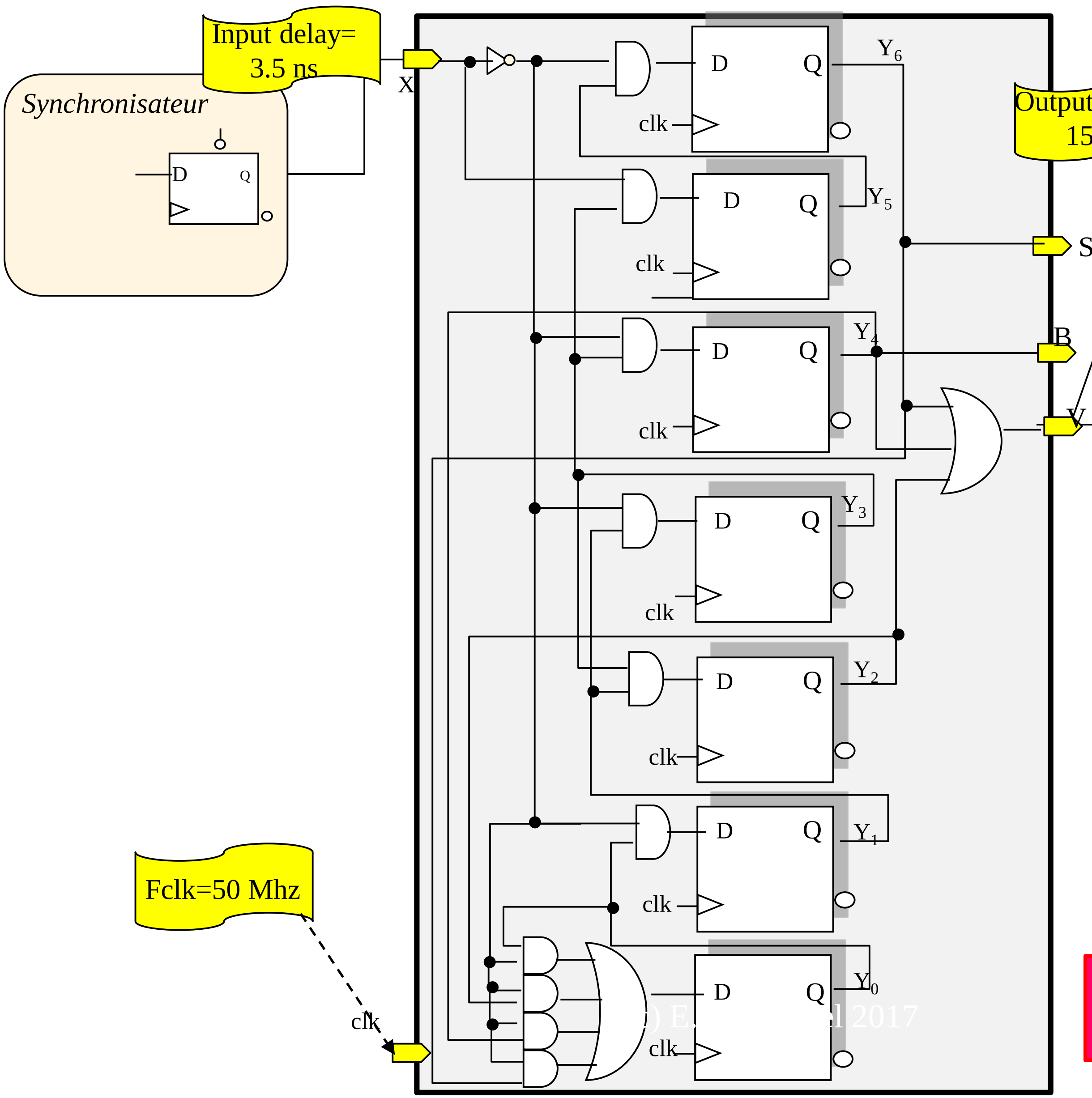
Codage one hot?

Diagramme des états





Analyse des performances



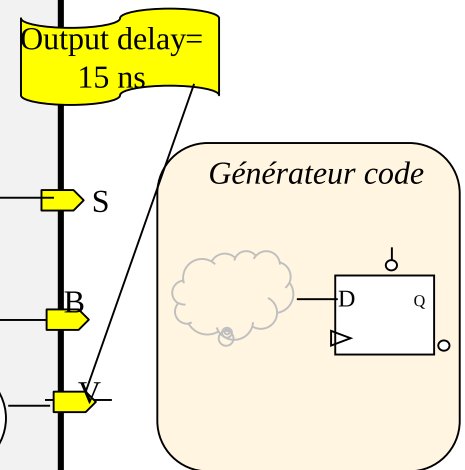


Table des délais

chemin	délai
clk à clk	9.1 ns
clk à V clk à B clk à S	6.3 ns 3.5 ns 3.5 ns
X à clk	.66 ns

Tmin=clk_à_V+outputdelay=21.3 ns

Slack=+-1.3 ns

Codage par les sorties(Moore)

Table des états

Y	X=0	X=1	V S B
Q_0	Q_0	Q_1	0 - -
Q_1	Q_2	Q_3	0 - -
Q_2	Q_0	-	1 0 0
Q_3	Q_4	Q_5	0 - -
Q_4	Q_0	-	1 0 1
Q_5	Q_6	-	0 - -
Q_6	Q_0	-	1 1 -

Affectations

Q_0:000
Q_1:001
Q_2:100
Q_3:010
Q_4:101
Q_5:011
Q_6:110

Table des transitions

$Y_2Y_1Y_0$	X=0	X=1	V S B
000	000	001	000
001	100	010	001
100	000	xxx	100
010	101	011	010
101	000	xxx	101
011	110	xxx	011
110	000	xxx	110
111	xxx	xxx	xxx

Equations des sorties(moore)

$$v = Y_2$$
$$S = Y_1$$
$$B = Y_0$$

Equations des FF

$$D_0 = \overline{Y_2}Y_1\overline{Y_0} + \overline{Y_0}.x$$
$$D_1 = Y_0.x + Y_1.X + Y_1.Y_0$$
$$D_2 = \overline{Y_2}Y_1\overline{x} + \overline{Y_2}Y_0\overline{x}$$

Analyse des performances

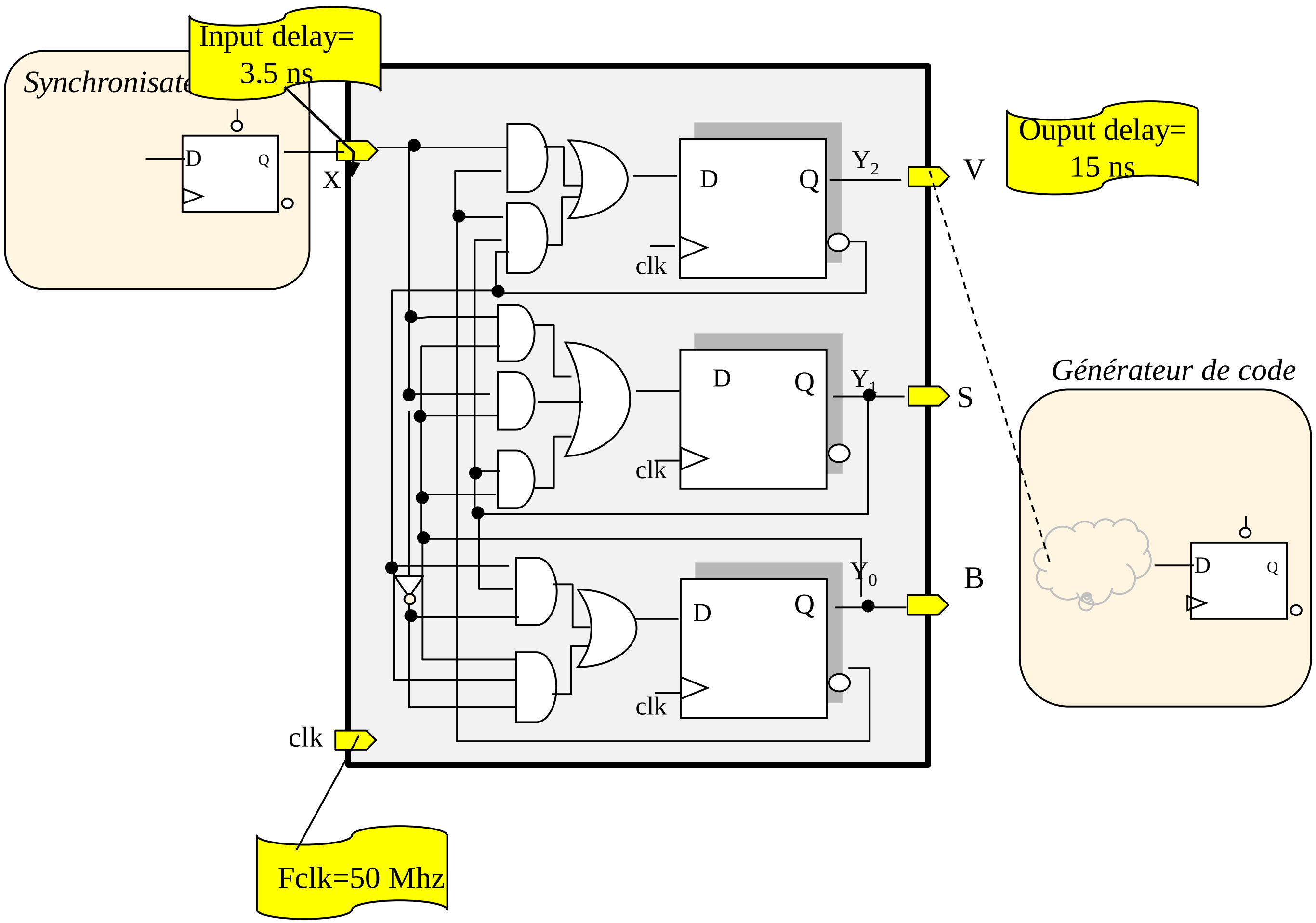


Table des délais

chemin	délai
clk à clk	8.7 ns
clk à Z	3.5 ns
X à clk	6.2 ns

Tmin=clk→Z+outputdelay=18.5 ns

Slack=+1.5 ns

Automates à états finis

A. Analyse des FSM

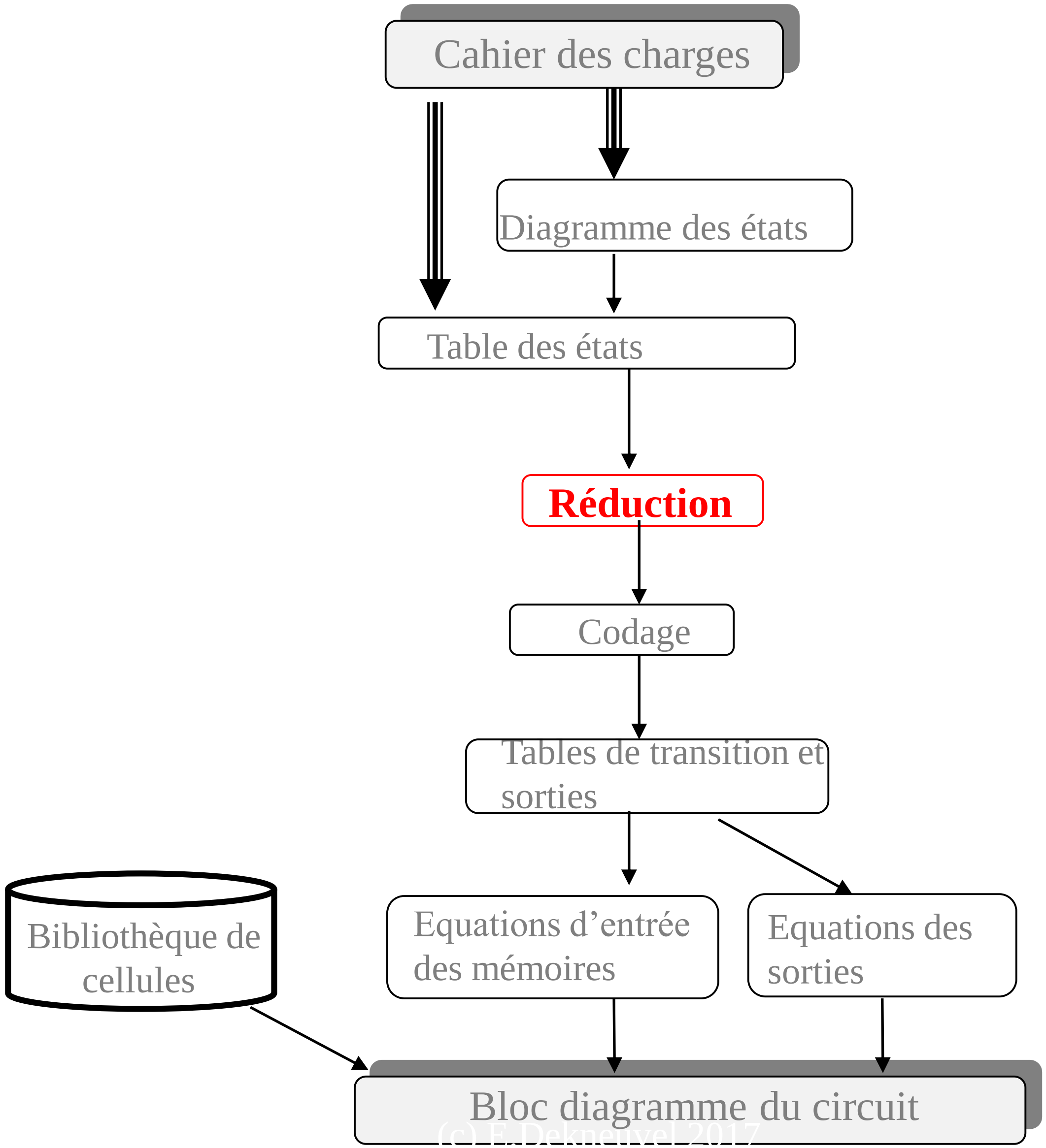
B. Synthèse des FSM

C. Codage des états

D. Analyse de timing

E. Réduction des machines séquentielles

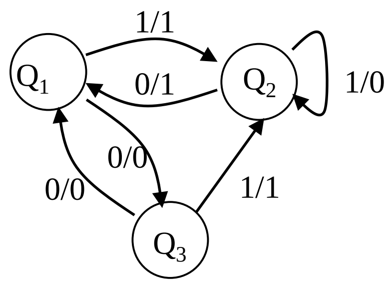
Réduction des systèmes séquentiels



Machines équivalentes

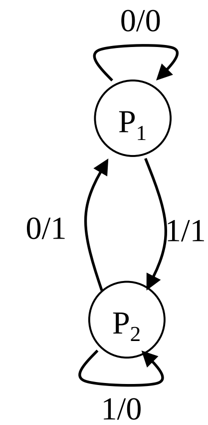
Machine S

Y \ X	0	1
q_1	$q_3/0$	$q_2/1$
q_2	$q_1/1$	$q_2/0$
q_3	$q_1/0$	$q_2/1$

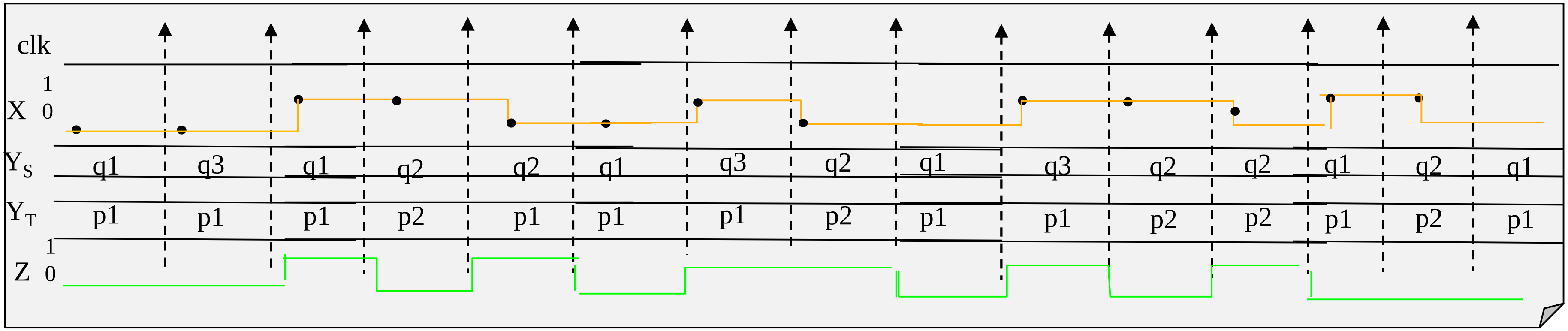


Machine T

Y \ X	0	1
p_1	$p_1/0$	$p_2/1$
p_2	$p_1/1$	$p_2/0$



X 0 0 1 1 0 0 1 0 0 1 1 0 1 0



Z 0 0 1 0 1 0 1 1 0 1 0 1 0 0

Etats indissociables

Deux états *p* et *q* d'une machine séquentielle sont dits *états indissociables* ou *états équivalents* $(p \equiv q)$, si la séquence de sortie est identique pour toute séquence d'entrée appliquée à *p* et *q*.

Deux machines M_1 et M_2 seront dites indissociables (équivalentes) $(M_1 \equiv M_2)$

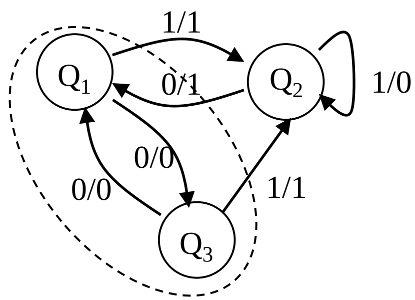
ssi $\forall$ soit p $\in$ à M_1, il existe q $\in$ à M_2 tel que $p \equiv q$

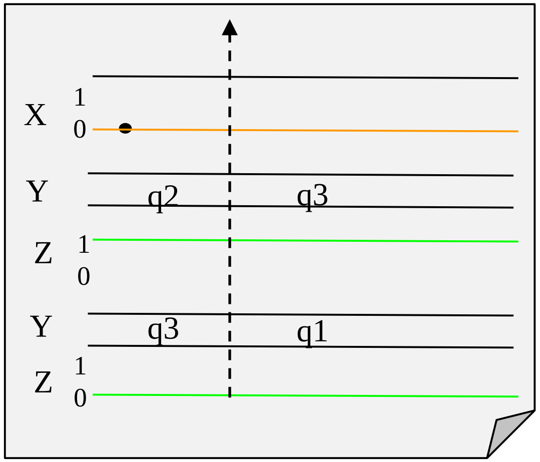
et $\forall$ soit q $\in$ à M_2, il existe p $\in$ à M_1 tel que $q \equiv p$

Illustration

Machine S

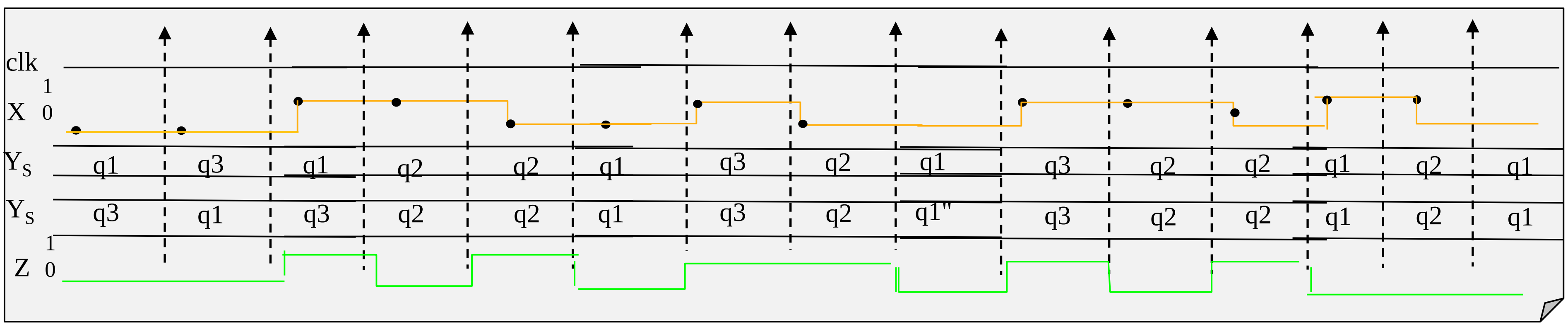
Y \ X	0	1
q_1	$q_3/0$	$q_2/1$
q_2	$q_1/1$	$q_2/0$
q_3	$q_1/0$	$q_2/1$





$q_2 \not\equiv q_3$

X: 0 0 1 1 0 0 1 0 0 1 1 0 1 0



Z: 0 0 1 0 1 0 1 1 0 1 0 1 0 0

$q_1 \equiv q_3$

$q_2 \not\equiv q_3$ et $q_1 \equiv q_3 \Rightarrow q_2 \not\equiv q_1$

Relation d'équivalence

Réflexive

$\forall x \in E \,,\, x \,\mathcal{R}\, x$

$\leq$

Est-de-la-même-casse-que (minuscule ou majuscule)

a-meme-couleur-d'yeux-ou-de-cheveux-que

Symétrique

$\forall x,y \in E \,,\, x \,\mathcal{R} y \Rightarrow y \,\mathcal{R}\, x$

Est-de-la-même-casse-que

a-meme-couleur-d'yeux-ou-de-cheveux-que

Transitive

$$\forall x,y,z \in E \,,\, x \,\mathcal{R} y \text{ et } y \,\mathcal{R}\, z \Rightarrow x \,\mathcal{R}\, z$$

Est-de-la-même-casse-que

$\{a,A,b,B,c,C,d,D\}$

Classes d'equivalence

$P_1 = \{a,b,c,d\}$ $P_2 = \{A,B,C,D\}$

Théorème pour le partitionnement en classes d'équivalences

$\forall x$

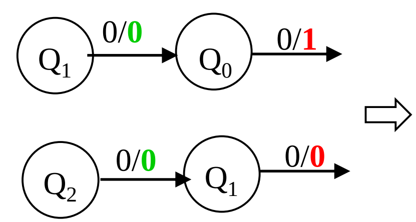
1. $G(p,x)=G(q,x)$
2. $F(p,x) \triangleq F(q,x)$

Table d'états

Q \ x	0	1
Q_0	$Q_0/1$	$Q_4/0$
Q_1	$Q_0/0$	$Q_4/0$
Q_2	$Q_1/0$	$Q_5/0$
Q_3	$Q_1/0$	$Q_5/0$
Q_4	$Q_2/0$	$Q_6/1$
Q_5	$Q_2/0$	$Q_6/1$
Q_6	$Q_3/0$	$Q_7/1$
Q_7	$Q_3/0$	$Q_7/1$

Partition initiale

Classes	**a**	**b**			**c**			
Etats	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
Cl. Suivante x=0 x=1	**a c**	**a c**	**b c**	**b c**	**b c**	**b c**	**b c**	**b c**



q1 et q2 sont 2-dissociables

Repartitionnement

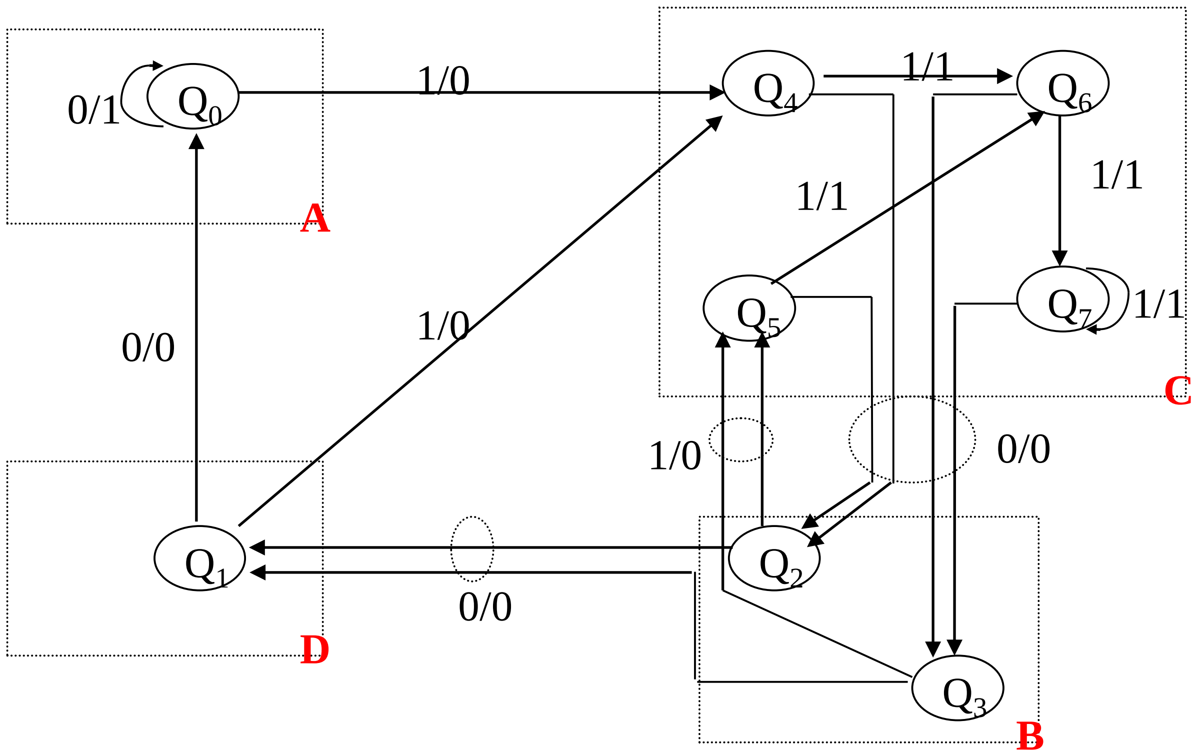
Classes	**a**	**b**		**c**				**d**
Etats	Q_0	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_1
Cl. Suiv.	**a c**	**d c**	**d c**	**b c**	**b c**	**b c**	**b c**	**a c**

Automate final

Machine initiale

Y \ X	0	1
Q_0	$Q_0/1$	$Q_4/0$
Q_1	$Q_0/0$	$Q_4/0$
Q_2	$Q_1/0$	$Q_5/0$
Q_3	$Q_1/0$	$Q_5/0$
Q_4	$Q_2/0$	$Q_6/1$
Q_5	$Q_2/0$	$Q_6/1$
Q_6	$Q_3/0$	$Q_7/1$
Q_7	$Q_3/0$	$Q_7/1$

Y^+/Z

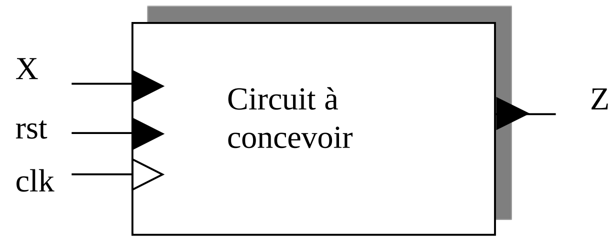


Y \ X	0	1
A:$\{Q_0\}$	$A/1$	$C/0$
B:$\{Q_2,Q_3\}$	$D/0$	$C/0$
C:$\{Q_4,Q_5,Q_6,Q_7\}$	$B/0$	$C/1$
D:$\{Q_1\}$	$A/0$	$C/0$

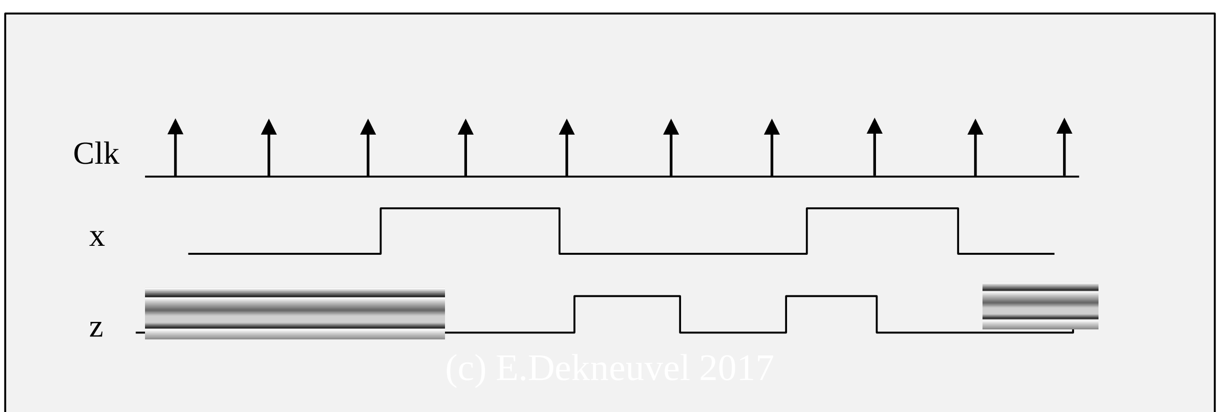
Y^+/Z

Machine réduite

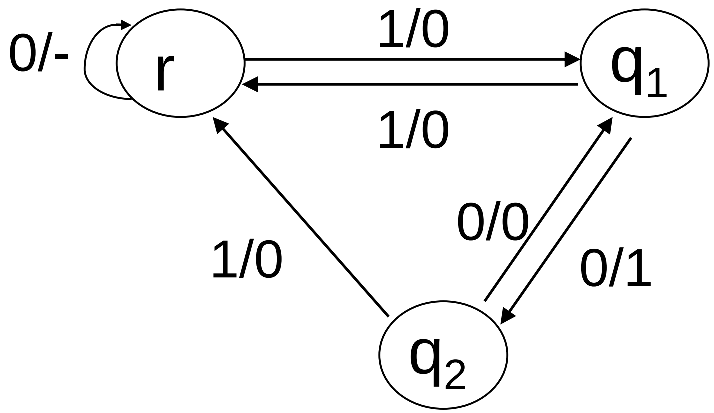
Systèmes incomplètement spécifiés



Un circuit séquentiel synchrone a une entrée *x* et une sortie *z*. Si le circuit est dans son état initial, il y reste tant que *x*=0 et la sortie est indifférente. Une entrée x=1 fait que le circuit quitte son état initial R avec une sortie à 0. Une séquence d'entrées '0' d'une longueur arbitraire produit alors une sortie *z*=1 au moment de la 1è,3è,5è,… entrée à zéro. Une nouvelle entrée à 1 sur un état différent de R ramène le circuit dans son état initial, sortie à 0.



Classes d'équivalence ?

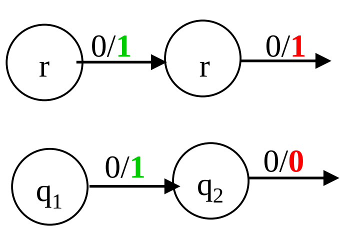


$q \backslash x$	0	1
r	r/-	q_1/0
q_1	q_2/1	r/0
q_2	q_1/0	r/0

Classes	A		B
Etats	r	q_1	q_2
Cl suivantes X=0 X=1	A A	B A	

problème

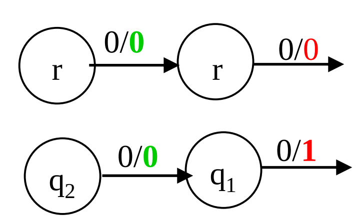
La sortie – est forcée à 1



Classes	A		B
Etats	r	q_2	q_1
Cl suivantes X=0 X=1	A B	B A	

problème

La sortie – est forcée à 0



Machines compatibles

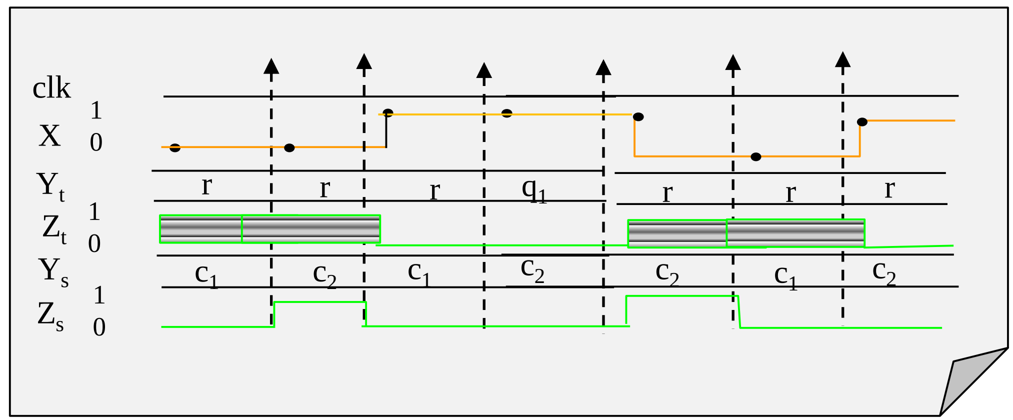
Machine T

q \ x	0	1
r	r/-	q_1/0
q_1	q_2/1	r/0
q_2	q_1/0	r/0

Machine S

q \ x	0	1
c1:{r,q2}	c2/0	c2/0
c2:{r,q1}	c1/1	c2/0

X **0011001**



Z_s **- - 00 - - 00**

Z_s **01001100**

Relation de compatibilité

2 états *p* et *q* sont compatibles si et seulement si pour toute séquence d'entrée, la sortie est identique **lorsque celle-ci est déterminée**.

Réflexive

$$\forall x \in E ,\ x \,\mathcal{R}\, x$$

Symétrique

$$\forall x,y \in E ,\ x \,\mathcal{R}\, y \Rightarrow y \,\mathcal{R}\, x$$

~~Transitive~~

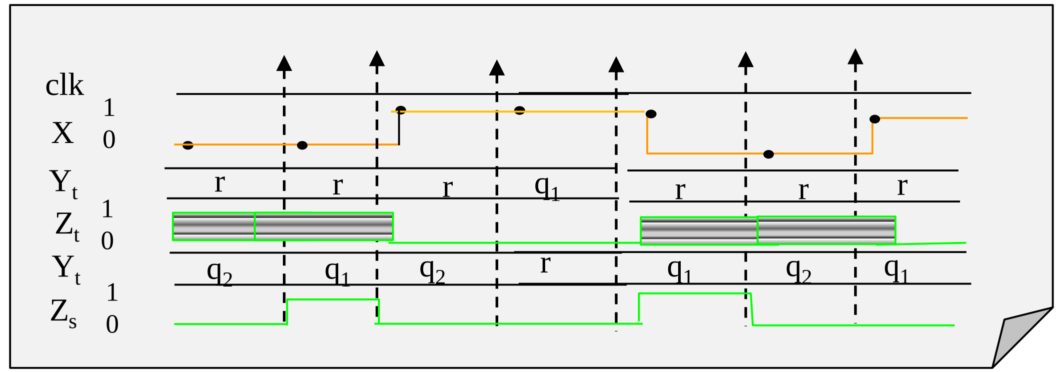
$$\cancel{\forall x,y,z \in E ,\ x \,\mathcal{R}\, y \ et\ y \,\mathcal{R}\, z \Rightarrow x \,\mathcal{R}\, z}$$

Illustration

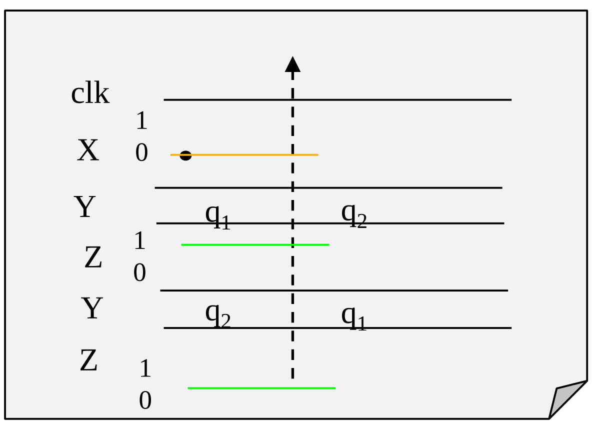
Machine T

q \ x	0	1
r	r/-	q_1/0
q_1	q_2/1	r/0
q_2	q_1/0	r/0

X **0011001**

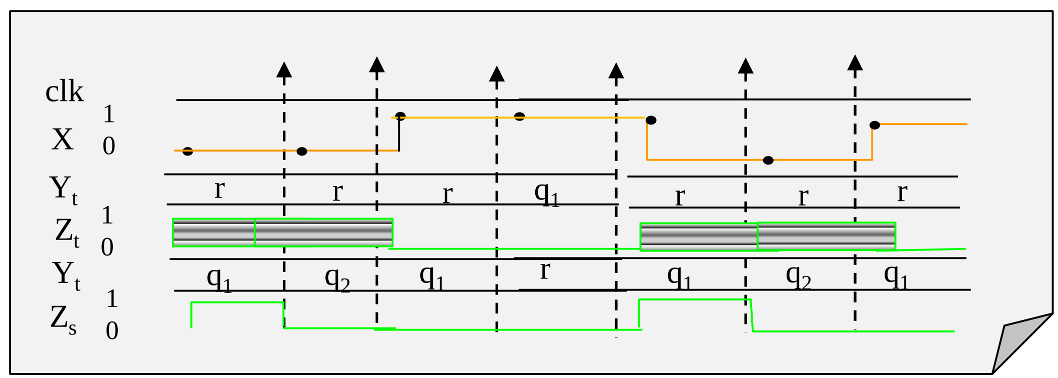


R **compatible** avec q_2



q_2 **incompatible** avec q_1

X **0011001**



R **compatible** avec q_1

Méthode de la table/graphe des implications

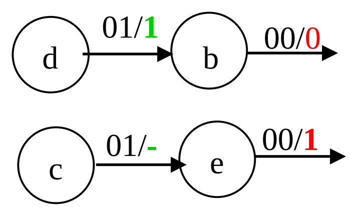
$\forall x$

1. G(p,x)=G(q,x) si sortie spécifiée

2. F(p,x) et F(q,x) compatibles si état suivant spécifié

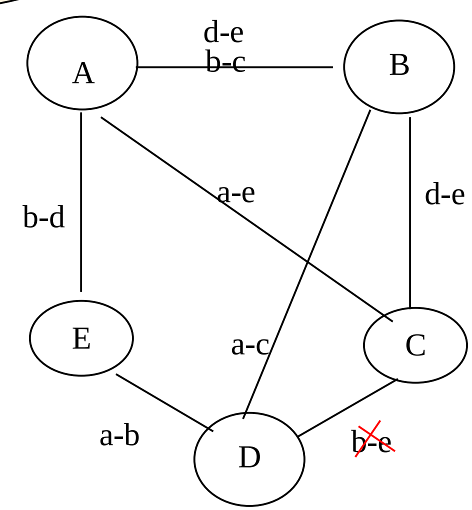
q \ x	00	01	11	10
a	b/-	e/0	e/0	b/-
b	c/0	d/-	-/-	-/-
c	-/-	e/-	a/0	b/0
d	a/-	b/1	-/-	-/-
e	b/1	-/-	-/-	d/1

	a	b	c	d
b	b – c d – e			
c	a – e	d– e		
d		a– c	~~b– e~~	
e	b – d			a– b



d et c sont incompatibles

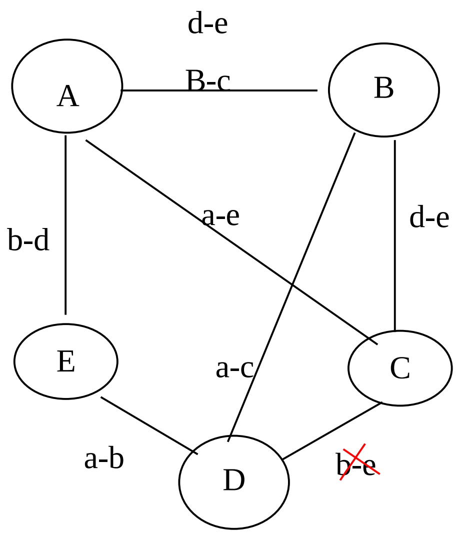
- Table des implications -



- Graphe des implications

Ensembles des compatibles maximaux

- Graphe des implications -



- Table des implications -

	a	b	c	d
b	b – c d – e			
c	a – e	d– e		
d	X	a– c	~~b– e~~	
e	b – d	X	X	a– b

d	(d e)
c	(d e)
b	(b c) (b d) (d e)
a	(a e) (a b)(a c)(b c)(b d) (d e)
	(a e) (a b c) (b d) (d e)

- Classes de compatibilités maximaux-

Machine réduite

Machine originale

q \ x	00	01	11	10
a	b/-	e/0	e/0	b/-
b	c/0	d/-	-/-	-/-
c	-/-	e/-	a/0	b/0
d	a/-	b/1	-/-	-/-
e	b/1	-/-	-/-	d/1

00	*01*	*01*
a	*b*	*d*
-	*-*	*1*

(a e)
(a b c)
(b d)
(d e)

q \ x	00	01	11	10
q_0	$q_1,q_2/1$	$q_3,q_0/0$	$q_0,q_3/0$	$q_2/1$
q_1	$q_1/0$	$q_3/0$	$q_0/0$	$q_1,q_2/0$
q_2	$q_1/0$	$q_2/1$	-/-	-/-
q_3	$q_1/1$	$q_1,q_2/1$	-/-	$q_2,q_3/1$

Machine réduite

00	*01*	*01*
ae	*abc*	*de*
1	*0*	*1*

00	*01*	*01*
ae	*bd*	*bd*
1	*1*	*1*