

Objectif : Synthèse de système asynchrone mode pulsé avec codages binaire et one hot

I. Introduction

Dans de nombreuses situations pratiques, une source d'horloge n'est pas toujours disponible. Par ailleurs, même en présence d'une source d'horloge, il peut parfois s'avérer intéressant d'autoriser une partie d'un circuit à un fonctionnement de type asynchrone pour engendrer une consommation plus faible, une vitesse de réaction accrue, une conception facilitée ou encore une plus grande fiabilité. C'est le cas des automatismes industriels qui sont généralement conçus pour piloter une machine ou un ensemble de machines, encore appelées partie opérative. Les automatismes industriels représentent une classe de systèmes séquentiels dans lesquels la logique asynchrone peut présenter certains avantages. Dans cette manipulation, on s'intéresse plus précisément à la conception de système asynchrones **pulsés** pour lesquels les entrées sont considérées de type impulsif. Dans ce cas particulier, des hypothèses régissent les entrées du circuit avec impossibilité de recouvrement temporel de ces impulsions, tout en supposant des impulsions suffisamment longues pour autoriser un changement d'état des éléments mémoires unique à chaque impulsion. Avec cette hypothèse, la conception de ces circuits s'en trouve simplifiée. Comme pour les systèmes synchrones, le choix du codage peut influencer sur la technique et sur le résultat de la synthèse de la machine à état, essentiellement en termes de surface.

II L'application

L'automatisation partielle d'un site de production de minerai fait appel à un dispositif d'extraction de minerai à l'aide d'une foreuse. Deux wagonnets et leurs conducteurs font la navette entre un site de production et un site de déchargement de ce minerai (au travers d'une trappe située sous le wagonnet). Ces véhicules empruntent un monorail et leur croisement s'effectue grâce à une voie de dérivation située au milieu du parcours. Les deux véhicules quittent toujours leur station au même moment, le véhicule en provenance du site de production empruntant la voie de dérivation jusqu'à ce que la voie principale soit signalée comme libre (Z_1). Le signal reste éteint tant que des capteurs x_1 et x_2 n'ont pas signalé le passage du véhicule sur la voie principale. De même, le véhicule de la voie principale ne peut circuler ($Z_2=0$) tant que la présence du véhicule en provenance du site de production n'a pas été détecté par le capteur x_1 . On peut noter que le placement des capteurs interdit tout chevauchement des impulsions. Les sorties Z_1 et Z_2 permettant la commande des feux respecte les contraintes suivantes :

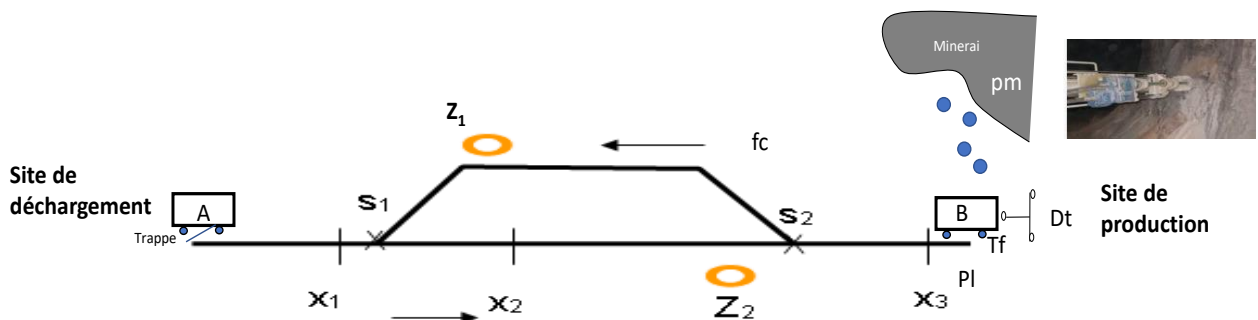


Figure 1: Bloc diagramme de l'automatisme industriel

- $Z_1=0$ (lampe éteinte) lorsque l'aiguillage S_1 est sur la voie principale, 1 (allumée) sinon
- $Z_2=0$ (lampe éteinte) lorsque l'aiguillage S_2 est sur la voie de dérivation, 1 (allumée) sinon

Lors de l'arrivée du véhicule au site de production (signalée par une impulsion du capteur *dt*), la foreuse se met en avance AV et rotation lente RL si la trappe du véhicule est fermée (*capteur Tf*). Dans le cas contraire, une sortie *err* allume un témoin. Le démarrage du cycle ne pourra alors se faire que sur l'impulsion de fermeture de la trappe *fer*. Lorsque la foreuse détecte la présence du minerai à proximité (impulsion *pm*), la foreuse se met en rotation rapide (RR) jusqu'à ce qu'un capteur de poids *pl* envoie une impulsion avertissant du remplissage du wagonnet. La foreuse se met alors en marche arrière grâce à la commande AR et rotation lente jusqu'au contact de fin de course *fc*, avec toutes les commandes remises à 0.

III Préparation au LAB

LES REPONSES AUX QUESTIONS DE CETTE PARTIE SERONT VERIFIEES ET EVALUEES EN DEBUT DE SEANCE.

1^{ère} partie : Synthèse du circuit de contrôle du monorail

La figure ci-dessous montre un diagramme à états finis exprimant le comportement attendu du circuit de contrôle du monorail. On rappelle que dans le cas d'un système pulsé, l'absence de recouvrement des impulsions permet d'exprimer l'évolution sur le niveau actif de l'impulsion. Le retour à l'état inactif n'engendre aucune modification de l'état.

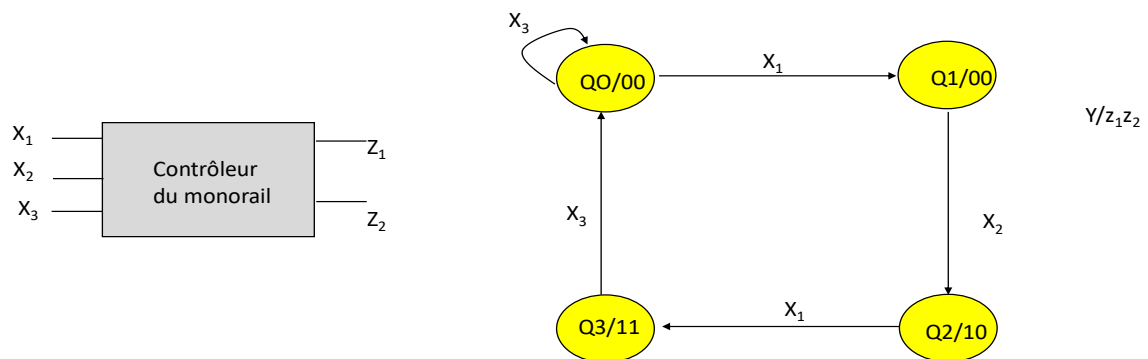


Figure 2: Diagramme à états finis du contrôleur de monorail

Questions : A. Exprimez la table des états correspondant au diagramme d'états (machine de Moore)

B. Proposez un codage binaire par les adjacences de cette table.

C. A l'aide d'une table triangulaire (seule méthode pour un système incomplètement spécifié), montrez qu'il est possible de réduire le diagramme à 3 états. Une passe suffit.

D. Donnez la table de transition de cette machine réduite à l'aide d'un codage de Moore.

E. Donnez la table d'excitations à partir de latches RS Nor.

F. Donnez les équations des entrées des latches.

G. Donnez le bloc diagramme du circuit à partir des primitives logiques.

H. Sans développer la méthode de synthèse, que peut-on dire de la solution qu'on obtiendrait avec la table non réduite par rapport à celle obtenue en question G ?

2^{ème} partie : Synthèse du circuit de contrôle de la foreuse

La figure ci-dessous décrit un automate (seules les sorties à 1 sont indiquées) permettant d'implémenter la séquence souhaitée pour le contrôle de la tête de perçage ;

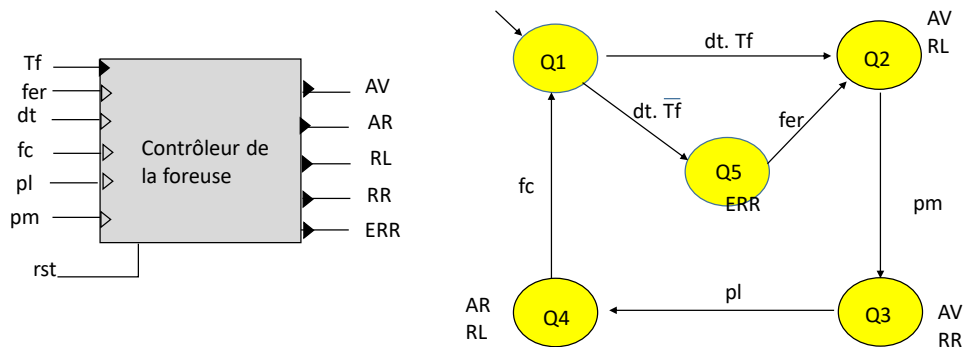


Figure 3: Diagramme d'états pour le contrôle de la foreuse

On souhaite implémenter ce diagramme en utilisant une bascule par état (codage one-hot).

Questions : Dressez le bloc diagramme du circuit directement à partir de cette description en déterminant les primitives logiques nécessaires sur les entrées R et S des 5 latches et pour les sorties.

IV Travail en séance

CHAQUE PARTIE DOIT ETRE VALIDEE PAR L'ENSEIGNANT AU COURS DE LA SEANCE

1^{ère} partie : Création du latch RS NOR

L'outil Quartus ne disposant pas de latch RS dans ses bibliothèques d'éléments mémoire, la première étape va consister à construire ce latch à partir de porte NOR retro bouclées.

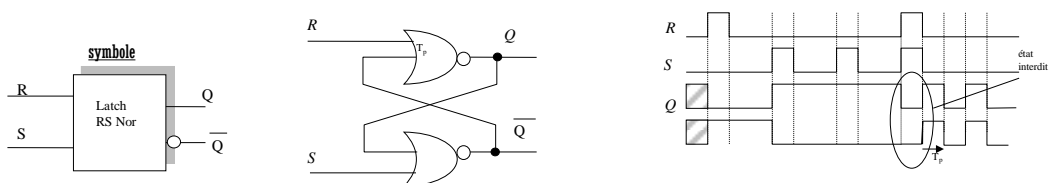


Figure 4: Symbole, bloc diagramme et chronogramme du latch RSNOR

Questions : **A.** Dans un nouveau projet TP2, sélectionnez le cyclone II EPC35F36C6. Effectuez ensuite la saisie du schéma (bloc diagram file) du latch RS sous Quartus dans un projet nommé *automatismes*, Sauvegardez sous le nom *rsnor.bdf*

B. Vérifiez votre bloc diagramme à partir d'un waveform nommé *rsnor.vwf*. Les Impulsions sur R et S devront durer 5 nanosecondes au minimum.

C. Demandez la génération d'un symbole (file→create/update→create symbol file for current file) sous l'appellation de *rsnor.bsf*

2^{ème} partie : Validation et implémentation du monorail

Questions : **A.** Procédez à la saisie du schéma (*monorail.bdf*) sous Quartus II dans votre projet. Ajoutez des inverseurs sur les différentes entrées pour tenir compte du fait que les impulsions seront négatives (1 à l'état de repos).

B. Définissez ce fichier en *top level* puis compilez.

C. Définissez ensuite un chronogramme (*monorail.vwf*) à partir du scénario de la figure 2 et simulez votre circuit après avoir défini le fichier comme *input simulation* (menu *file* → *settings*)

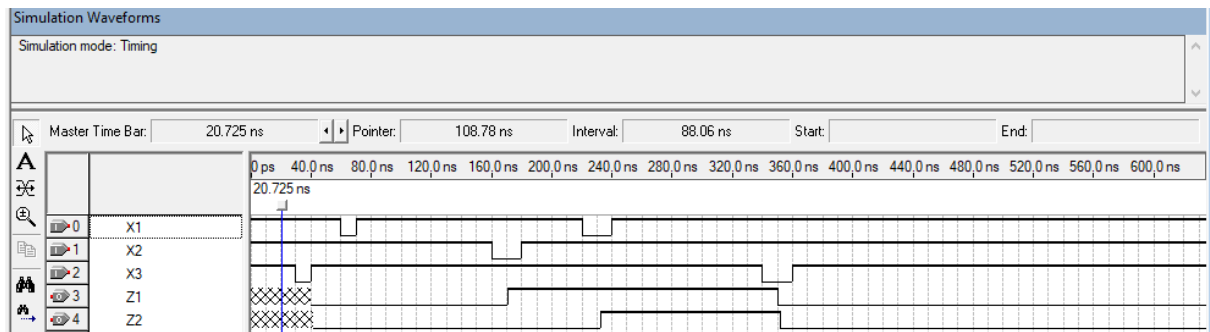


Figure 5: le monorail et un chronogramme de fonctionnement

D. Dans le *pin planner*, effectuez l'affectation des pattes selon les directives ci-dessous :

Node Name	Direction	Location	I/O Bank	VREF Group	Reserved	Group	PCB layer	I/O Standard
1 X1	Input	PIN_G26	5	B5_N0				3.3-V LVTTL (default)
2 X2	Input	PIN_N23	5	B5_N1				3.3-V LVTTL (default)
3 X3	Input	PIN_P23	6	B6_N0				3.3-V LVTTL (default)
4 Z1	Output	PIN_AE22	7	B7_N0				3.3-V LVTTL (default)
5 Z2	Output	PIN_AE23	7	B7_N0				3.3-V LVTTL (default)

Figure 6: affectations des pattes du circuit

Les entrées X1, X2 et X3 sont reliées respectivement aux boutons poussoirs KEY0, KEY1 et KEY2. Les sorties Z1 et Z2 sont reliées respectivement à la diode verte LEDG0 et LEDR0.

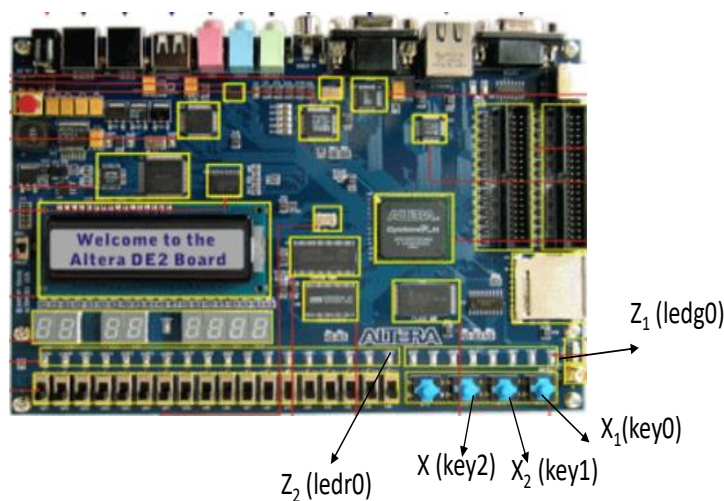


Figure 7: Configuration de la carte pour le test

E. Programmez et testez votre composant sur la carte DE2.

3^{ème} partie : Validation et implémentation du contrôle de la foreuse

A. Procédez à la saisie du schéma sous Quartus II dans un bloc diagramme *foreuse.bdf*. Comme pour le monorail, placez des inverseurs sur les entrées impulsionnelles pour tenir compte d'impulsions négatives. Après avoir placé le fichier en top level, lancez la compilation.

B. Construisez un chronogramme (*foreuse.wvf*) à partir du scénario de la figure ci-dessous, en considérant toutefois des impulsions négatives. Dans ce scénario, l'impulsion *dt* conduit à l'état Q5 (et donc à une sortie *err*) car la trappe n'est pas fermée. Lors de l'impulsion *fer* l'automatisme se met en route et accomplit son cycle nominal.

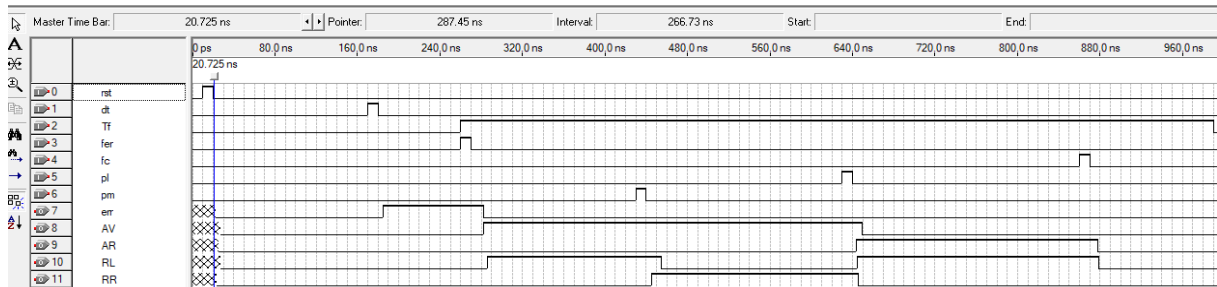


Figure 8: chronogramme de la simulation

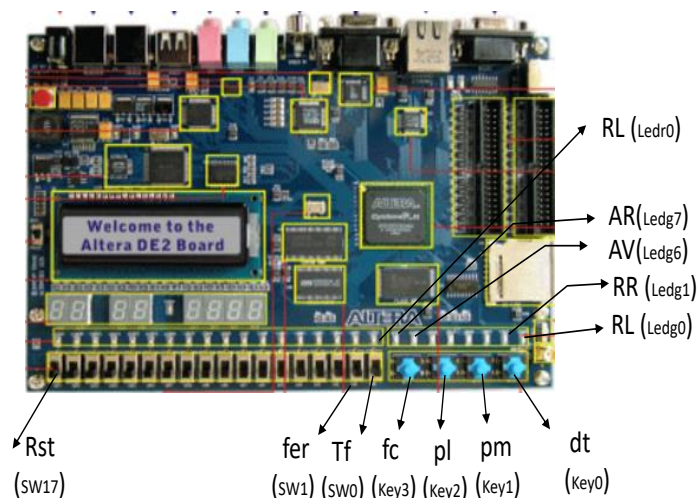
C. Validez votre circuit par simulation, en changeant le nom du fichier en *input simulation*.

D Procédez à l'affectation des pattes comme ci-dessous :

Named:	Node Name	Direction	Location	I/O Bank	VREF Group	Reserved	Group	PCB layer	I/O Standard
1	AR	Output	PIN_Y18	7	B7_N0				3.3-V LVTTTL (default)
2	AV	Output	PIN_AA20	7	B7_N0				3.3-V LVTTTL (default)
3	dt	Input	PIN_G26	5	B5_N0				3.3-V LVTTTL (default)
4	err	Output	PIN_AE23	7	B7_N0				3.3-V LVTTTL (default)
5	fc	Input	PIN_V26	6	B6_N1				3.3-V LVTTTL (default)
6	fer	Input	PIN_N26	5	B5_N1				3.3-V LVTTTL (default)
7	pl	Input	PIN_P23	6	B6_N0				3.3-V LVTTTL (default)
8	pm	Input	PIN_N23	5	B5_N1				3.3-V LVTTTL (default)
9	RL	Output	PIN_AE22	7	B7_N0				3.3-V LVTTTL (default)
10	RR	Output	PIN_AF22	7	B7_N0				3.3-V LVTTTL (default)
11	rst	Input	PIN_V2	1	B1_N0				3.3-V LVTTTL (default)
12	Tf	Input	PIN_N25	5	B5_N1				3.3-V LVTTTL (default)
13	<<new node>>								

Figure 9: Affectation des pattes du circuit

F. Programmez et testez votre circuit sur la DE2. On notera qu'un aller-retour depuis la position haute (position à 1) du SW1 est nécessaire pour générer l'impulsion *fer*.



4^{ème} partie : Couplage foreuse et moteur pas à pas

Dans cette dernière partie, on souhaite relier le séquenceur du moteur pas à pas du TP1 à l'automatisme de gestion de la foreuse.

Questions : **A.** Ouvrez votre projet du TP1, solution biphasée. Demandez la création d'un composant *biphase.bsf* dans le répertoire du TP2 *file* → *create* → *update*). Copiez également le fichier bloc diagramme *biphase.bdf* dans TP2.

B. Dans le projet TP2, demandez la création d'un composant *foreuse.bsf*

C. Ouvrez un nouveau fichier bloc diagramme *top.bdf* et définissez le en top-level. Instanciez 2 composants *foreuse* et *biphase* depuis la bibliothèque, section *projet*. Connectez les composants en ajoutant les entrées sorties nécessaires. Le moteur sera mis en marche dès qu'une sortie AV ou AR sera active. Le sens sera connecté sur AV. Attention au *rst* actif à l'état bas dans l'automate de contrôle du moteur. Compilez.

D. Définissez un scénario dans un fichier *top.vwf*. Vous pouvez copier le fichier *foreuse.vwf* en ajoutant les signaux du moteur et en modifiant le niveau actif des impulsions. Validez votre solution après avoir recompilé.

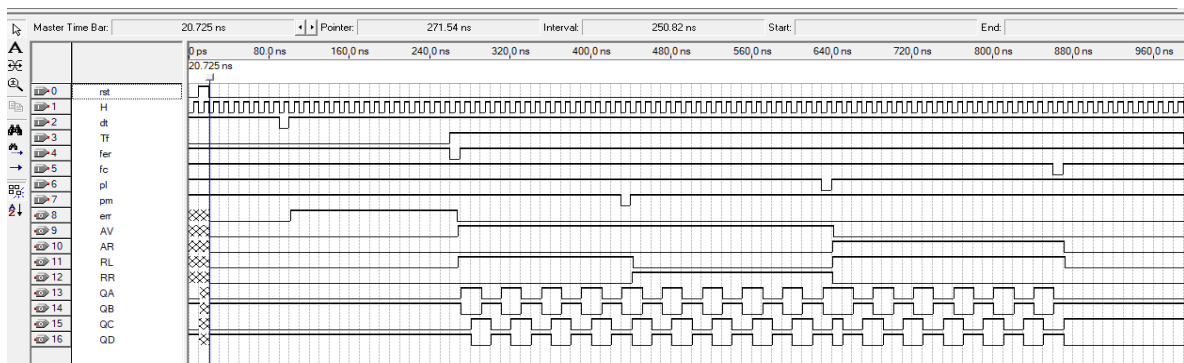


Figure 10: Exemple de réponse du circuit

E. Insérez un compteur pour diviser la fréquence d'horloge. Recompilez, programmez et testez votre circuit sur la carte DE2.