

Objectif: Etude des techniques d'allocation des registres, unités fonctionnelles et interconnexions pour un chemin de données.

Exercice I (allocation des registres)

Soit le graphe de flot de données ordonné en ressources contraintes (1 \ast , /, 1 racine carré, un $+$, $-$) ci-dessous auquel est ajouté la prise en compte des entrées $in1, in2, in3$ sur signal $start$. Un état est également ajouté pour rendre disponible les sorties sur un cycle d'horloge grâce à des opérateurs 3 états.

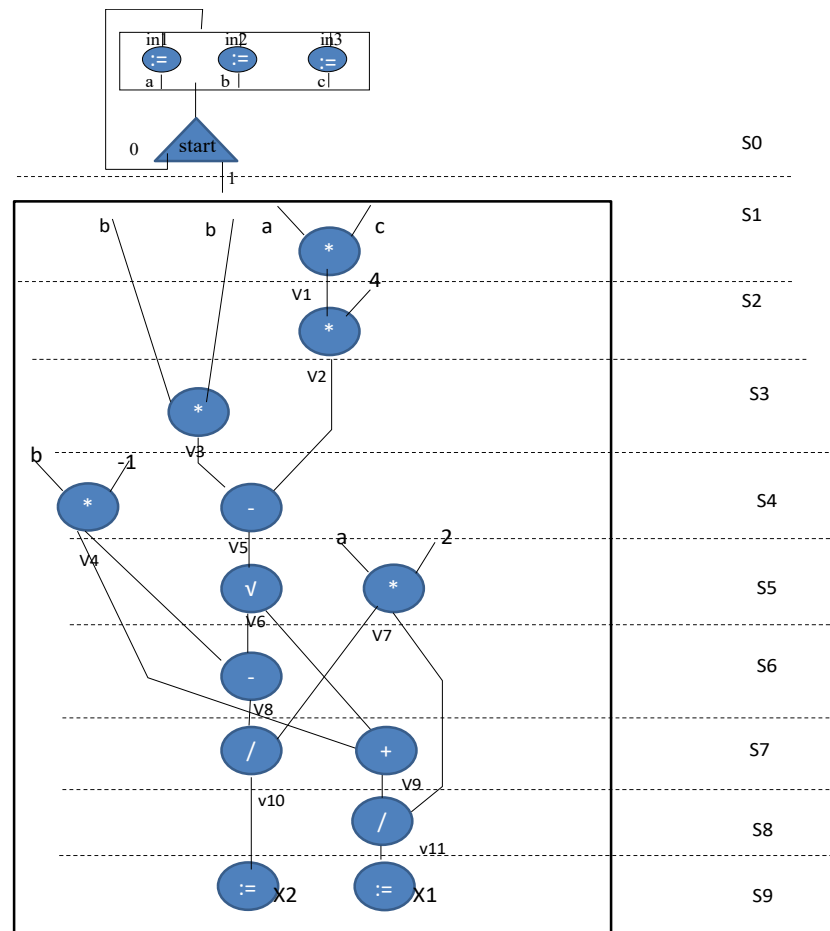


Figure 1: Ordonnement RC

auquel ont été ajoutés un état de lecture des entrées et de production des sorties.

Questions : A. A l'aide de l'algorithme left-edge, définissez un partitionnement des variables sur un nombre de registre minimum. Les variables seront placées dans le tableau en commençant par les variables a,b,c suivi des variables Vi dans l'ordre croissant d'indice : V1,V2,...

B. Donnez l'algorithmique state machine (ASM) correspondante. Les sorties X₁ et X₂ ne seront pas considérées comme bufferisées.

Exercice II (allocation des UF)

Soit le diagramme de flot de données ordonnancé du circuit de résolution d'une équation différentielle ci-dessous :

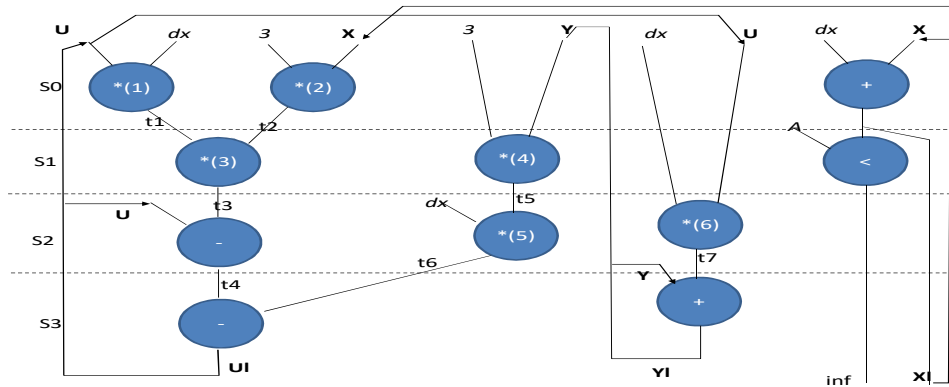


Figure 2: Diagramme de flot de données ordonnancé

Question : A. Déterminez le graphe de compatibilité des opérateurs additionneur, soustracteur et comparateur.

B. Montrez comment construire une unité fonctionnelle composée d'un additionneur et d'un comparateur ? Même chose pour un comparateur et un soustracteur.

C. A partir du résultat des questions précédentes, déterminez les unités fonctionnelles appropriées pour l'implémentation de ce circuit.

Exercice III (Allocation des Mux)

Donnez le bloc diagramme d'une solution architecturale à base de multiplexeurs pour l'ASM défini dans la question B de l'exercice I