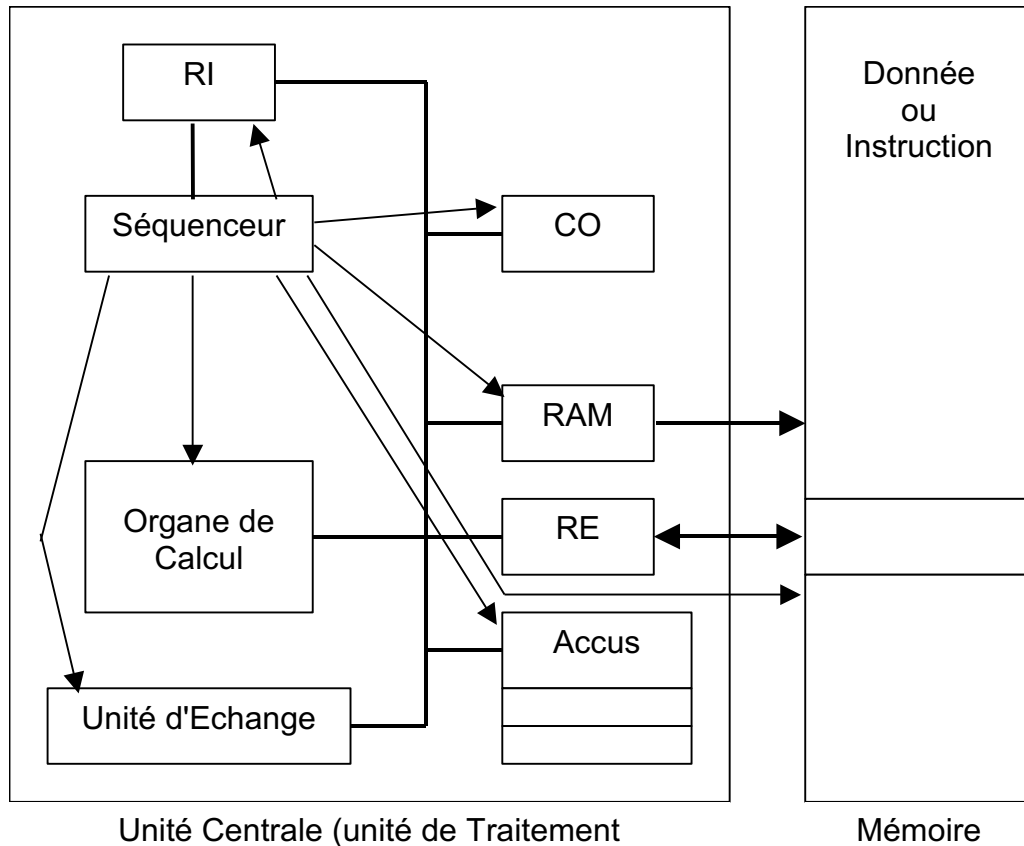


TD 1

Architecture des Calculateurs

A. RAPPELS DE COURS

1. Unité Centrale



RI contient l'instruction en cours d'exécution (il mémorise sa combinaison).

CO contient l'adresse de l'instruction à faire ou en cours.

Accus contiennent les données en cours de traitement (nombres, caractères, ...).

RAM contient l'adresse de l'emplacement du mot échangé entre l'UC et la mémoire.

RE contient le mot échangé entre l'UC et la mémoire.

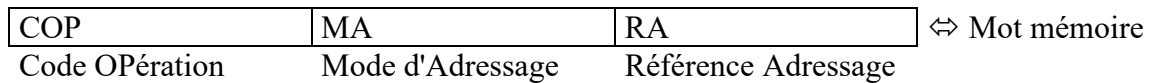
2. Séquenceur

Le séquenceur est l'organe qui envoie les signaux à tous les autres modules en fonction de l'instruction à exécuter.

Exemple de séquence :

- Charger le RI avec le mot mémoire dont l'adresse est donnée par CO.
 - Suivant la valeur du mot (code instruction), activer les ordres de sélection sur les registres, l'organe de calcul, ...
 - Positionner le CO à l'adresse de la prochaine instruction à exécuter.
- Cycle ←
 Fetch ↘

3. Format des instructions

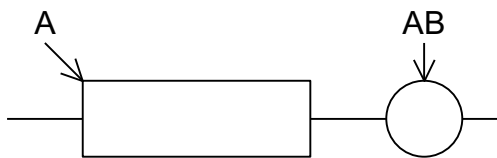


4. Deux concepts importants

- L'instruction ne doit agir que sur les accus qui la concerne et doit conserver les autres intacts. Ce n'est pas toujours le cas car suivant les structures il peut arriver que peu de registres soient disponibles.
- Par contre les autres registres peuvent ou non être modifiés selon leur nature (CO, RE, RAM)

5. Présentation des structures

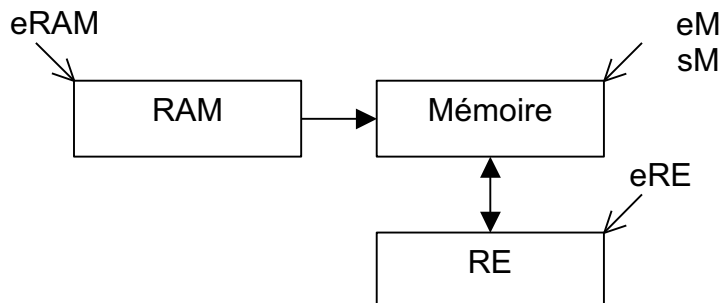
Registre



A : Ecriture du contenu du bus sur le registre

AB : Libération du contenu du registre sur le bus.

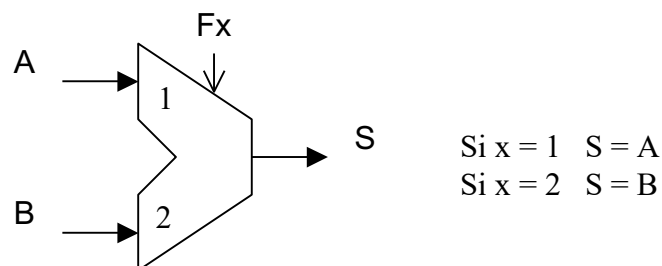
Echange avec la mémoire

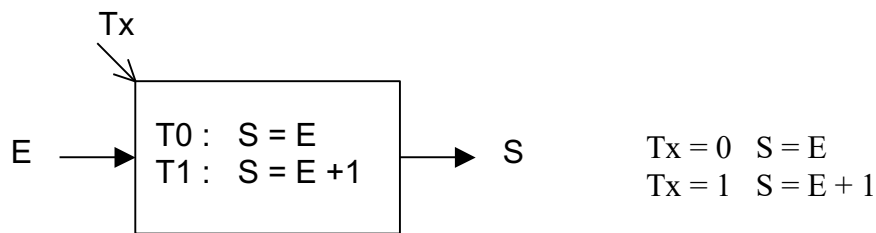
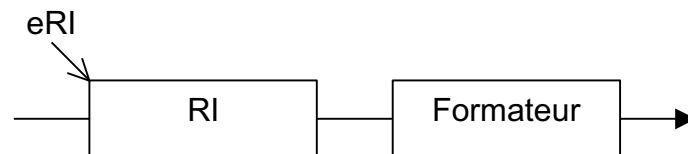


sM : Lecture de la mémoire et écriture du contenu dans RE.

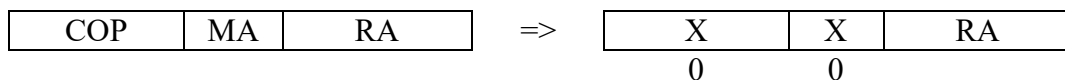
eM : Ecriture du contenu de RE dans la mémoire.

Multiplexeur



OpérateurFormateur

Il permet d'accéder directement à la référence d'adressage (RA). Comme les mots mémoire ont un nombre de bits fixé, les bits relatifs au COP et au MA sont tous à 0 par exemple (suivant le constructeur)

**6. Signaux**Pulse à T/2

- Ecriture des registres
- Signaux de commande de la mémoire



Structure S1 : Si eCO signal à niveau, COB à niveau et T1, le registre CO va subir une perpétuelle incrémentation et on ne pourra pas accéder à l'adresse de l'instruction désirée.

A niveau

-> Tous les autres signaux

Représentation des différentes phases des signaux

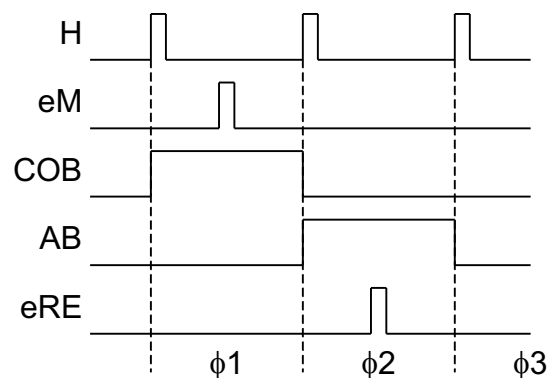
a.

$\phi 1$: eM, COB, ...

$\phi 2$: AB, eRE, ...

$\phi 3$: ...

b. Chronogramme



B. QUESTIONS

Exercice 1 : Cycle Fetch

Détailler le cycle Fetch.

Structure S1

Ph1 : COB, T0, eRAM
 Ph2 : sM, COB, T1, eCO
 Ph2 : REB, T0, eRI

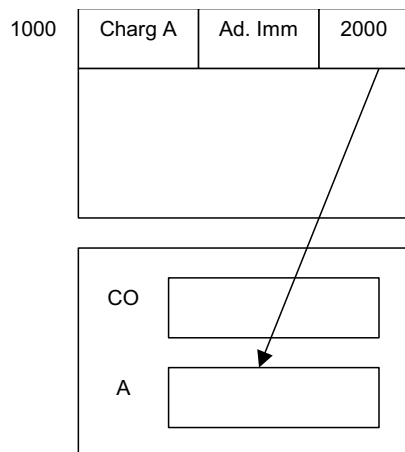
Structure S2

Ph1 : A1, eRAM, F2, B2, E1, O4, eRE
 Ph2 : sM, eCO
 Ph2 : eRI

Structure S3

Ph1 : COB1, XS, eRAM
 Ph2 : sM, COB1, XP1, eCO
 Ph2 : REB1, XS, eRI

Exercice 2 : Mode d'Adressage Immédiat



Structure S1

Ph1 à 3 : Fetch TD
 Ph4 : RIB, T0, eA, FIN

Structure S2

Ph1 à 3 : Fetch TD
 Ph4 : D1, O1, eRA
 Ph5 : eA, FIN

Structure S3

Ph1 à 3 : Fetch TD
 Ph4 : RIB1, XS, eA, FIN

Exercice 3 : Mode d'Adressage Direct**STORE A, DIRECT, RA**Structure S1

Ph1 à 3 : Fetch TD
Ph4 : RIB, T0, eRAM
Ph5 : Ca1, AB, T0, eRE
Ph6 : eM, FIN

Structure S2

Ph1 à 3 : Fetch TD
Ph4 : D1, O1, eRE
Ph5 : A2, eRAM, D2, O1, eRE
Ph6 : eM, FIN

Structure S3

Ph1 à 3 : Fetch TD
Ph4 : RIB1, XS, eRAM
Ph5 : AB1, XS, eRE
Ph6 : eM, FIN

LOAD A, DIRECT, RAStructure S1

Ph1 à 3 : Fetch TD
Ph4 : RIB, T0, eRAM
Ph5 : sM
Ph6 : REB, T0, eA, FIN

Structure S1

Ph1 à 3 : Fetch TD
Ph4 : D1, O1, eRE
Ph5 : A2, eRAM
Ph6 : sM
Ph7 : eA, FIN

Structure S3

Ph1 à 3 : Fetch TD
Ph4 : RIB1, XS, eRAM
Ph5 : sM
Ph6 : REB1, XS, eA, FIN

ADD B, DIRECT, RAStructure S1

Ph1 à 3 : Fetch TD
Ph4 : RIB, T0, eRAM
Ph5 : sM
Ph6 : REB, T0, Ca2, Cb1, OC3, eC
Ph7 : Cb2, BB, T0, eB, FIN

Structure S2

Ph1 à 3 : Fetch TD
Ph4 : D1, O1, eRE
Ph5 : sM
Ph6 : eA, D2, O1, eRE
Ph7 : D2, E2, O5, C2, eB, eA, FIN

Structure S3

Ph1 à 3 : Fetch TD
Ph4 : RIB1, XS, eRAM
Ph5 : sM
Ph6 : REB1, BB2, ADD, eB, FIN

Exercice 4 : Mode d'Adressage Indirect**LOAD A, DIRECT, RA**Structure S1

Ph1 à 3 : Fetch TD
Ph4 : RIB, T0, eRAM
Ph5 : sM
Ph6 : REB, T0, eRAM
Ph7 : sM
Ph8 : REB, T0, eA, FIN

Structure S2

Ph1 à 3 : Fetch TD
Ph4 : D1, O1, eRE
Ph5 : A2, eRAM
Ph6 : sM
Ph7 : A2, eRAM
Ph8 : sM
Ph9 : eA, FIN

Structure S3

Ph1 à 3 : Fetch TD
Ph4 : RIB1, XS, eRAM
Ph5 : sM
Ph6 : REB1, XS, eRAM
Ph7 : sM
Ph8 : REB1, XS, eA, FIN

Exercice 5 : Mode d'Adressage Relatif**LOAD A, Relatif, RA**Structure S1

Ph1 à 3 : Fetch Cours (par d'incrémentation de CO)
Ph4 : COB, T0, Ca2, OC0, eC
Ph5 : RIB, T0, Ca2, Cb2, OC3, eC
Ph6 : Cb2, BB, T0, eRAM
Ph7 : sM, COB, T1, eCO
Ph8 : REB, T0, eA, FIN

Structure S2

Ph1 à 3 : Fetch Cours (par d'incrémentation de CO)
Ph4 : D1, A1, F2, B2, E1, O5, eRE
Ph5 : A2, eRAM
Ph6 : sM
Ph7 : eA, A1, F2, B2, E1, O4, eRE
Ph8 : eCO, FIN

Structure S3

Ph1 à 3 : Fetch Cours (par d'incrémentation de CO)
Ph4 : RIB1, COB2, ADD, eRAM
Ph5 : sM, COB1, XP1, eCO
Ph6 : REB1, XS, eA, FIN

Exercice 6 : Mode d'Adressage Indéxé**STORE A, INDEXE, RA**Structure S3 (Uniquement car c'est la seule architecture à posséder un registre Index)

Ph1 à 3 : Fetch TD
Ph4 : RIB1, XB2, ADD, eRAM
Ph5 : AB1, XS, eRE
Ph6 : eM, FIN