

ЛАБОРАТОРНАЯ РАБОТА №6

ПЛАН

По дисциплине: Программирование встроенных систем

Тема занятия: Анализ и синтез компараторов и сумматоров

цель занятия: изучение принципов построения компараторов и сумматоров

Количество часов: 2

Содержание работы

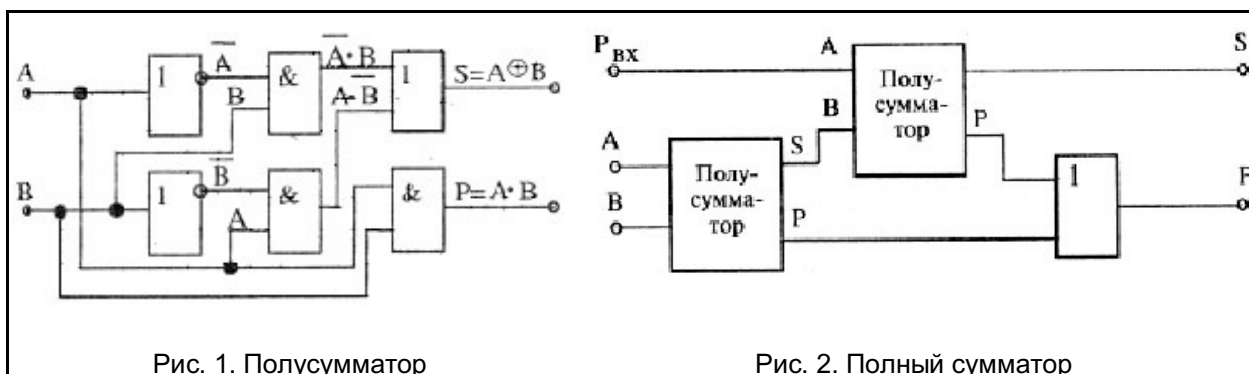
Сумматоры – это комбинационные устройства, предназначенные для сложения чисел. Рассмотрим сложение двух одноразрядных двоичных чисел, для чего составим таблицу сложения, в которой отразим значения входных чисел А и В, значение результата суммирования S и значение переноса в старший разряд P (табл. 1).

Таблица 1. Таблица истинности сумматора

A	B	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Работа устройства, реализующего таблицу истинности (табл. 11), описывается следующими уравнениями: $S = A \cdot \bar{B} + \bar{A} \cdot B$; $P = A \cdot B$. Очевидно, что по отношению к столбцу S реализуется логическая функция «исключающее ИЛИ», т. е. $S = A \oplus B$. Устройство, реализующее табл. 1, называют полусумматором, и оно имеет логическую структуру, изображенную на рис. 1. Поскольку полусумматор имеет только два входа, он может использоваться для суммирования лишь в младшем разряде.

При суммировании двух многоразрядных чисел для каждого разряда (кроме младшего) необходимо использовать устройство, имеющее дополнительный вход переноса. Такое устройство (рис. 2) называют полным сумматором и его можно представить как объединение двух полусумматоров ($P_{вх}$ – дополнительный вход переноса). Сумматор обозначают через SM.



Цифровые компараторы выполняют сравнение двух чисел, заданных в двоичном коде. Они могут определять равенство двух двоичных чисел A и B с одинаковым количеством разрядов либо вид неравенства $A > B$ или $A < B$. Цифровые компараторы имеют три выхода.

Схема одноразрядного компаратора представляет собой структуру логического элемента «исключающее ИЛИ–НЕ» (рис. 3).

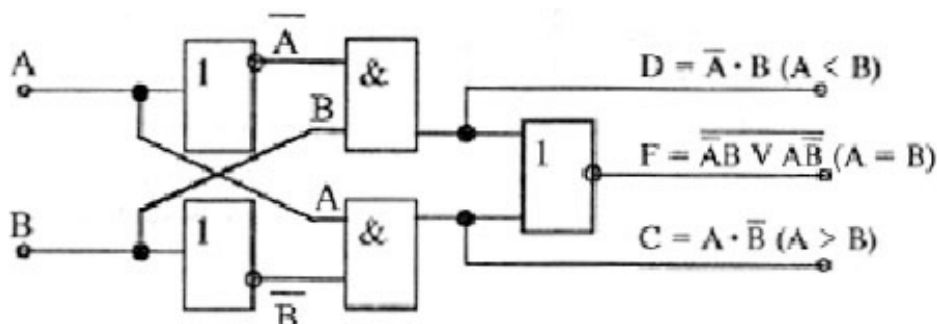


Рис. 3. Одноразрядный компаратор

Из анализа схемы следует, что если $A = B$, то $F = 1$, в противном случае, т. е. при $A \neq B$, $F = 0$. Если $A > B$, т. е. $A = 1$, $B = 0$, то $C = 1$, а если $A < B$, т. е. $A = 0$, $B = 1$, то $D = 1$.

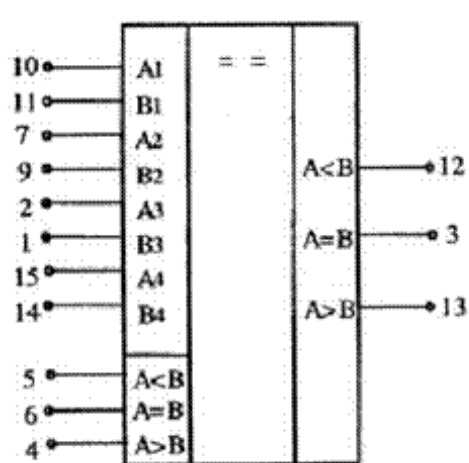


Рис. 4. Четырехразрядный компаратор K564П2

Если попарно равны между собой все разряды двух n-разрядных двоичных чисел, то равны и эти два числа A и B. Применяя цифровой компаратор для каждого разряда, например, четырехзначных чисел, и определяя значения F_1, F_2, F_3, F_4 логических переменных на выходах компараторов, факт равенства $A = B$ установим в случае, когда $F = F_1 \cdot F_2 \cdot F_3 \cdot F_4 = 1$. Если же $F = 0$, то $A \neq B$.

Неравенство $A > B$ обеспечивается (для четырехразрядного числа) в четырех случаях: или $A_4 > B_4$, или $A_4 = B_4$ и $A_3 > B_3$, или $A_4 = B_4$, $A_3 = B_3$ и $A_2 > B_2$, или $A_4 = B_4$, $A_3 = B_3$, $A_2 = B_2$ и $A_1 > B_1$, где A_4 и B_4 – старшие разряды чисел A и B). Очевидно, что если поменять местами A_i и B_i то будет выполняться неравенство $A < B$.

Цифровые компараторы выпускают, как правило, в виде самостоятельных микросхем. Так, микросхема K564ИП2 (рис. 4) является четырехразрядным компаратором, в котором каждый из одноразрядных компараторов аналогичен рассмотренной ранее схеме. Данная микросхема имеет расширяющие входы $A < B$, $A = B$, $A > B$, что позволяет наращивать разрядность обоих чисел. Для этого компараторы соединяют каскадно или параллельно (пирамидально).

Рассмотрим каскадное соединение компараторов К564ИП2 для сравнения двух восьмиразрядных чисел (рис. 5). При этом соединении выходы $A = B$ и $A < B$ предыдущей микросхемы (младшие разряды) подключают к соответствующим входам последующей. На входы $A < B$, $A = B$, $A > B$ микросхемы младших разрядов подают соответственно потенциалы U^0 , U^1 и U^1 (U^0 соответствует логическому 0, а U^1 – «1»). В последующих микросхемах на входах $A > B$ поддерживают потенциал логической единицы U^1 .

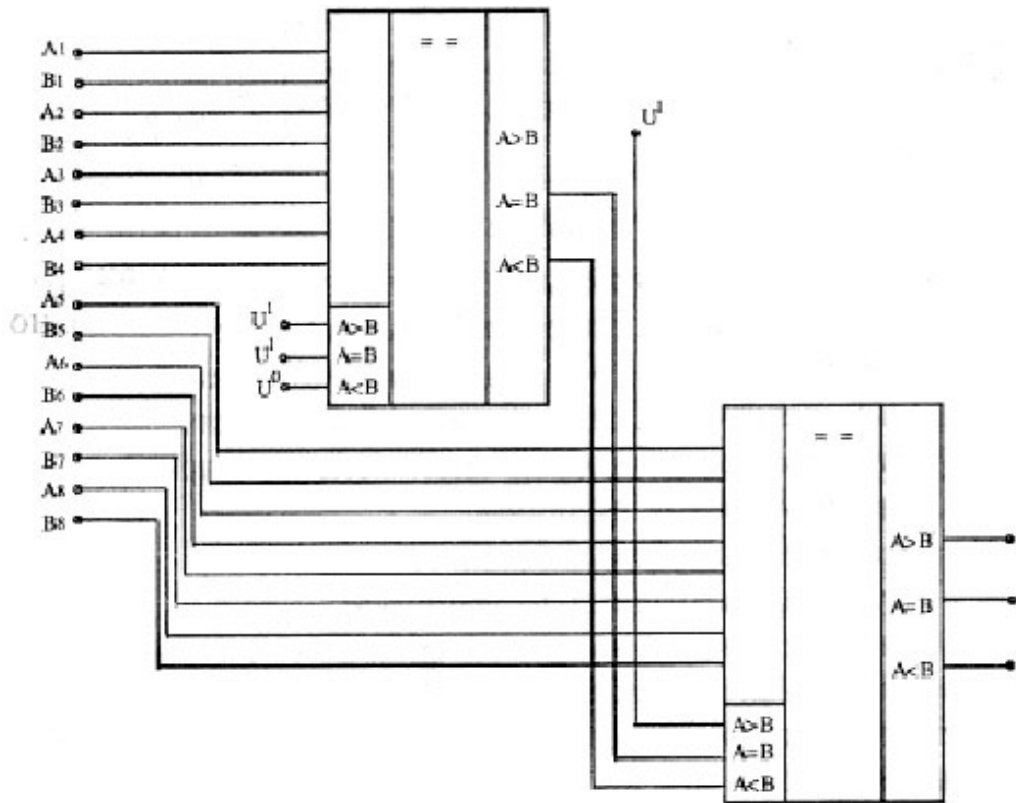


Рис. 5. Каскадное соединение компараторов К564ИП2

Задание

1. Собрать для исследования сумматор (рис 6). Подать на входы А и В два числа в двоичном коде чтобы сумма их не превышала 10. Записать значение суммы. Изменить одно число таким образом, чтобы сумма была > 10 . Записать значение суммы. Убедится, что произошел перенос четвертого разряда.

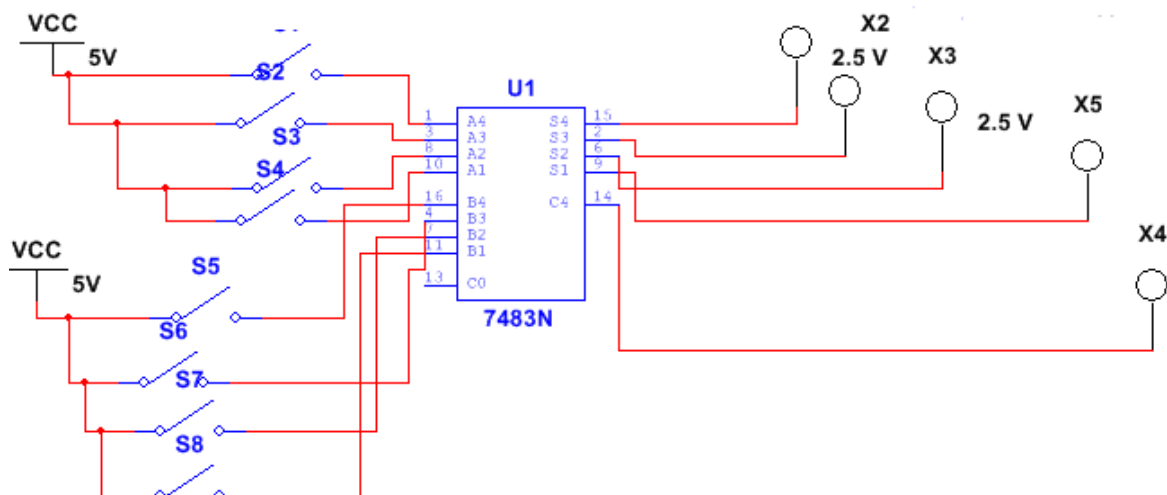


Рис 6. Схема сумматора

Логическая функция, описывающая компаратор для n -разрядных чисел, имеет вид

Для построения компаратора только на элементах И-НЕ запишем её в другой форме, воспользовавшись формулой де Моргана,

Соберите схему компаратора, реализующую сравнение n -разрядных чисел в базисе И, ИЛИ, НЕ и в базисе И-НЕ. Схема, реализующая это выражение, приведена на рис. 7, а. Если необходимо, чтобы при равенстве кодов на выходе компаратора была логическая 1, то к выходу схемы (рис. 7, а) следует присоединить инвертор. В некоторых компараторах находит применение узел сравнения чисел с определением знака неравенства, т. е. $A > B$ или $A < B$. Устройство компаратора в этом случае получается более сложным. Число входов его равно $2n$, а число выходов три: $Y_>$ при $A > B$, $Y_ =$ при $A = B$, $Y_<$ при $A < B$. Компараторы выполняют в виде отдельных микросхем. Так, например, микросхема К564ИП2 позволяет сравнивать два четырёхразрядных числа с определением знака неравенства. Условное обозначение такой микросхемы приведено на рис. 7, б.

Данный тип компаратора обладает свойством наращиваемости. Для сравнения, например, 8-разрядных чисел применяют два 4-разрядных компаратора. Для этой цели как в микросхеме К564ИП2, так и в некоторых других марках отечественных и зарубежных производителей, предусмотрены три дополнительных входа: $A > B$, $A = B$ и $A < B$, к которым подводятся соответствующие выводы микросхемы, выполняющей сравнение младших разрядов.

