

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

Návrh číslicových systémů  
UART RX 8bit

**Autor:** Roman Machala

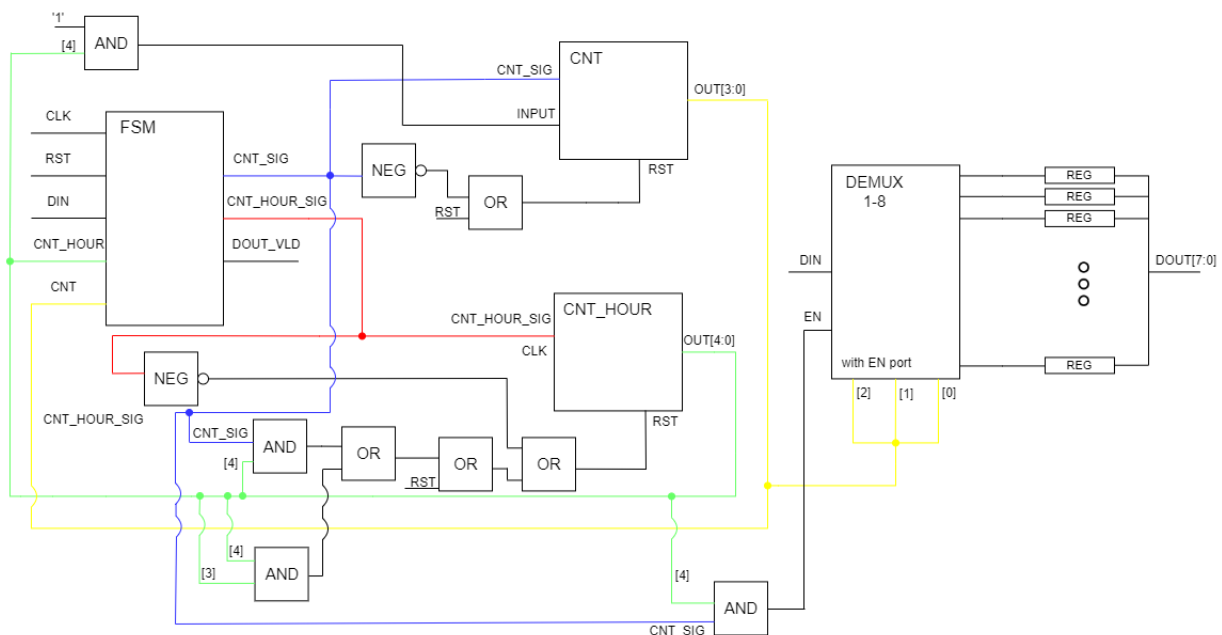
**xlogin:** xmacha86

## Obsah

<b>1</b>	<b>Architektura navrženého obvodu</b>	<b>2</b>
1.1	RTL schéma obvodu . . . . .	2
1.2	Popis funkce obvodu . . . . .	2
<b>2</b>	<b>Návrh automatu</b>	<b>3</b>
2.1	FSM Schéma automatu . . . . .	3
2.2	Popis funkce FSM . . . . .	3
<b>3</b>	<b>Snímek obrazovky ze simulací</b>	<b>4</b>
<b>4</b>	<b>Legenda</b>	<b>5</b>

# 1 Architektura navrženého obvodu

## 1.1 RTL schéma obvodu



Pozn.:

- Modře je vyznačen CNT\_SIG, červeně CNT\_HOUR\_SIG, žlutě výstup CNT a zeleně výstup CNT\_HOUR pro lepší orientaci ve schématu.
- Označení typu X[n:0] znamená vektor s indexací od 0 do n (vektor velikosti n bitů)
- Označení typu [n] znamená n – tý index vektoru.

## 1.2 Popis funkce obvodu

Na základě výstupních signálů z FSM je odvozeno chování výše uvedeného zapojení. CNT\_SIG a CNT\_HOUR\_SIG jsou povolovací signály pro CNT a CNT\_HOUR (čítač počtu přijatých bitů a čítač hodinového signálu). Výstupem CNT je vektor o velikosti 4 bitů. Výstupem CNT\_HOUR je vektor o velikosti 5 bitů. Čítač CNT počítá počet přijatých bitů, pokud je čítač povolen signálem CNT\_SIG a na vstup označen INPUT mu přijde log. 1, dojde ke zvýšení čítače. Aby mu došla log. 1 na INPUT, musí být hodnota výstupu čítače CNT\_HOUR čtvrtého bitu 1. Reset čítače CNT je podnícen buďto příchodem signálu RST s hodnotou log. 1 nebo pokud povolovací signál tohoto čítače (CNT\_SIG) přejde do hodnoty log. 0. Činnost čítače CNT\_HOUR je podnícena jeho povolovacím signálem CNT\_HOUR\_SIG a hodinovým signálem CLK. Reset tohoto čítače je proveden buďto pokud dojde signál RST s hodnotou log. 1 nebo pokud jeho povolovací signál (CNT\_HOUR\_SIG) přešel do log. 0 nebo pokud jeho aktuální hodnota bude 16 (tedy bit na indexu 4 bude mít hodnotu log. 1) a zároveň bude aktivní povolovací signál pro čítač CNT (tímto je zajištěno, že při přijímání bitů se bude počítat pouze do 16 – do středu následujícího bitu a dojde k resetu čítače). V posledním případě, kdy se čítač CNT\_HOUR může vyresetovat je, pokud bity na indexech 4 a 3 jsou v log. 1 a zároveň není povolovací signál CNT\_SIG v log. 1 (tím nedojde k resetu, jak bylo popsáno v případě předchozím, ale dojde k resetu tehdy, kdy čítač bude mít hodnotu 24 – tedy přijímáme start bit a dochází k synchronizaci hod. signálu na střed bitu). Tato poslední možnost je provedena pouze na začátku pro synchronizaci. O samotný výstup se pak stará Demultiplexor DEMUX s povolovacím signálem EN. Vstupem DEMUX je DIN, odkud jsou data posílána na jednotlivé výstupy, podle hodnot udávající vstupy (označeny jako [1], [2], [3])<sup>1</sup>, které jsou výstupem čítače CNT. Výstupem DEMUX je vektor o velikosti 8 bitů.

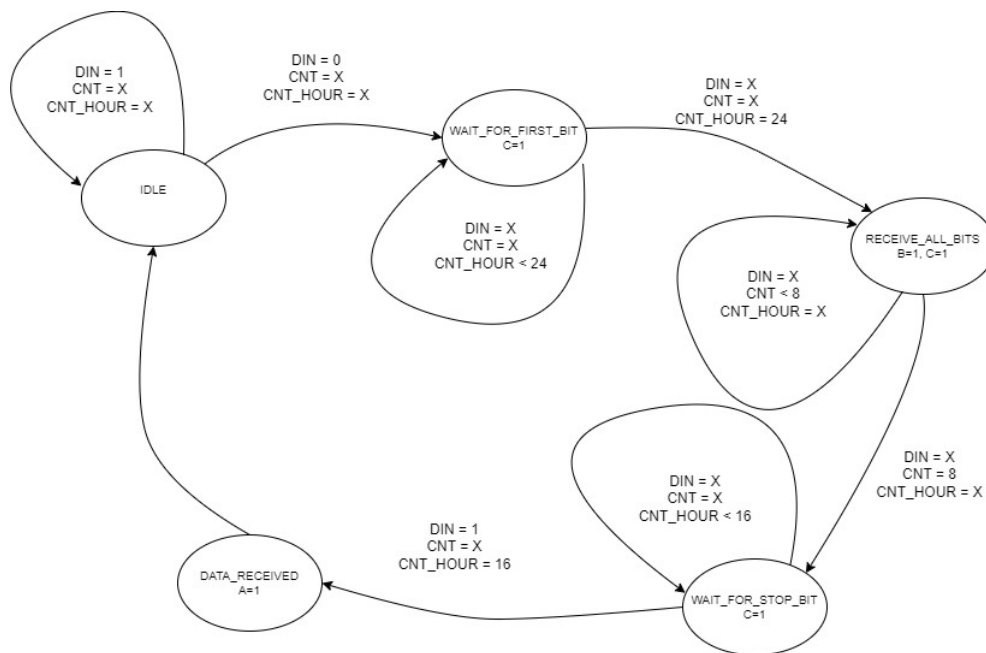
<sup>1</sup> Používáme pouze první 3 bity, protože na 3 bitech jsme schopni vyjádřit čísla od 0 do 7 (což je 8 možných výstupů).

## 2 Návrh automatu

### 2.1 FSM Schéma automatu

- Jednotlivé stavy automatu: IDLE, WAIT\_FOR\_FIRST\_BIT, RECEIVE\_ALL\_BITS, WAIT\_FOR\_STOP\_BIT, DATA\_RECEIVED
- Vstupní signály automatu: DIN, CNT, CNT\_HOUR
- Mooreovy výstupy automatu: A=DOUT\_VLD, B=CNT\_SIG, C=CNT\_HOUR\_SIG

A=B=C=0



Pozn.: Všechny Mooreovy výstupy automatu jsou defaultně nastaveny na 0. Pokud není jinak řečeno, jsou v každém stavu rovny 0.

### 2.2 Popis funkce FSM

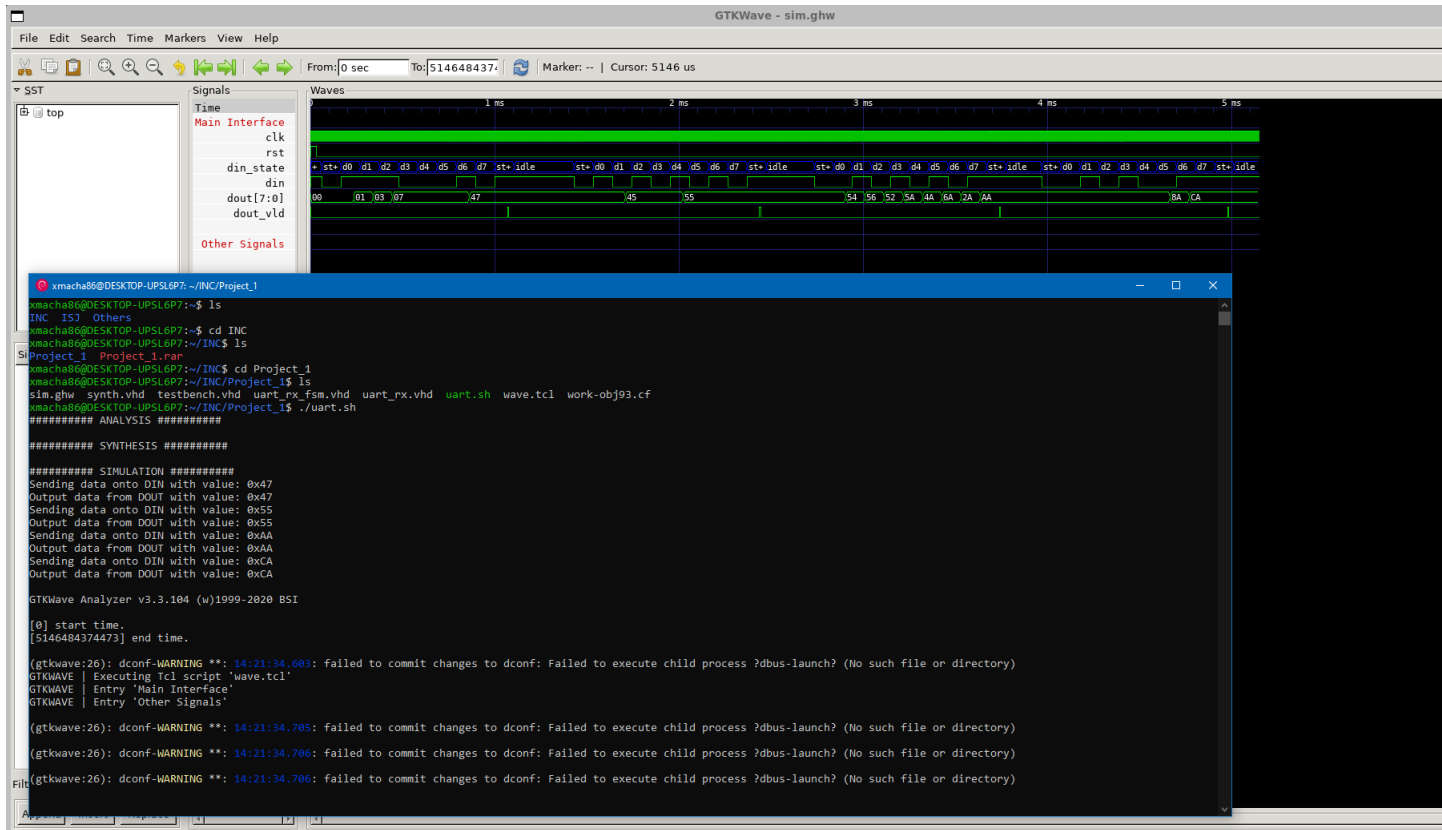
Automat se může nacházet v několika stavech. Jeho výchozím stavem je stav IDLE, ve kterém automat setrvává, dokud se mu na vstup nedostane hodnota log. 0. V případě, že dostane na vstupu hodnotu log. 0, přechází do stavu WAIT\_FOR\_FIRST\_BIT, kde přijímáme první datový bit a zároveň dochází k synchronizaci hodinového signálu<sup>1</sup>, aby byl bit načten ze středu jeho hodnoty. Po načtení prvního bitu a synchronizaci hod. signálu automat přechází do stavu REVEICE\_ALL\_BITS, kde jsou přijímány všechny bity<sup>2</sup>. Následuje stav WAIT\_FOR\_STOP\_BIT, kde je načten ukončovací bit s hodnotou logické 1 a automat přechází do stavu DATA\_RECEIVED, který indikuje, že došlo k úspěšnému přijetí všech datových bitů, včetně START BITU a STOP BITU. Z tohoto stavu se přechází do výchozího stavu automatu IDLE.

Pozn.: Všechny přechody automatu z předchozího stavu do následujícího jsou provedeny při první náběžné hraně hod. signálu.

<sup>1</sup>Po přijetí START BITU se čeká 24 náběžných hran hod. signálu (8 cyklů od náběžné hrany do středu START BITU a dalších 16 do středu prvního datového bitu).

<sup>2</sup>Bity jsou opět čteny ze středu jejich hodnoty, oproti první synchronizaci se ovšem čeká pouze 16 cyklů hod. signálu (tedy od středu předchozího do středu následujícího bitu).

### 3 Snímek obrazovky ze simulací



## 4 Legenda

<b>Název</b>	<b>Význam</b>
DIN	Datový vstup
CNT	Čítač načtených bitů
RST	Signál reset
CNT_HOUR	Čítač hodinového signálu
DEMUX	Demultiplexor
INPUT	Vstup pro CNT čítač (značení v RTL schématu)
EN	Povolovací signál demultiplexoru
DOUT_VLD	Výstupní validační signál
CNT_SIG	Signál čítače načtených bitů
CNT_HOUR_SIG	Signál čítače hodinového signálu
START BIT	Bit signalizující začátek přenosu
STOP BIT	Bit signalizující konec přenosu