Федеральное государственное автономное образовательное учреждение высшего образования

«Национальный исследовательский университет

«Высшая школа экономики»

Московский институт электроники и математики

Департамент компьютерной инженерии

Направление «Информатика и вычислительная техника»

**Курс: «Проектирование систем на кристалле»**

**ОТЧЕТ**

**о выполнении практической работы №8**

тема работы: «Простой процессорный модуль»

Выполнили:

Иванов Алексей Анатольевич

Пчелкин Дмитрий Алексеевич

группа БИВ-155

Принял:

к.т.н., доцент МИЭМ НИУ ВШЭ

Романов А.Ю.

Москва – 2018 год

Задание 1

Создайте проект, реализующий процессорное устройство.

Выполнение

Таблица 1. Система команд и кодировки.

|  |  |  |
| --- | --- | --- |
| Команда | Действие | Кодировка названия команды |
| mv Rx,Ry | Rx ← [Ry] | 000 |
| mvi Rx,#D | Rx ← D | 001 |
| add Rx, Ry | Rx ← [Rx] + [Ry] | 010 |
| sub Rx, Ry | Rx ← [Rx] − [Ry] | 011 |

В таблице 1 изображена система команд реализуемого процессорного устройства. Кодировка регистров Rx и Ry происходит с использованием 3 бит на каждый регистр. На название команды используются 3 бита.

На рис.1 изображена схема, реализующая процессорное устройство. Данная схема состоит из следующих частей частей: делителя частоты, генератора команд, регистра IR, регистра A, банка памяти, модуля сложения/вычитания, счетчика выполнения команд, мультиплексора и управляющего модуля.

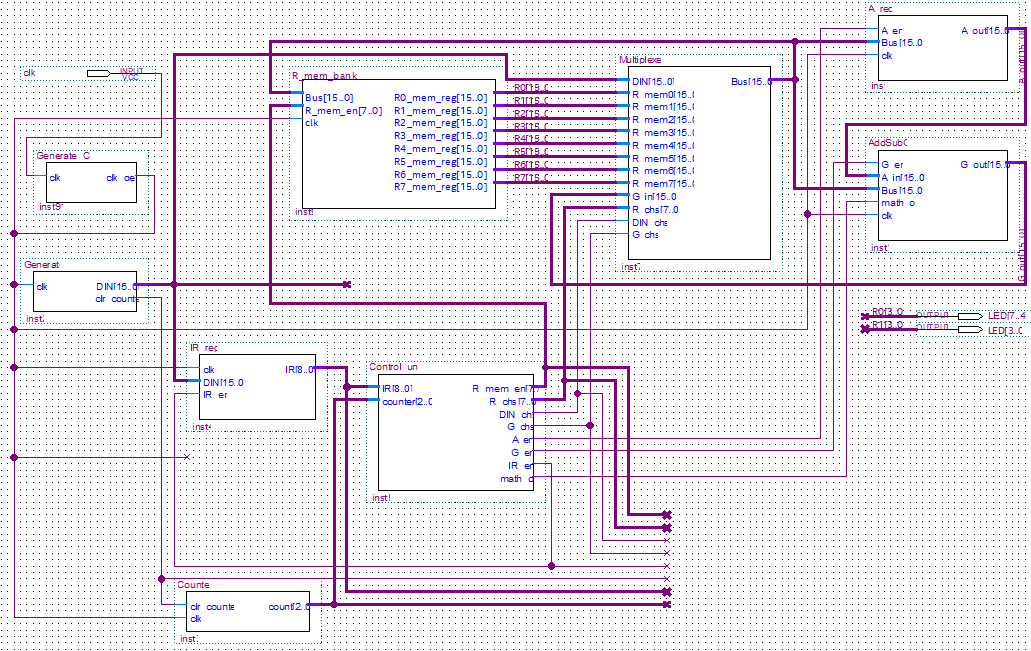


Рис. 1. Схема процессорного устройства.

На рис.2 изображена схема банка памяти, состоящий из 8 регистров по 16 бит. На вход к каждому регистру подается 16-битная шина Bus, регулируется разрешение на запись при помощи 8-битной шины R\_mem\_en. Запись происходит синхронно для всех регистров по сигналу clk. На рис. 3 представлен код для регистра памяти.

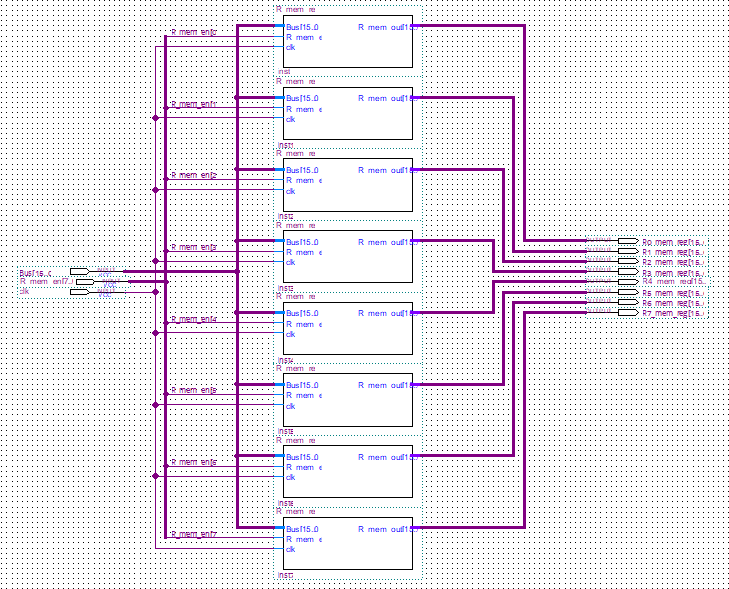


Рис. 2. Банк памяти.

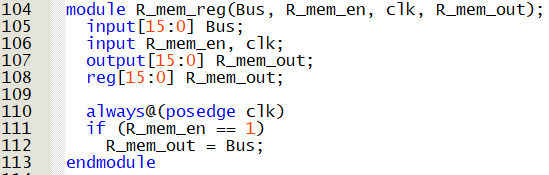


Рис. 3. Регистр памяти.

На рис. 4 представлен код для делителя частоты. Один раз на 25млн. генерируется сигнал clk\_gen. Далее сигнал clk\_gen будет использоваться как тактовый сигнал. На рис. 5 представлен код для генерации команд. Данный код используется для тестирования устройства. Работает следующим образом: каждые 5 тактов изменяется внутренний счетчик. При счете 0, 1, 2, 3 подаются разные коды команд. Для остальных значений счетчика генерируется команда для переноса константы в регистр.

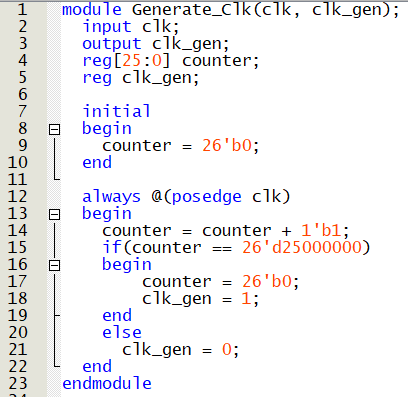


Рис. 4. Модуль делителя частоты.

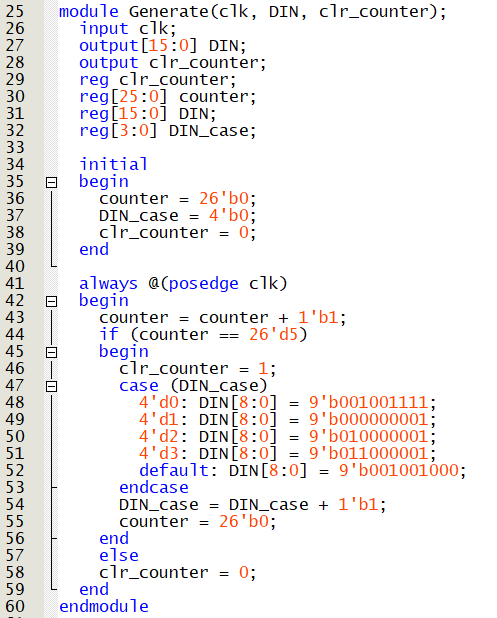


Рис. 5. Модуль генерации команд.

На рис. 6 представлен код для сложения и вычитания. Операция происходит по тактовому сигналу и сохраняется в регистре G\_out. Тип операции определяется по сигналу math\_op. Сложение происходит между регистром A (рис. 7) и выходом мультиплексора (Bus, рис. 8).

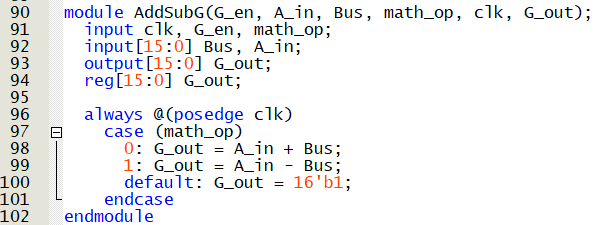


Рис. 6. Модуль сложения/вычитания.

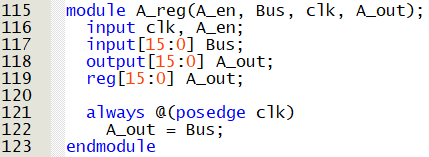


Рис. 7. Регистр А.

Входами для мультиплексора (рис.8) служат регистры памяти, выход из модуля сложения/вычитания, входа для команд. Управление мультиплексором производится при помощи шины R\_chs и сигналов DIN\_chs, G\_chs. Мультиплексор работает как комбинационной устройство без использования тактового сигнала.

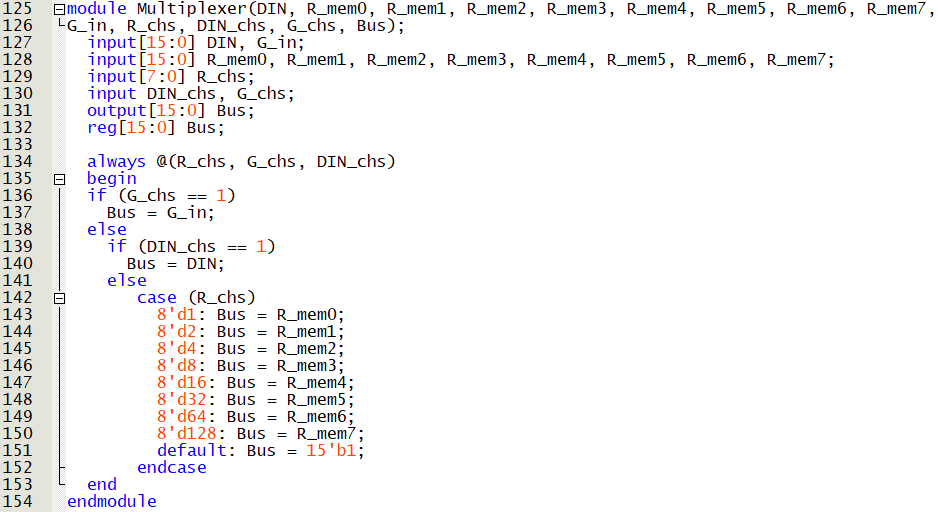


Рис. 8. Мультиплексор.

На рис. 9 представлен счетчик для команд. Данный модуль считает сколько тактов выполняется команда.

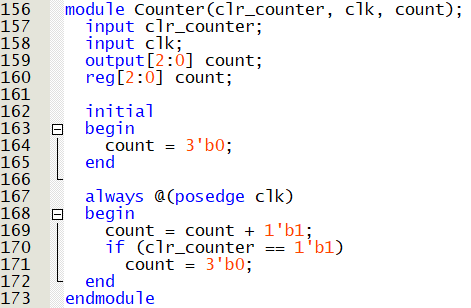


Рис. 9. Счетчик команд.

Рисунки 10, 11, 12, 13, 14 представляют собой код для описания основного управляющего модуля для устройства. Данное устроство считывает команду, определяет операции и регистры над которыми выполняются действия. Происходит это при помощи изменений шин R\_mem\_en, R\_chs, и сигналов DIN\_chs, G\_chs, A\_en, G\_en, IR\_en, math\_op, IR\_cnt.

Рис. 10 представляет код для инициализации модуля и функции декодирования 3 битов для работы с регистрами. Коды для регистров кодируются 3 битами. Декодированные биты занимают 8 битов, в котором только один бит равен 1, то есть разрешена работа только с одним регистром.

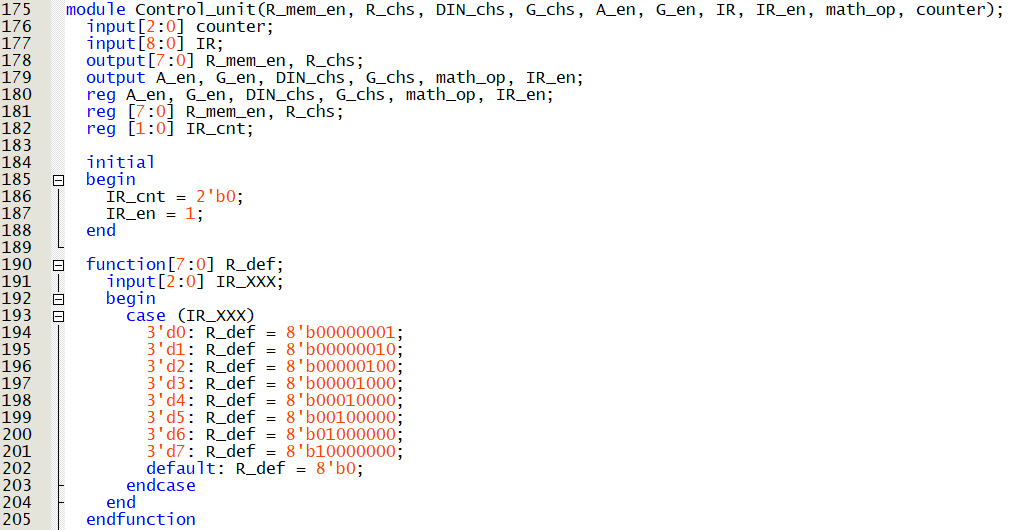


Рис. 10. Модуль управления (Часть инициализации).

Рисунки 11, 12, 13, 14 представляют собой функциональную часть, где определяются над какими регистрами, в какой такт и какие операции должны происходить. Организуется это с помощью внешнего счетчика (рис. 9). Формально это реализация цифрового автомата.

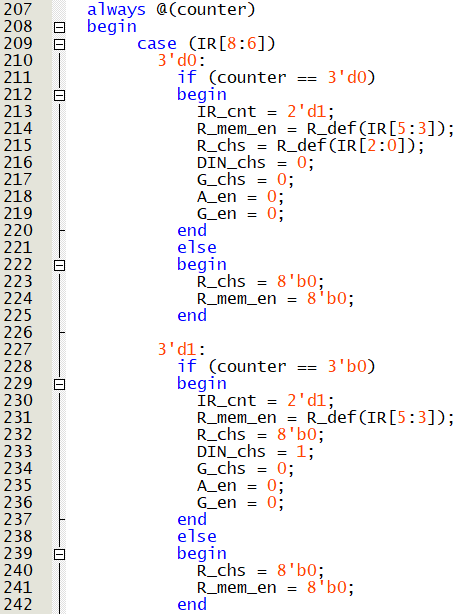


Рис. 11. Модуль управления (команды переноса).

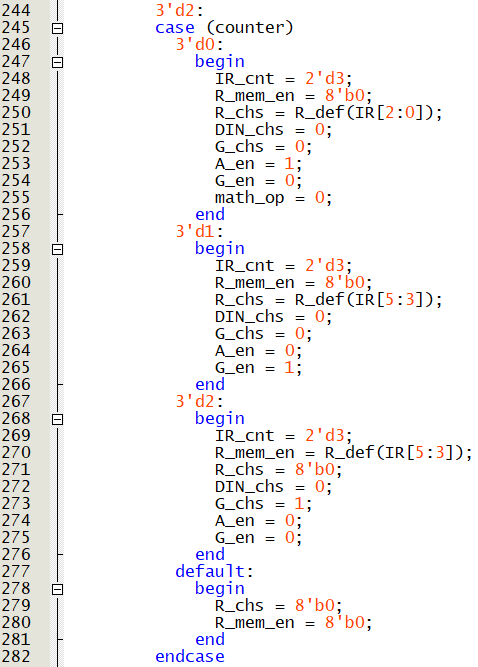


Рис. 12. Модуль управления (сложение).

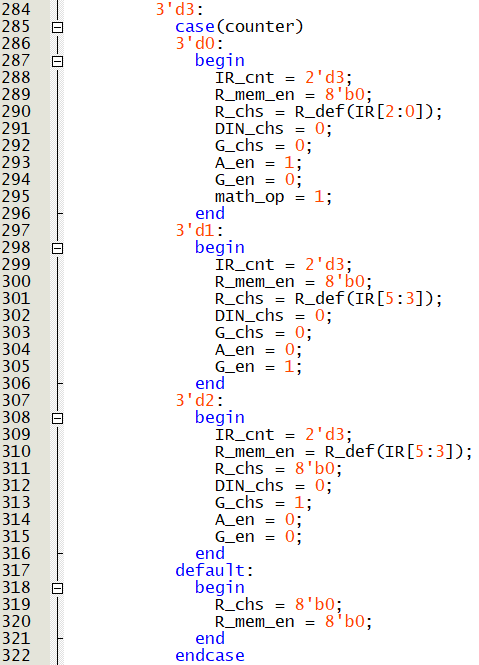


Рис. 13. Модуль управления (вычитание).

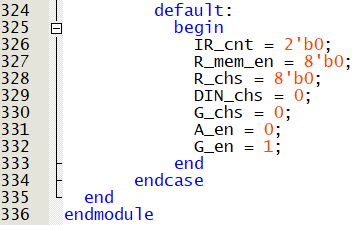


Рис. 14. Модуль управления (холостой ход).

Рис. 15 представляет собой код для регистра команд. Запись в регистр происходит по такту и разрешающему сигналу IR\_en, который поступает с управляющего модуля.

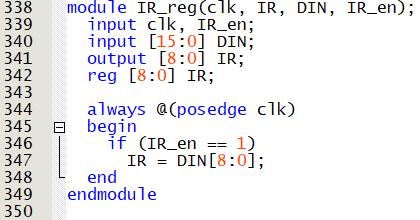


Рис. 15. Регистр команд.

На рис. 16 представлен стог компиляции проекта на Марсоход3. Исходя из компиляции можно сказать, что для реализации спроектированного устройства используются 145 логических элементов и 87 регистров.

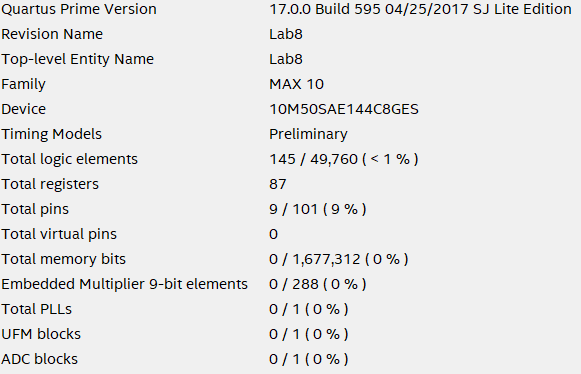


Рис. 16. Итоги компиляции.

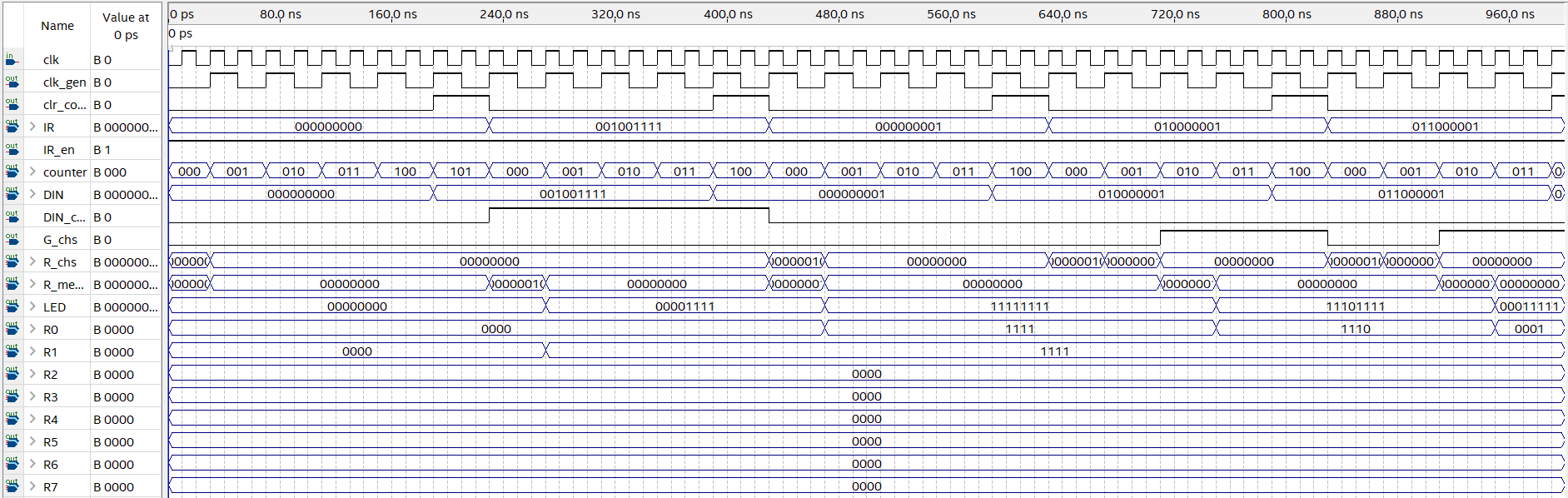


Рис. 17. Тестирование устройства.

Выводы

В итоге выполнения лабораторной работы было спроектировано простое процессорное устройство с 4 определенными командами: перенос регистра в регистр (mv), перенос в регистр константы (mvi), сложение и вычитание регистров (add, sub). Исходя из графика тестирования устройства (рис. 17), спроектированное устройство работает корректно.