Федеральное государственное автономное образовательное учреждение высшего образования

«Национальный исследовательский университет

«Высшая школа экономики»

Московский институт электроники и математики

Департамент компьютерной инженерии

Направление «Информатика и вычислительная техника»

**Курс: «Проектирование систем на кристалле»**

**ОТЧЕТ**

**о выполнении практической работы №1**

тема работы: «Знакомство со средой моделирования ModelSim»

Выполнил:

Иванов Алексей Анатольевич

Пчелкин Дмитрий Алексеевич

группа БИВ-155

Принял:

к.т.н., ст. преп. МИЭМ НИУ ВШЭ

Романов А.Ю.

Москва – 2018 год

Оглавление

[Задание 1](#_Toc487669204)

[Выполнение работы 1](#_Toc487669205)

[Частичный разбор кода файла mult\_acc.v 1](#_Toc487669206)

[Проверка работоспособности тестируемого устройства 2](#_Toc487669207)

[Выводы 2](#_Toc487669208)

[Литература 2](#_Toc487669209)

# Задание

1. Изменяя значение входных сигналов и временные параметры в файле Stim.do, проверьте работоспособность тестируемого устройства.
2. Дать описание устройства (3–5 предложений). Упростить код.

# Выполнение работы

## Описание устройства и упрощение кода

Код описанный в файле mult\_acc.v, написанный на языке Verilog, описывает работу устроайства МАС – перемножитель двух восьмиразрядных чисел с последующим накоплением результата в аккумуляторе. Аккумулятором служит выходной порт out.

Логика перемножения двух восьмиразрядных чисел реализована в функции mult. В данную функцию передаются два числа соответствующего разряда в двоичном представлении. Далее происходит перемножение с использованием операции сдвига.

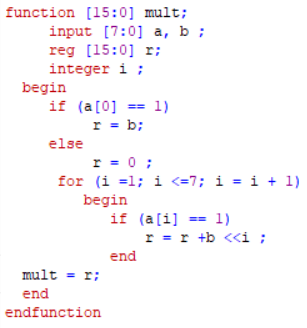


Рис. 1.

После, идет накопление значения и присвоение порту out с помощью неблокирующего присваивания.

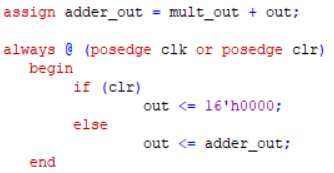


Рис. 2.

## Проверка работоспособности тестируемого устройства с упрощенным кодом

Tcl макрос.

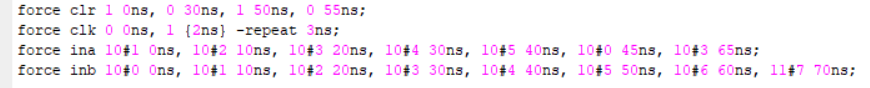


Рис. 3.

Моделирование работы.

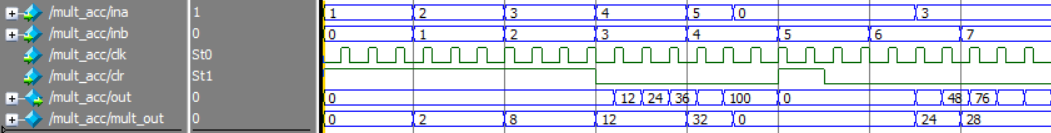


Рис. 4.

Как видно из графика выше исходный код имеет некоторые ошибки и в ряде случаев перемножение происходит с ошибками (в случаях, когда ina является нечетным числом). Ниже приведен исправленный вариант кода.

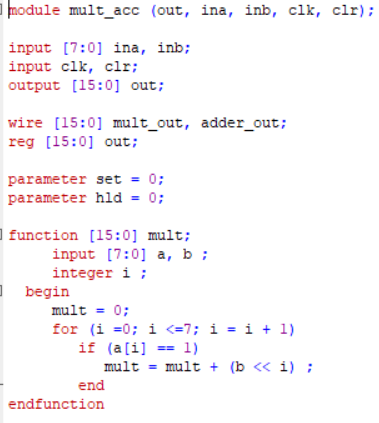


Рис. 5.

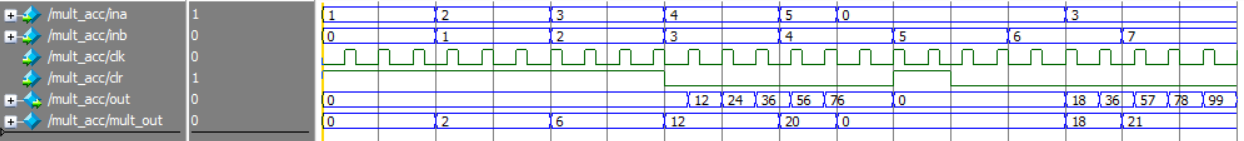


Рис. 6.

Исправленный код работает корректно.

# Выводы

По итогам выполнения практической работы были получены следующие навыки:

* Знакомство с интерфейсом в среде симуляции ModelSim
* Создание проектов в ModelSim
* Знакомство с языком Verilog
* Построение сигналов в ModelSim
* Изменение значения и времени входных сигналов
* Упрощен исходный код

# Литература

1. Введение в Verilog, Четвертый урок. Поведенческие блоки [Электронный ресурс] / Николай Ковач – Электрон. текстовые дан. – 2010. – Режим доступа: <https://marsohod.org/11-blog/84-veriloglesson4> , свободный.