Федеральное государственное автономное образовательное учреждение высшего образования

«Национальный исследовательский университет

«Высшая школа экономики»

Московский институт электроники и математики им. а.н. тихонова

Департамент компьютерной инженерии

**Курс «Инструментальные средства и технологии программирования»**

**ОТЧЕТ**

**о выполнении практической работы № 1.1**

**тема работы: «Знакомство с САПР Altera Quartus II»**

Выполнил:

Пчелкин Д.А. БИВ 155

Принял:

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

**МОСКВА 2017**

# 1 Задание

Вариант 1.

Составить схему (табл. 1) в базисе И, ИЛИ, НЕ. Построить временную диаграмму и выполнить моделирование в режимах Functional и Time. Оценить аппаратные ресурсы на реализацию схемы и обосновать полученный результат. Запрограммировать учебную плату и продемонстрировать результаты работы на макете.

Таблица 1 Таблица истинности функции

|  |  |  |
| --- | --- | --- |
| **x1=a** | **x2=b** | **out=f11** |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

# 2 Выполнение работы

## 2.1 Моделирование блок схемы

Моделирование логической функции осуществляется с помощью САПР Altera Quartus II. Результат приведен на рис. 1.

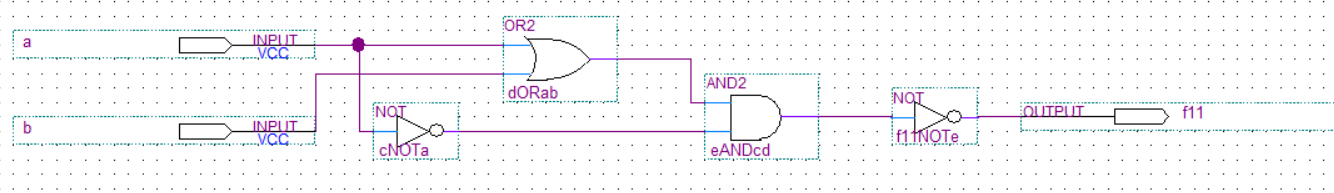


Рисунок 1 bdf файл

Для построения временных диаграмм в Altera Quartus II, создается «.vwf» файл, содержащий информацию о входных сигналах (рис. 2). Для демонстрации корректности работы реализованной схемы, сопоставимо с табл. 1, на вход подается прямоугольный сигнал. Период сигнала на входе «b» в 2 раза превышает период сигнала на входе «a».

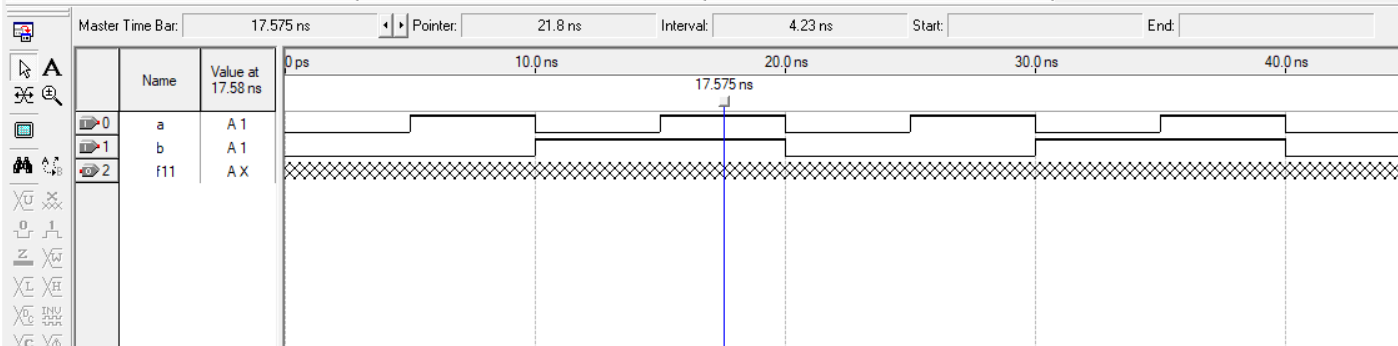


Рисунок 2 vwf файл

## 2.2 Временная диаграмма в режиме Functional

Выполняется моделирование выходного сигнала при заданных входных (рис. 3).

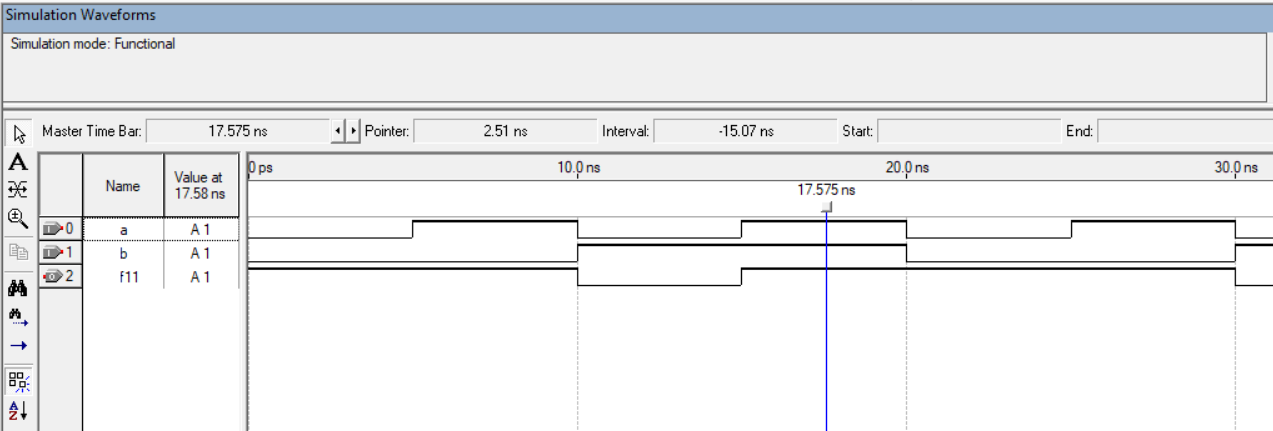


Рисунок 3 Результат выполнения моделирования в режиме Functional

## 2.3 Временная диаграмма в режиме Time

Для заданных входных сигналов выполняется построение временной диаграммы (рис. 4).

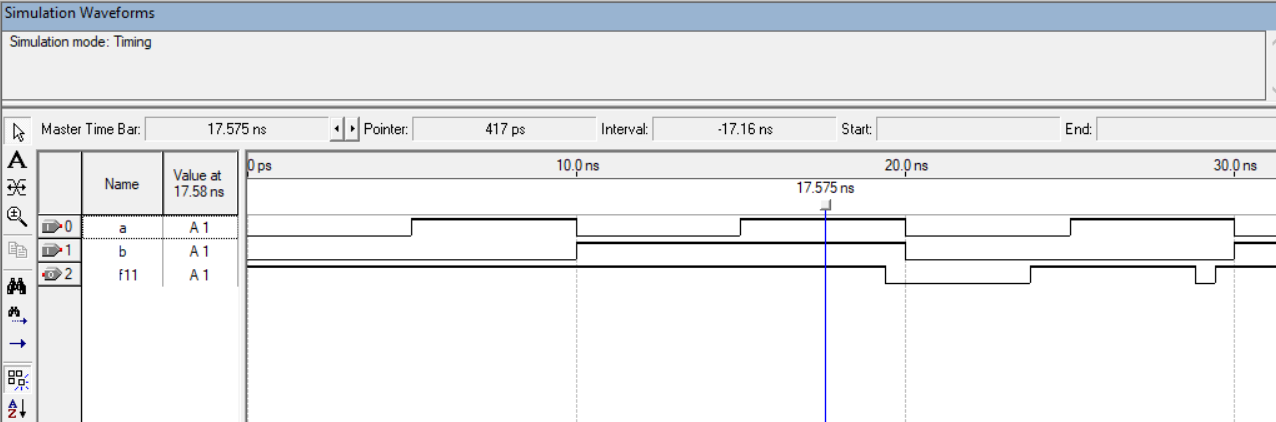


Рисунок 4 Результат выполнения моделирования в режиме Time

Из рис. 4 видно, что схема не успевает переключиться в заданный промежуток времени, а также в момент времени 28.8-29.4нс. возникает помеха.

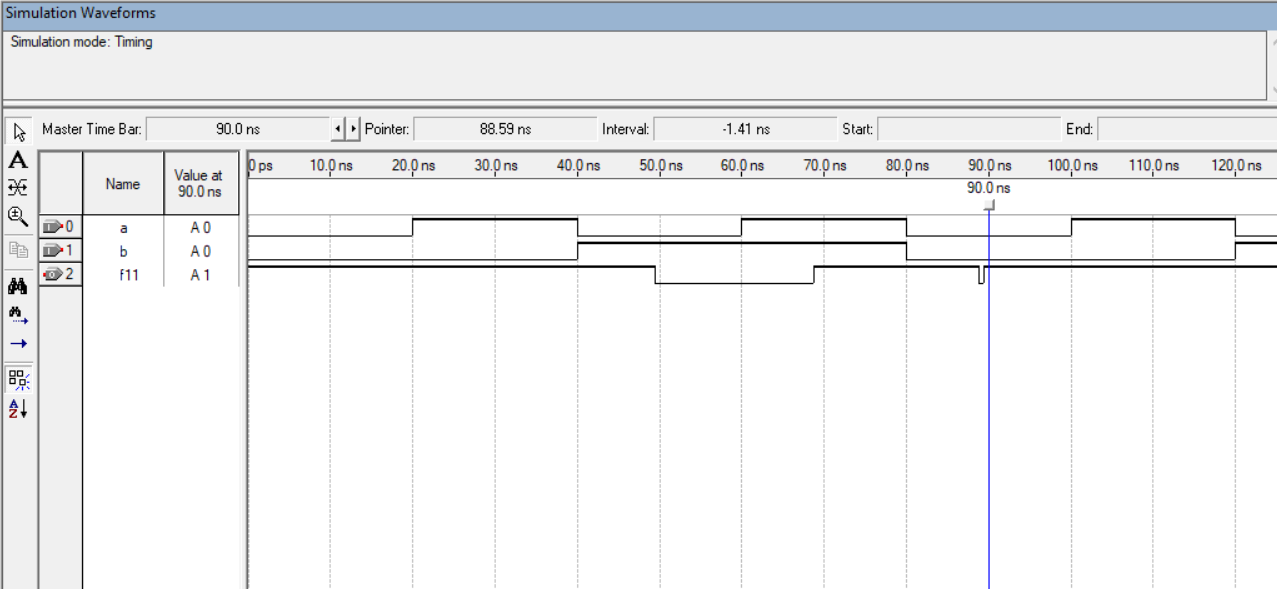


Рисунок 5 Результат выполнения моделирования в режиме Time с учетверенным периодом

Увеличение периода входных сигналов помогает загнать период выходного сигнала в требуемые рамки (рис. 5).

# 3 Выводы

В результате выполнения лабораторной работы получены следующие выводы:

1. выполнено знакомство с САПР Altera Quartus II;
2. получены навыки по моделированию логических схем в САПР Altera Quartus II;
3. построены и проанализированных временные диаграммы в режимах Functional и Time;
4. получены навыки по загрузке полученной схемы на учебную плату.